



**UNIVERSIDAD MICHOACANA DE  
SAN NICOLÁS DE HIDALGO**

**DIVISIÓN DE ESTUDIOS DE POSGRADO  
DE LA FACULTAD DE INGENIERÍA ELÉCTRICA**

**“Diseño y Construcción de un Prototipo de  
Laboratorio de una Estación Convertidora  
de un Sistema de Transmisión HVDC-VSC”**

**TESIS**

Que para obtener el grado de:

**DOCTOR EN CIENCIAS EN  
INGENIERÍA ELÉCTRICA**

**Presenta:**

**M. en C. Luis Eduardo Ugalde Caballero**

**Director de Tesis:**

**Dr. Edmundo Barrera Cardiel**

Morelia, Michoacán

Agosto de 2010





## DISEÑO Y CONSTRUCCIÓN DE UN PROTOTIPO DE LABORATORIO DE UNA ESTACIÓN CONVERTIDORA DE UN SISTEMA DE TRANSMISIÓN HVDC-VSC

Los Miembros del Jurado de Examen de Grado aprueban  
la **Tesis de Doctorado en Ciencias en Ingeniería Eléctrica** de *Luis Eduardo Ugalde Caballero*

Dr. Norberto García Barriga  
Presidente

Dr. Edmundo Barrera Cardiel  
Director de Tesis

Dr. Juan Anzures Marín  
Vocal

Dr. Claudio R. Fuerte Esquivel  
Vocal

Dr. Edgar Lenymirko Moreno Goytia  
Revisor Externo  
Instituto Tecnológico de Morelia

Dr. J. Aurelio Medina Ríos  
Jefe de la División de Estudios de Posgrado  
En Ingeniería Eléctrica.

# RESUMEN

Esta tesis presenta el trabajo de investigación dirigido al diseño y construcción de un prototipo de laboratorio de una estación convertidora de un sistema de transmisión de corriente directa en alto voltaje basado en convertidores de fuente de voltaje. Se presentan los principios básicos para comprender el funcionamiento, operación y control de los sistemas de transmisión *HVDC-VSC*. Se incluye a detalle el diseño e implementación del hardware y el software para el control de una estación convertidora de un sistema de transmisión *HVDC-VSC*. Se utilizó un *DSC* de punto flotante de 32 bits de alto desempeño para implementar los sistemas de adquisición de datos y de control. Se desarrolló e implementó un algoritmo novedoso de modulación *SPWM* de alta resolución utilizando los recursos del *DSC*. También, se desarrollaron e implementaron un circuito y un algoritmo para sincronizar el sistema de control con el sistema de *ca*. Se incluye también el diseño detallado del control desacoplado de la potencia real y potencia reactiva aplicado a una estación convertidora *HVDC-VSC*, así como el del controlador del voltaje del capacitor del lado de *cd* del convertidor. Al final de la tesis se presentan las pruebas realizadas al prototipo.

# ABSTRACT

This *PhD* thesis presents the research work associated to the design and construction of a laboratory-scale prototype of a *VSC*-based converter station as part of a high voltage direct current transmission system, *HVDC-VSC*. The basic principles to understand the functioning, operation and control of *HVDC-VSC* transmission systems are presented. The design and construction of hardware and software for controlling the *HVDC-VSC* Station are thoroughly detailed including the novel high-resolution *PWM* scheme. As computing platform a 32-bit floating point high-performance *DSC* is used to support the data acquisition and control algorithms. The three main original contributions from this research work are: a) the novel algorithm for high resolution *SPWM* modulation; b) the development of a novel synchronizing system (electronics and software algorithm) to the *AC* line system; c) The development of the decoupled real and reactive power control applied to the *HVDC-VSC* scaled-down prototype. As final part, a number of laboratory tests are presented which demonstrated the correct operation of the prototype under various circumstances.

# ÍNDICE

	Página
RESUMEN.....	i
ABSTRACT.....	ii
ÍNDICE.....	iii
LISTA DE FIGURAS.....	vii
LISTA DE TABLAS.....	xii
GLOSARIO DE ABREVIACIONES.....	xiii
PUBLICACIONES.....	xiv

## CAPÍTULO 1

<b>Introducción.....</b>	<b>1</b>
1.1 Generalidades.....	1
1.2 Revisión del estado del arte.....	5
1.3 Justificación.....	11
1.4 Objetivo.....	12
1.5 Aportaciones.....	12
1.6 Metodología.....	12
1.7 Descripción de capítulos.....	13

## CAPÍTULO 2

<b>Principios básicos de los sistemas de transmisión HVDC-VSC.....</b>	<b>14</b>
2.1 Descripción de los sistemas de transmisión HVDC-VSC.....	14
2.1.1 Estructura típica de un sistema de transmisión HVDC-VSC.....	18
2.2 Operación del VSC.....	23
2.3 Principios básicos de control de los sistemas de transmisión HVDC-VSC.....	29
2.4 Operación del sistema de transmisión HVDC-VSC.....	31
2.5 Potencia real instantánea y potencia reactiva instantánea.....	32
2.6 Modelo de cada VSC del sistema de transmisión HVDC-VSC. ....	37

2.6.1	Modelo del voltaje del capacitor en el lado de $cd$ del VSC.....	43
-------	--	----

### **CAPÍTULO 3**

	<b>Diseño del hardware del prototipo de una estación convertidora de un sistema de transmisión HVDC-VSC.....</b>	<b>46</b>
3.1	Especificaciones generales del prototipo.....	46
3.2	Estructura del hardware de las estaciones convertidoras.....	49
3.3	Controlador Digital de Señales.....	50
3.4	Sistema de Instrumentación.....	52
3.4.1	Medición de los voltajes de fase.....	55
3.4.2	Medición de las corrientes de línea.....	63
3.4.3	Medición del voltaje de $cd$ del convertidor.....	67
3.4.4	Medición de la corriente de $cd$ del convertidor.....	76
3.5	Interfaz DSC-convertidor.....	78
3.6	Convertidor.....	83

### **CAPÍTULO 4**

	<b>Control desacoplado para una estación convertidora de un sistema de transmisión HVDC-VSC.....</b>	<b>85</b>
4.1.	Diseño de los controladores de Potencia Real y Reactiva.....	85
4.2	Control $PI$ desacoplado.....	88
4.3	Obtención de las ganancias de los controladores.....	90
4.4	Diseño del Controlador de Voltaje del Capacitor.....	96
4.5	Simulación digital de los controladores.....	104

## CAPÍTULO 5

<b>Implementación del control para el prototipo de una estación convertidora de un sistema de transmisión HVDC-VSC en un DSC.....</b>	<b>108</b>
5.1 Funciones del DSC en la estación convertidora del sistema escalado HVDC-VSC.....	108
5.2 Sincronización.....	112
5.3 Adquisición de las señales.....	115
5.4 Acondicionamiento de los valores del ADC.....	117
5.5 Cálculo de la transformación de Park y las acciones de control.....	120
5.6 Generación de las señales SPWM.....	122
5.6.1 Generación de la señal portadora triangular.....	123
5.6.2 Generación de la señal moduladora.....	124
5.6.3 Comparador para producir las señales SPWM.....	126
5.6.4 Control del ángulo de fase.....	127

## CAPÍTULO 6

<b>Implementación del prototipo y pruebas.....</b>	<b>131</b>
6.1 Construcción del sistema de instrumentación.....	131
6.2 Construcción de la interfaz DSC-convertidor.....	133
6.3 Construcción del convertidor.....	134
6.4 Medición de las señales SPWM generadas con el DSC.....	140
6.5 Análisis armónico de las señales SPWM generadas con el DSC.....	143
6.6 Sincronización de las señales SPWM generadas con el DSC con el sistema de ca.....	150
6.7 Control del ángulo de fase de las señales SPWM generadas con el DSC.....	151
6.8 Medición de las señales SPWM en el convertidor.....	153
6.9 Pruebas a la estación convertidora funcionando como inversor.....	157

**CAPÍTULO 7**

**Conclusiones y trabajos futuros..... 161**

**Referencias..... 164**

## LISTA DE FIGURAS

Página

### CAPÍTULO 2

Figura 2.1	Sistemas de transmisión HVDC-VSC.....	15
Figura 2.2	Diagrama Unifilar en un extremo del sistema de transmisión HVDC-VSC.....	19
Figura 2.3	VSC trifásico de dos niveles.....	23
Figura 2.4	Modulación por ancho de pulso sinusoidal, SPWM.....	24
Figura 2.5	Espectro armónico en la forma de onda del voltaje de fase.....	26
Figura 2.6	Espectro armónico en la forma de onda del voltaje de línea.....	29
Figura 2.7	Flujo de potencia real y reactiva entre el VSC y el sistema de ca.....	30
Figura 2.8	Flujo de potencia real y reactiva en un sistema de transmisión HVDC- VSC.....	30
Figura 2.9	Representación vectorial de variables trifásicas instantáneas.....	32
Figura 2.10	Transformación de variables de fase a coordenadas ds y qs.....	33
Figura 2.11	Transformación de variables de fase a coordenadas ds y qs. ....	35
Figura 2.12	Diagrama simplificado del VSC.....	37

### CAPÍTULO 3

Figura 3.1	Sistema de transmisión HVDC-VSC escalado.....	49
Figura 3.2	Diagrama a bloques de una estación convertidora del sistema HVDC-VSC escalado.....	51
Figura 3.3	Diagrama de bloques del sistema de instrumentación de una estación convertidora .....	53
Figura 3.4	Diagrama de bloques de las señales de la instrumentación.....	54
Figura 3.5	Diagrama a bloques para la medición del voltaje de fase.....	55
Figura 3.6	Característica del filtro de banda angosta.....	56
Figura 3.7	Filtro de banda angosta.....	56
Figura 3.8	Característica de transferencia para el acondicionamiento de rango de los voltajes de fase...	58
Figura 3.9	Sumador inversor.....	59
Figura 3.10	Diagrama esquemático para la medición de los voltajes de fase.....	61
Figura 3.11	Diagrama a bloques del circuito de sincronización.....	61
Figura 3.12	Diagrama esquemático del circuito de sincronización.....	62
Figura 3.13	Diagrama a bloques para la medición de la corriente de línea.....	63
Figura 3.14	Diagrama interno del sensor de corriente ACS754xCB-050.....	64
Figura 3.15	Característica de transferencia para el acondicionamiento de rango de las corrientes de línea	65
Figura 3.16	Diagrama esquemático para la medición de las corrientes de línea.....	65
Figura 3.17	Diagrama a bloques del circuito de protección contra sobrecorriente.....	66

Figura 3.18	Diagrama esquemático del circuito de protección contra sobrecorriente.....	67
Figura 3.19	Diagrama a bloques para la medición del voltaje de cd.....	67
Figura 3.20	Divisor de voltaje.....	68
Figura 3.21	Diagrama a bloques de un amplificador de aislamiento.....	70
Figura 3.22	Configuración de entrada diferencial, fuente flotante con ganancia unitaria del amplificador de aislamiento 3656HG.....	70
Figura 3.23	Respuesta en frecuencia del filtro antitraslaje.....	73
Figura 3.24	Configuración Sallen-Key con ganancia unitaria.....	75
Figura 3.25	Diagrama esquemático del filtro antitraslaje Butterworth de cuarto orden.....	76
Figura 3.26	Diagrama a bloques para la medición de la corriente de cd.....	77
Figura 3.27	Característica de transferencia para el acondicionamiento de rango de la corriente de cd.....	77
Figura 3.28	Diagrama esquemático para la medición de la corriente de cd.....	78
Figura 3.29	a) Diagrama a bloques de la interfaz DSC-convertidor, b) puente inversor trifásico con IGBTs.....	79
Figura 3.30	Diagrama a bloques interno del circuito integrado IR2110.....	81
Figura 3.31	Reforzador de corriente.....	82
Figura 3.32	Diagrama esquemático de la tarjeta controladora de IGBTs.....	83
Figura 3.33	Diagrama del convertidor.....	83

#### CAPÍTULO 4

Figura 4.1	Esquema del sistema de control.....	86
Figura 4.2.	Esquema de control del voltaje del capacitor.....	97
Figura 4.3	Sistema de control del voltaje del capacitor.....	99
Figura 4.4	Resultados de la simulación del controlador de potencia real. ....	105
Figura 4.5	Potencia reactiva absorbida por el sistema. ....	105
Figura 4.6	Variaciones en el voltaje del capacitor.....	106
Figura 4.7	Respuesta transitoria del sistema a un cambio escalón en la referencia de potencia reactiva..	106
Figura 4.8	Potencia activa alimentada por el sistema de potencia al Statcom. ....	107

#### CAPÍTULO 5

Figura 5.1	Funciones que desempeña del DSC en la estación convertidora.....	109
Figura 5.2	Estructura del software diseñado para el DSC.....	111
Figura 5.3	Diagramas de flujo de la rutina de atención a la interrupción del eCAP2 y la rutina de	

	atención a la interrupción del Timer0.....	113
Figura 5.4	Código de la rutina de atención a la interrupción del eCAP2.....	114
Figura 5.5	Código de la rutina de atención a la interrupción del Timer0.....	114
Figura 5.6	Diagrama a bloques del módulo ADC del DSC.....	116
Figura 5.7.	Código para la configuración del ADC.....	117
Figura 5.8.	Equivalencias de las señales de los voltajes de fase y el valor de la conversión del ADC.....	118
Figura 5.9.	Equivalencias de las señales de las corrientes de línea y el valor de la conversión del ADC.	119
Figura 5.10	Acondicionamiento del los valores de la conversión del ADC.....	120
Figura 5.11	Código para calcular la transformación de Park.....	121
Figura 5.12	Código para calcular las acciones de control.....	122
Figura 5.13	Señal portadora trifásica de 1620Hz.....	124
Figura 5.14	Generación de las señales sinusoidales.....	125
Figura 5.15	Generación de la señales SPWM en el DSC F28335.....	128

## CAPÍTULO 6

Figura 6.1	Placa de circuito impreso de los transductores del sistema de instrumentación.....	132
Figura 6.2	Placa circuito impreso de los circuitos de medición del sistema de instrumentación. ....	133
Figura 6.3	Placa preliminar de la tarjeta controladora de IGBTs.....	134
Figura 6.4.	Vista superior de la placa del convertidor.....	138
Figura 6.5.	Vista inferior de la placa del convertidor.....	138
Figura 6.6.	Detalle del montaje de un IGBT. ....	139
Figura 6.7	Ensamble del convertidor-tarjetas controladoras de IGBTs.....	139
Figura 6.8	Vista superior del ensamble del convertidor-tarjetas controladoras de IGBTs.....	140
Figura 6.9.	(a) Señales SPWM correspondientes a la fase a en las terminal 9 y 10 del conector P8 de la tarjeta de evaluación eZdsp F28335. (b) Tiempo muerto entre las señales de la fase a.....	141
Figura 6.10	(a) Señales SPWM correspondientes a la fase b en las terminal 11 y 12 del conector P8 de la tarjeta de evaluación eZdsp F28335. (b) Tiempo muerto entre las señales de la fase b.....	141
Figura 6.11	(a) Señales SPWM correspondientes a la fase c en las terminal 13 y 14 del conector P8 de la tarjeta de evaluación eZdsp F28335. (b) Tiempo muerto entre las señales de la fase c.....	142
Figura 6.12.	Señales SPWM trifásicas (a) en las terminales 9, 11 y 13 del conector P8; (b) en las terminales 10, 12 y 14 del conector P8 de la tarjeta de evaluación eZdsp F28335.....	142
Figura 6.13.	Señales SPWM de los voltajes de línea a línea entre las (a) fases a y b; (b) entre las fases b y c.....	143
Figura 6.14	Señales SPWM de los voltajes de línea a línea entre las fases c y a.....	143
Figura 6.15	Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.2$ .....	144

Figura 6.16	Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.2$ .....	144
Figura 6.17	Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.4$ .....	145
Figura 6.18	Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.4$ .....	145
Figura 6.19	Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.6$ .....	146
Figura 6.20	Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.6$ .....	146
Figura 6.21	Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.8$ .....	147
Figura 6.22	Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 0.8$ .....	147
Figura 6.23	Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 1.0$ .....	148
Figura 6.24	Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para $m_a = 1.0$ .....	148
Figura 6.25	Sincronización de la señal SPWM filtrada con el pulso de referencia de la señal sinusoidal de la fase a del sistema de ca en varios diferentes instantes de tiempo.....	150
Figura 6.26	Señales SPWM generadas con el DSC con varios ángulos de defasamiento en atraso.....	151
Figura 6.27	Señales SPWM generadas con el DSC con varios ángulos de defasamiento en atraso.....	152
Figura 6.28	Pruebas al ensamble convertidor-tarjetas controladoras de IGBTs.....	153
Figura 6.29	Señales SPWM trifásicas en las terminales de salida del convertidor con $m_a=1.0$ .....	154
Figura 6.30	Señales SPWM de los voltajes de línea a línea entre las fases a y b en las terminales de salida del convertidor con $m_a=1.0$ .....	154
Figura 6.31	Señales SPWM trifásicas en las terminales de salida del convertidor con un ángulo de atraso de $10^\circ$ , $m_a=1.0$ .....	155
Figura 6.32	Señales SPWM trifásicas en las terminales de salida del convertidor con un ángulo de atraso de $30^\circ$ , $m_a=1.0$ .....	155
Figura 6.33	Señales SPWM trifásicas en las terminales de salida del convertidor con un ángulo de atraso de $45^\circ$ , $m_a=1.0$ .....	156
Figura 6.34	Señales SPWM trifásicas en las terminales de salida del convertidor con $m_a=0.6$ .....	156
Figura 6.35	Señales SPWM trifásicas en las terminales de salida del convertidor con $m_a=0.8$ .....	157

Figura 6.36	Conexión convertidor-transformador de acoplamiento-carga trifásica RL en estrella.....	158
Figura 6.37	Detalle de la conexión en estrella de la carga RL trifásica.....	159
Figura 6.38	Detalle de la conexión del convertidor con el transformador de acoplamiento.....	159
Figura 6.39.	Señales SPWM de los voltaje de las fases a, b en las terminales de salida del convertidor, el voltaje de línea a línea entre las fase a y b y la corriente en la fase a de la carga RL trifásica conectada en estrella, con $m_a=1.0$ .....	160

## LISTA DE TABLAS

Página

### CAPÍTULO 1

Tabla 1.1	Proyectos HVDC-VSC a nivel mundial soportados por la compañía ABB.....	4
-----------	--	---

### CAPÍTULO 2

Tabla 2.1	Características de los cables para transmisión HVDC-VSC.....	22
Tabla 2.2	Armónicas generalizadas de $V_{Ao}$ para un $mf$ grande ( $mf > 9$ ).....	26
Tabla 2.3	Armónicas generalizadas de $V_{LL}$ para un $mf$ grande ( $mf > 9$ ), impar, múltiplo de 3.....	28

### CAPÍTULO 3

Tabla 3.1	Equivalencias entre el sistema real y el sistema a escala.....	47
Tabla 3.2	Características del Transformador.....	49
Tabla 3.3	Características del IGBT IRG4PC40UD.....	84

### CAPÍTULO 5

Tabla 5.1	Resultado de la conversión del ADC.....	118
Tabla 5.2	Equivalencias de las señales para los voltajes de fase.....	118
Tabla 5.3	Equivalencias de las señales para las corrientes de línea.....	119

### CAPÍTULO 6

Tabla 6.1	Comparación de las armónicas calculadas y medidas de la señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335.....	149
-----------	---	-----

## GLOSARIO DE ABREVIACIONES

<i>ABB</i>	<i>Asea Brown Boveri.</i>
<i>ADC</i>	Convertidor analógico a digital ( <i>Analog-to-Digital Converter</i> ).
<i>ASVC</i>	Compensador estático de VARs avanzado ( <i>Advanced Static VAR Compensator</i> ).
<i>ca</i>	Corriente alterna.
<i>cd</i>	Corriente directa.
<i>CPU</i>	Unidad central de procesamiento ( <i>Central Processing Unit</i> ).
<i>DSC</i>	Controlador digital de señales ( <i>Digital Signal Controller</i> ).
<i>DSP</i>	Procesador digital de señales ( <i>Digital Signal Processor</i> ).
<i>eCAP</i>	Módulo optimizado de captura ( <i>Enhanced Capture Module</i> ).
<i>EMI</i>	Interferencia electromagnética ( <i>Electromagnetic Interferente</i> ).
<i>ePWM</i>	Módulo optimizado PWM ( <i>Enhanced PWM Module</i> ).
<i>ESS</i>	Elemento de almacenamiento de energía ( <i>Energy Storage Systems</i> ).
<i>FACTS</i>	Sistemas de transmisión flexibles en corriente alterna ( <i>Flexible AC Transmission Systems</i> ).
<i>FFM</i>	Modulación a frecuencia fundamental ( <i>Fundamental Frequency Modulation</i> ).
<i>FPGA</i>	<i>Field Programmable Gate Array</i>
<i>GP</i>	Propósito General ( <i>General Purpose</i> ).
<i>GPIO</i>	Puertos de entrada/salida de propósito general ( <i>General Purpose Input/Output</i> ).
<i>HVDC</i>	Sistemas de transmisión de corriente directa en alto voltaje ( <i>High Voltage Direct Current</i> ).
<i>IGBT</i>	Transistor bipolar de compuerta aislada ( <i>Insulated Gate Bipolar Transistor</i> ).
<i>MOSFET</i>	Transistor de efecto de campo de Metal-Óxido Semiconductor ( <i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> ).
<i>PI</i>	Proporcional integral ( <i>Proportional-Integral</i> ).
<i>PLC</i>	Portadora de línea de potencia ( <i>Power Line Carrier</i> ).
<i>PWM</i>	Modulación de ancho de pulso ( <i>Pulse Width Modulation</i> ).
<i>RAM</i>	Memoria de acceso aleatorio ( <i>Random-Access Memory</i> ).
<i>SHEM</i>	Modulación para la eliminación selectiva de armónicas ( <i>SHEM, Selective Harmonic Elimination Modulation</i> ).
<i>SOC</i>	Inicio de conversión ( <i>Start of Conversion</i> ).
<i>SPWM</i>	Modulación de ancho de pulso sinusoidal ( <i>Sinusoidal Pulse Width Modulation</i> ).
<i>SSSC o S<sup>3</sup>C</i>	compensador serie síncrono estático ( <i>Static Synchronous Series Compensator</i> ).
<i>Statcom</i>	Compensador síncrono estático ( <i>Static Synchronous Compensator</i> ).
<i>TCR-FC</i>	Reactor controlado con tiristores con capacitor fijo ( <i>Thyristor-Controlled Reactors- Fixed Capacitor</i> ).
<i>TRIAC</i>	Triodo para corriente alterna ( <i>Triode for Alternating Current</i> ).
<i>UPFC</i>	Controlador unificado de flujos de potencia ( <i>Unified Power Flow Controller</i> ).
<i>VSC</i>	Convertidores de fuente de voltaje ( <i>Voltage Source Converter</i> ).

# PUBLICACIONES

Ugalde, L.E.C. Barrera, E.C. “Diseño e implementación de un algoritmo de generación de señales SPWM con alta resolución basado en un DSC para sistemas de transmisión de HVDC basados en VSCs,” Aceptado para presentarse en el VIII Congreso Internacional sobre Innovación y Desarrollo Tecnológico, que se llevará a cabo del 24 al 26 de noviembre de 2010, Cuernavaca Morelos, México.

Barrera, E.C. Ugalde, L.E.C. Ramos, O.B. “Design of a digital control system for a PWM-based STATCOM,” Electrical Power and Energy Conference 2009. Montreal, Quebec, Canada, October 2009. ISBN: 978-1-4244-4508-0

Mortera-Vazquez, E. Moreno-Goytia, E.L. Ugalde-Caballero, L.E. “Evaluation of the Steady State Performance of a DC Link Built on VSC Converter Stations Using PSCAD/EMTDC.” 2009 IEEE Bucharest Power Tech Conference, Bucharest Romania, June 28 2009-July 2 2009. ISBN: 978-1-4244-2234-0

# CAPÍTULO 1

## INTRODUCCIÓN

### 1.1 Generalidades.

El suministro eléctrico actual depende principalmente de grandes plantas generadoras, como las termoeléctricas que queman combustibles fósiles, hidroeléctricas o centrales nucleares. Tradicionalmente, la estrategia de control de los operadores de redes de distribución y transmisión aprovecha la naturaleza controlable de estas plantas para adaptarse al lado más inflexible e incontrolable de la demanda. La conciencia ambiental y el uso creciente de fuentes de energía renovables como la eólica y la solar están cambiando esta estrategia. La disponibilidad de estas nuevas tecnologías es menos controlable y previsible. En consecuencia, las redes deben ser capaces de responder rápidamente, de manera fiable y económica, a las grandes e inesperadas fluctuaciones del suministro. Las tecnologías de los sistemas de transmisión flexibles en corriente alterna (*FACTS*, por sus siglas en inglés, *Flexible AC Transmission Systems*) y los sistemas de transmisión de corriente directa en alto voltaje (*HVDC*, por sus siglas en inglés, *High Voltage Direct Current*) han demostrado ser la solución a estas necesidades. En particular, los sistemas de transmisión de corriente directa en alto voltaje basados en convertidores de fuente de voltaje (*VSC*, por sus siglas en inglés *Voltage Source Converter*), en forma abreviada *HVDC-VSC*, permiten un control rápido y preciso de los voltajes y los flujos de potencia. Son fiables y económicos y pueden utilizarse para mejorar con flexibilidad las redes de *ca* existentes. *HVDC-VSC* es también la primera elección para la transmisión de potencia desde los grandes parques eólicos alejados de la costa a las redes de *ca* (*corriente alterna*) [Görner y Bohl, 2010] [HVDC Light, 2010]. Los sistemas de transmisión *HVDC-VSC* desarrollados por la compañía *ABB* (*Asea Brown Boveri*) son denominados *HVDC-Light<sup>TM</sup>* y los sistemas de transmisión desarrollados por la compañía *SIEMES* son llamados *HVDC-PLUS<sup>TM</sup>*, ambas son marcas registradas. Sin embargo, de forma

genérica son denominados *HVDC-VSC*, que es la terminología que se utiliza en este trabajo de tesis.

La tecnología de los sistemas de transmisión *HVDC-VSC* contribuye con las redes eléctricas de las siguientes formas:

- *Flexibilidad*: se presta a la respuesta rápida a cambios operativos y a necesidades de los clientes.
- *Accesibilidad*: es accesible a todas las fuentes de energía, incluida la generación renovable y local.
- *Fiabilidad*: garantiza la calidad del suministro y la capacidad de recuperación ante las incertidumbres y los riesgos que afectan a la producción de energía renovable.
- *Economía*: proporciona un funcionamiento y una gestión eficiente de la energía, y la flexibilidad necesaria para adaptarse a nuevos reglamentos.

En términos técnicos, la tecnología de los sistemas de transmisión *HVDC-VSC* permite:

- Control del flujo de carga.
- Soporte de potencia reactiva.
- Control de voltaje.
- Control de oscilaciones de potencia.
- Compensación del parpadeo.
- Calidad del voltaje.
- Manejo de cargas asimétricas.
- Manejo de cargas volátiles.

Las tecnologías de los sistemas de transmisión *HVDC* han seleccionado en algunos de los sistemas de transmisión más exigentes de la actualidad. Estas tecnologías, *HVDC* Clásico y *HVDC-VSC* se diferencian por el tipo de componentes electrónicos y conmutación que utilizan. El primero, también conocido como *HVDC* convencional o simplemente *HVDC*, utiliza dispositivos de conmutación en línea (*SCR*). El segundo, utiliza dispositivos de

conmutación forzada como el transistor bipolar de compuerta aislada (*IGBT*, por sus siglas en inglés, *Insulated Gate Bipolar Transistor*). También se diferencian principalmente por sus aplicaciones. *HVDC* Clásico se centra fundamentalmente en transmisión de potencia masiva punto a punto a grandes distancias. Una aplicación típica puede ser la transmisión de miles de megawatts desde fuentes hidroeléctricas remotas hasta los centros de carga. *HVDC* clásico es una tecnología consolidada, con 56 años de experiencia. En 1954, *ABB* y la compañía *Swedish State Power Board* pusieron en marcha el primer enlace *HVDC* entre la isla de Gotland en el mar báltico y el territorio continental sueco. El enlace de transmisión *HVDC* de Gotland de 96km, tenía un rango nominal de 20MW, 200A y 100kV [Asplund et al, 2003, a]. Actualmente, a nivel mundial se tiene reportados 44 enlaces en funcionamiento y 4 en proceso, soportados por la compañía *ABB* [HVDC Classic-Reference List, 2010]. Por ejemplo el enlace Shanghai-Xiangjiaba de 800 kV, capaz de transmitir 6400 MW a más de 2000 km.

El *HVDC-VSC*, por otro lado, es ideal para integrar la generación de energías renovables dispersas, como la energía eólica, en las redes existentes de *ca*. Actualmente, a nivel mundial se tienen reportados 11 proyectos soportados por la compañía *ABB* [HVDC Light, 2010]. En la Tabla 1.1 se muestran las principales características de estos proyectos [Gotland HVDC Light Project], [DirectLink HVDC Light Project],[Tjaereborg HVDC Light Project], [Eagle Pass HVDC Light Project], [Cross Sound Cable HVDC Light Project], [Jacobson et al, 2005], [MurrayLink HVDC Light Project], [Troll HVDC Light Project] [Jones et al, 2006], [Gilje y Carlsson, 2006].

El primer enlace de un sistema de transmisión *HVDC-VSC* del mundo para conectar un parque eólico marino con una red de *ca* es el proyecto *BorWini*. Este enlace de 200 km conecta el parque eólico marino “*BARD Offshore I*” en la costa alemana del Mar del Norte con la red de corriente alterna en alto voltaje de la Alemania continental. Este enlace transmite 400 MW a un voltaje de *cd* (*corriente directa*) de  $\pm 150$  kV y entró en funcionamiento a finales de 2009 [Görner y Bohl, 2010].

Cuando se termine, el parque eólico marino “*BARD Offshore I*” constará de 80 generadores eólicos, cada uno con una capacidad de 5 MW. Cada uno de ellos alimentará un sistema de

cables de *ca* de 36 kV. Este voltaje se transformará a 155 kV de *ca* antes de llegar a la estación convertidora *HVDC-VSC*, situada en una plataforma especial. Aquí la *ca* se convierte en *cd* de  $\pm 150$  kV y se lleva a dos cables submarinos de 125 km, que se conectan posteriormente con dos cables terrestres de 75 km, transportando 400 MW a la estación convertidora terrestre situada en Diele, Alemania.

Una de las motivaciones principales de la tecnología de transmisión *HVDC-VSC* es la integración de las fuentes de energía renovables, especialmente la energía eólica en alta mar, en las redes de corriente alterna en alto voltaje actuales. Esto tiene una ventaja medioambiental enorme, porque crea una oportunidad para sustituir los combustibles fósiles por energías renovables.

**Tabla 1.1.** Proyectos *HVDC-VSC* a nivel mundial soportados por la compañía ABB.

Proyecto	En servicio	Potencia MW	Voltaje de cd kV	Ubicación de la estación	Distancias de Transmisión km	Aplicación	Compañía
Hällsjön Suecia	1997	3	$\pm 10$	Hällsjön, 10kV Grängesberg, 10kV	10 Líneas aéreas	Piloto	VB Elnät, Suecia
Gotland Suecia	1999	50	$\pm 80$	Näs, 77kV Bäcks, 77kV	70	Aerogeneración (Subterráneo)	GEAB, Suecia
Directlink Australia	2000	3X60	$\pm 80$	Terranova, 110kV Mullumbinby, 132kV	65	Subterráneo	TransEnergy, USA North Power, Australia
Tjaereborg Dinamarca	2000	7.2	$\pm 9$	Enge, 10.5kV Tjaereborg, 10.5kV	4.4	Aerogeneración (Subterráneo)	Eltra, Dinamarca
Eagle Pass USA	2000	36	$\pm 15.9$	Eagle Pass, 138kV (ambos lados)	NA	Confiabilidad de la red	AEP, USA
Cross Sound USA	2002	330	$\pm 150$	New Haven, 345kV Shoreham, 138kV	40	Confiabilidad de la red	TransEnergie US, USA
Murraylink Australia	2002	220	$\pm 150$	Berri, 132kV Red Cliffs, 220kV	180	Subterráneo	TransEnergie US, USA
Troll A Noruega	2005	2X41	$\pm 60$	Troll A, 56 kV Kollsnes, 132kV	67	Marino	Statoil, Noruega
Estlink Finlandia-Estonia	2006	350	$\pm 150$	Espoo, 400kV Harku, 330kV	105	Confiabilidad de la red (Subterráneo)	Nordic Energy Link AS, Estonia
Valhall Noruega	2010	78	150	Lista, 300kV Valhall, 11kV	292	Marino	BP, Noruega
Nord e.on 1 Alemania	2009	400	$\pm 150$	Diele, 380kV Borkum 2, 170kV	203	Aerogeneración Marino	E.ON Netz Alemania
Caprivi Link Namibia	2009	300	350	Zambezi, 330kV Gerus, 400kV	970 Líneas aéreas	Confiabilidad de la red	NamPower Namibia

## 1.2 Revisión del estado del arte.

El presente trabajo de tesis está enfocado al diseño y construcción de un prototipo de laboratorio, razón por la cual se presenta la revisión del estado del arte de los prototipos de laboratorio de los *FACTS* y de los sistemas de transmisión *HVDC* que se han desarrollado en diferentes universidades del mundo:

[Barrera C. E, 1991] presenta en su tesis doctoral el diseño del modelo físico de un sistema *HVDC* y su integración a un laboratorio de sistemas de potencia en la Universidad de Texas en Arlington. El trabajo presenta a detalle los fundamentos teóricos de los sistemas de transmisión *HVDC* basados en tiristores, las especificaciones generales de diseño, el diseño de los convertidores, los circuitos asociados al manejo de los tiristores, el diseño del sistema de instrumentación, las rutinas de control implementadas en el microcontrolador *80C196KC* de *Intel* y por último se muestran las pruebas realizadas al modelo físico del sistema *HVDC*.

[Shoults y Barrera-Cardiel, 1992] presentan el diseño de una interfaz gráfica para la simulación digital y física en la enseñanza del control de sistemas de potencia con aplicación a un modelo de un sistema de transmisión *HVDC* de laboratorio. Se presentan las estructuras de software y hardware, se hace énfasis en la interfase gráfica hombre-máquina. Este artículo es un extracto de la tesis doctoral del Dr. Edmundo Barrera Cardiel, razón por la cual sólo se presentan algunos detalles del software y el hardware.

[Chang y Wu, 1995] presentan el módulo de un compensador de potencia reactiva basado en una microcomputadora, el cual está instalado en el laboratorio del departamento de Ingeniería Eléctrica del Instituto Nacional de Tecnología de Taiwan. Se describen el esquema básico del módulo y su interacción en el simulador analógico de sistemas de potencia, las generalidades de los circuitos manejadores de los triodos para corriente alterna (*TRIACs*, por sus siglas en inglés, *Triode for Alternating Current*) utilizados en el reactor controlado con tiristores con capacitor fijo (*TCR-FC*, por sus siglas en inglés, *Thyristor-Controlled Reactors- Fixed Capacitor*). Se da una breve explicación del sistema de control, el cuál sólo se presenta en forma de un diagrama a bloques. Se presenta un diagrama de flujo del algoritmo de control desarrollado en lenguaje *C* e implementado en la microcomputadora de *Motorola MVME-147*

que contiene: un microcontrolador *MC68030*, una unidad de punto flotante *MC68882*, convertidores analógico a digital, convertidores digital a analógico y otras unidades auxiliares. A fin de evaluar el desempeño del módulo se presentan los resultados gráficos de los siguientes experimentos: corrección de factor de potencia, soporte de voltaje y balanceo de fases.

En [Ekanayake et al, 1996] se presenta un compensador estático de *VARs* avanzado de tres niveles (*ASVC*, por sus siglas en inglés, *Advanced Static VAR Compensator*). El artículo presenta el principio de funcionamiento y las expresiones matemáticas que rigen el comportamiento de un *ASVC*. A fin de reducir el contenido armónico en la salida del inversor a un nivel aceptable, se estudiaron e implementaron dos técnicas de modulación. La modulación a frecuencia fundamental (*FFM*, por sus siglas en inglés, *Fundamental Frequency Modulation*) y la modulación para la eliminación selectiva de armónicas (*SHEM*, *Selective Harmonic Elimination Modulation*). Se da una breve explicación del algoritmo de control utilizado, el cuál fue implementado en una computadora personal basada en el microprocesador de *Intel 80486*. Al final del artículo se presentan los resultados experimentales obtenidos a con un modelo de laboratorio a pequeña escala del *ASVC*. Las gráficas presentadas verifican el funcionamiento del *ASVC* y la reducción del contenido armónico presente en el voltaje de salida del inversor utilizando las dos técnicas de modulación.

Los trabajos presentados por el Dr. Mwinyiwiwa tienen una relación teórico-práctica interesante, es decir presenta las bases teóricas, simulaciones computacionales y compara los resultados de las simulaciones con resultados experimentales de laboratorio. Es importante mencionar que los trabajos que a continuación se van a mencionar son enfocados al área de *FACTS*. En 1997, presentó un artículo enfocado a la eliminación de la tercera y la sexta armónica que se presenta en el voltaje de *ca* de los capacitores de enlace de *cd* de los convertidores multinivel, utilizando un compensador síncrono estático (*Statcom*, por sus siglas en inglés *Static Synchronous Compensator*) multinivel en derivación de seis y doce pulsos [Mwinyiwiwa et al, 1997].

En 1998, el Dr. Mwinyiwiwa presentó dos trabajos, uno describe un controlador unificado de flujos de potencia (*UPFC*, por sus siglas en inglés, *Unified Power Flow Controller*) utilizando multiconvertidores operados mediante modulación de ancho de pulso sinusoidal (*SPWM*, por sus siglas en inglés, *Sinusoidal Pulse Width Modulation*) con portadora triangular desplazada en fase [Mwinyiwiwa et al, 1998, a]. En este trabajo se presentan los fundamentos teóricos de la estrategia de modulación y se presentan resultados experimentales que soportan a las bases teóricas, pero no se da ningún detalle del hardware y software utilizados. También en 1998 el Dr. Mwinyiwiwa presenta un trabajo que describe la implementación en un microcontrolador de la *SPWM* para multiconvertidores con portadoras triangulares con desplazamiento de fase. El trabajo presenta a detalle los conceptos teóricos de las estrategias de modulación y se presentan resultados experimentales que corroboran la teoría. Sin embargo, sólo se menciona que se utilizó un *DSP TMS320C40* y no se dan detalles del hardware y software utilizados [Mwinyiwiwa et al, 1998, b].

En 2000 el Dr. Mwinyiwiwa presentó el concepto de *UPFC* multiterminal. En el artículo se presenta a detalle la teoría del concepto y se presentan resultados experimentales que lo sustentan, en el cual no se presenta detalles del software y hardware utilizados [Mwinyiwiwa et al, 2000, a y b]. En todos los artículos del Dr Mwinyiwiwa no se detallan el software, hardware y técnica de control utilizada. Los trabajos fueron desarrollados en el Departamento de Ingeniería Eléctrica de la Universidad de McGill, Montreal, Québec.

[García-González y García-Cerrada, 1999], [García-González y García-Cerrada, 2000] presentan el modelado del *Statcom*, y el algoritmo del control desacoplado en detalle. Este asegura el control desacoplado de la potencia real y reactiva que el convertidor intercambia con el sistema de potencia. Al final del artículo se presentan resultados experimentales de un prototipo de laboratorio del cual se dan pocos detalles del hardware y software utilizados. El prototipo fue desarrollado en la Universidad Pontificia Comillas de Madrid en la escuela Técnica Superior de Ingeniería del Departamento de Electrónica y Automática.

[García González, 2000] presenta su tesis doctoral donde muestra a detalle el modelado de los convertidores serie y derivación, así como el control desacoplado de la potencia real y reactiva

para estos convertidores para aplicación en los dispositivos *FACTS*: compensador serie síncrono estático (*SSSC* o  $S^3C$ , por sus siglas en inglés, *Static Synchronous Series Compensator*), *Statcom* y un *UPFC*. La tesis presenta resultados experimentales del *Statcom* y *UPFC*. Sin embargo no se presentan detalles del hardware y software utilizados.

[Xu, 2000] presenta un reporte de laboratorio donde describe de forma genérica la construcción de un enlace *HVDC-VSC* en el Laboratorio del Departamento de Ingeniería Eléctrica y Electrónica de la Universidad de Glasgow. Presenta algunas generalidades teóricas de los sistemas de transmisión *HVDC-VSC*. Menciona que se utilizó el procesador digital de señales (*DSP*, por sus siglas en inglés, *Digital Signal Processor*) *TMS320F240*, el cual sólo tiene la función de generar las *PWM* que manejar al convertidor y no realiza ningún tipo de acción de control. El índice de modulación y el ángulo de fase son establecidos manualmente, estos dos parámetros controlan el flujo de la potencia reactiva y real respectivamente. Se presentan algunas pruebas de laboratorio a fin de verificar la operación del prototipo. El artículo no presenta detalles del hardware y software utilizados

[Xu et al, 2000] presentan los aspectos importantes del diseño y construcción de un dispositivo *Custom Power* trifásico de bajo voltaje. Hace énfasis en el control del *VSC* de dos niveles y multinivel utilizando estrategias *PWM*, explica brevemente las funciones de control implementadas en el software en el *DSP TMS320F240*. Se explican algunos detalles del hardware utilizado y se presentan gráficas de los resultados experimentales. El dispositivo fue desarrollado en el Laboratorio del departamento de Ingeniería Eléctrica y Electrónica de la Universidad de Glasgow.

En el 2001 Yang presenta un *StatCom* con la integración de un sistema de almacenamiento de energía (*ESS*, por sus siglas en inglés *Energy Storage Systems*), que permite al convertidor trabajar en cuatro cuadrantes. Obtiene el modelo matemático del *StatCom/ESS* y propone un control desacoplado para la potencia real y reactiva. Realiza simulaciones del *StatCom/ESS* en *PSCAD* y compara los resultados de las simulaciones con los resultados experimentales obtenidos con el hardware de un *StatCom/ESS* de 3 kVA, el *ESS* consiste en un arreglo de 34 baterías *VLRA* de súper-gel. El *StatCom/ESS* fue construido en la Universidad de Missouri-

Rolla. Las pruebas realizadas verificaron el funcionamiento del *StatCom/ESS* en aplicaciones tales como: control de la capacidad de transmisión, control de voltaje y amortiguamiento de oscilaciones. Yang menciona que el sistema de monitoreo y control está basado en dos tarjetas *M5000*; una para la adquisición de datos y el pre-procesamiento y otra para la generación de las señales *SPWM*. No da más detalles del hardware utilizado y tampoco presenta detalles del software utilizado [Yang et al, 2001].

En 2003 [Anaya L. O., 2003] presentó su tesis doctoral, en la cual se detalla el diseño del control digital de un restaurador dinámico de voltaje con un convertidor multinivel con diodo fijador para el mejoramiento de la calidad de la energía. El trabajo presenta los fundamentos teóricos de los convertidores multinivel, las estrategias *SPWM*, el principio de funcionamiento de los restauradores dinámicos de voltaje multinivel, la fabricación del prototipo del restaurador dinámico de voltaje escalado, los códigos en lenguaje ensamblador del *DSP TMS320F240* utilizado y por último presenta las pruebas de laboratorio y los resultados experimentales del prototipo. El trabajo se desarrolló en el Laboratorio del departamento de Ingeniería Eléctrica y Electrónica de la Universidad de Glasgow.

En 2004, Dong explicó un sistema de *FACTS* Reconfigurable para su uso en laboratorios universitarios. El sistema puede operar como: *Statcom*, *SSSC* o como *UPFC* con la finalidad de poder implementar y evaluar nuevas estrategias de control y fue desarrollado en la Universidad de Missouri-Rolla. En el artículo se dan algunos detalles del hardware del sistema de adquisición de datos y del subsistema de generación de señales de control. Menciona que una computadora personal provee el monitoreo en tiempo real, control, coordinación y protección para dos subsistemas esclavos basados en *DSP*. Estos, utilizan *DSPs TMS32051* de la compañía *Texas Instruments* y cada uno de ellos se encarga de la generación de las señales *PWM* para un convertidor *VSC* trifásico de dos niveles. Posteriormente se presenta una breve explicación de cada uno de los modelos matemáticos de los *FACTS* que se pueden implementar y por último se muestran resultados experimentales. [Dong et al, 2004]. Además en 2004, Liangying Dong presentó su tesis doctoral, en la cual se muestra en detalle el modelado de los dispositivos *FACTS*, sin embargo las pruebas de laboratorio que presenta son las mismas que se presentaron en el artículo. La disertación doctoral está enfocada a controlar

y mitigar el fenómeno de interacción comparando el desempeño dinámico de un sistema de potencia con un *UPFC* instalado en diferentes lugares [Dong, 2004].

[Corzine y Crow, 2005] hacen una descripción del laboratorio de Ingeniería de Potencia de la Universidad de Missouri-Rolla, en el cual fueron desarrollados los trabajos de [Yang et al, 2001] y [Dong, 2004]. La inversión en este laboratorio es de aproximadamente un millón trescientos cincuenta mil dólares. Lo que explica la facilidad económica y técnica de construir prototipos de laboratorio.

[Mishra, 2006] presenta el desarrollo y la implementación de un *D-Statcom* basado en *DSP* para compensar cargas no lineales desbalanceadas. Presenta una descripción detallada del hardware utilizado, explica ampliamente el *DSP* utilizado (TMS320F2812), da una breve explicación de la implementación del algoritmo en el *DSP* y por último presenta pruebas del prototipo de laboratorio. El proyecto fue desarrollado en el Departamento de Ingeniería Eléctrica del Instituto de Tecnología Indú en Chennai, India.

[Masdi et al, 2006] presentan el diseño de un prototipo de un compensador estático para distribución. El *D-Statcom* utilizado es una configuración de doce pulsos con *IGBTs*. Se presentan simulaciones en *PSCAD/EMTDC* donde se prueba el desempeño del diseño propuesto. Se menciona que el controlador fue desarrollado en un *DSP* (no se menciona cuál se utilizó) y se muestran gráficas de los resultados experimentales. Sin embargo no se dan detalles del hardware, software y la estrategia de control utilizados en el prototipo.

[Gao et al, 2009] pretenden presentar el desarrollo e investigación de un sistema *HVDC-VSC* basado en *DSP*, sin embargo el artículo no presenta de forma clara y precisa los aspectos de hardware, software y control utilizados. No se presentan diagramas de bloques ni eléctricos de cómo está compuesto el sistema de transmisión, sólo se limita a comentar algunos aspectos generales de la obtención de los valores nominales de las inductancias de acoplamiento en el lado de *ca* y del dimensionamiento del capacitor del lado de *cd*. De la misma forma, sólo se presentan algunas generalidades del sistema de medición, del *DSP TMS320F2812* y de los módulos de potencia de *IGBTs* utilizados. Tampoco presenta pruebas y resultados. El

desarrollo y la investigación se llevaron a cabo en la Escuela de Ingeniería de la Información de la Universidad Dalian Fisheries, en Dalian, China.

[Saeedifard, M. et al, 2009] presentan una estrategia de modulación de vector espacial para un sistema *HVDC-VSC* Back-to-Back de cinco niveles. La técnica de modulación propuesta está orientada a resolver el problema de desviación de voltaje que se presenta en los capacitores en la configuración multinivel con diodo fijador. Desarrollan el modelo matemático para el convertidor de cinco niveles con diodo fijador utilizando la estrategia de modulación propuesta. Presentan simulaciones en *PSCAD/EMTDC* y resultados experimentales a fin de validar la técnica de modulación propuesta aplicada en un sistema *HVDC Back-to-Back* de cinco niveles. El artículo no presenta detalles del hardware y software utilizados en la parte experimental. El artículo no menciona explícitamente el lugar donde se realizaron las pruebas experimentales. La autora principal pertenece al Centro para la Electrónica de Potencia Aplicada del Departamento de Ingeniería Eléctrica e Ingeniería Computacional de la Universidad de Toronto.

De la revisión del estado del arte se puede concluir que existen muy pocos trabajos que cubran a detalle las etapas de hardware, software y los sistemas de control que son necesarios para la operación de los dispositivos *FACTS* y *HVDC* en prototipos de laboratorio.

### **1.3 Justificación.**

Las simulaciones digitales de las estaciones convertidoras de un sistema de transmisión *HVDC-VSC* permiten comprender su funcionamiento ideal en estado estacionario y transitorio. Sin embargo, en estas simulaciones no se consideran aspectos de hardware, que son importantes para la operación de las estaciones convertidoras.

El realizar simulaciones físicas con un prototipo de laboratorio de una estación convertidora de un sistema de transmisión *HVDC-VSC*, permite comprender el funcionamiento de cada una de sus etapas bajo condiciones controladas de laboratorio. Además, el prototipo es una herramienta valiosa para la investigación de diferentes esquemas de control de este tipo de

sistemas de transmisión, que están considerados como parte importante en la modernización de las redes eléctricas a nivel mundial.

#### 1.4 Objetivo.

Diseñar y construir un prototipo de laboratorio de una estación convertidora de un sistema de transmisión *HVDC-VSC* que sea utilizado en la investigación.

#### 1.5 Aportaciones.

- Explicación de los principios básicos para de los sistemas de transmisión *HVDC-VSC*.
- Reporte detallado del diseño e implementación del hardware y el software para el control del sistema de transmisión *HVDC-VSC*.
- Utilización de un *DSC* de punto flotante de 32 bits de alto desempeño para la adquisición de datos y para el control de una estación convertidora para un sistema de transmisión *HVDC-VSC*.
- Desarrollo e implementación de un algoritmo novedoso de modulación *SPWM* de alta resolución utilizando los recursos del *DSC*.
- Desarrollo del hardware y el algoritmo para sincronización con el sistema de *ca* de 60Hz haciendo uso de los recursos del *DSC*.
- Utilización y diseño detallado del control desacoplado de la potencia real y potencia reactiva aplicado a una estación convertidora *HVDC-VSC*.

#### 1.6 Metodología.

La metodología llevada a cabo para la realización de este trabajo se lista a continuación:

- Revisión de la información disponible de los proyectos *HVDC-VSC* proyectados, instalados y en operación.
- Revisión de los fundamentos teóricos de los *HVDC-VSC*.
- Definición de las etapas que integran el prototipo.
- Elección de los componentes.
- Estudio del *DSC*.
- Diseño del hardware, ensamble y pruebas de laboratorio de las placas de circuito impreso del hardware.

- Diseño y programación de las rutinas del software desarrollado para el *DSC*.
- Diseño de los controladores desacoplados de potencia real, reactiva y del controlador del voltaje del capacitor y simulación en *Matlab*
- Integración del hardware con el *DSC* y pruebas.

### 1.7 Descripción de capítulos.

El presente trabajo de tesis está ordenado de la siguiente manera:

En el capítulo dos se presentan los principios básicos de los sistemas de transmisión *HVDC-VSC*, se describe el funcionamiento de un *VSC* trifásico de dos niveles, se presentan los principios básicos de operación y control de los sistemas de transmisión *HVDC-VSC*, se presentan las definiciones de potencia real instantánea y potencia reactiva instantánea y por último se obtiene el modelo matemático del *VSC* trifásico de dos niveles.

En el capítulo tres se presentan las especificaciones generales del prototipo y se detalla la estructura del hardware de las estaciones convertidoras.

En el capítulo cuatro se presenta el desarrollo del control desacoplado para una estación convertidora del sistema del sistema de transmisión *HVDC-VSC*.

En el capítulo cinco se presenta la implementación en el *DSC* de las rutinas de software para la operación de una estación convertidora

En el capítulo seis se presentan las pruebas de laboratorio realizadas a una estación convertidora.

Finalmente en el capítulo siete se presentan las conclusiones y trabajos futuros.

# CAPÍTULO 2

## PRINCIPIOS BÁSICOS DE LOS SISTEMAS DE TRANSMISIÓN HVDC-VSC.

Una vez que se ha establecido en el capítulo 1 la importancia de los sistemas *HVDC-VSC*, es necesario conocer su funcionamiento, los componentes que lo integran, y sus aplicaciones. En este capítulo se hace una descripción de los sistemas de transmisión *HVDC-VSC*, cada uno de los elementos que los integran al sistema. Asimismo, se explican los aspectos importantes de la operación y control de los sistemas de transmisión *HVDC-VSC* y por último se obtiene el modelo discreto del *VSC* que se utiliza para la obtención de los controladores desacoplados de los *VSCs* en el capítulo 4.

### 2.1 Descripción de los sistemas de transmisión HVDC-VSC.

Los sistemas de transmisión *HVDC-VSC* han demostrado ser confiables y más amigables con el medio ambiente que los sistemas de transmisión en *ca*, para transmisión de potencia a través de cables submarinos, cables subterráneos, líneas de transmisión aéreas o en configuraciones *back-to-back*. La potencia que se puede transmitir va desde decenas de Megawatts hasta 1GW [HVDC Light, 2010].

El sistema de transmisión *HVDC-VSC* está compuesto básicamente de dos estaciones convertidoras, reactores de fase y cables para transmisión de *cd*, como se muestra en la Figura 2.1.

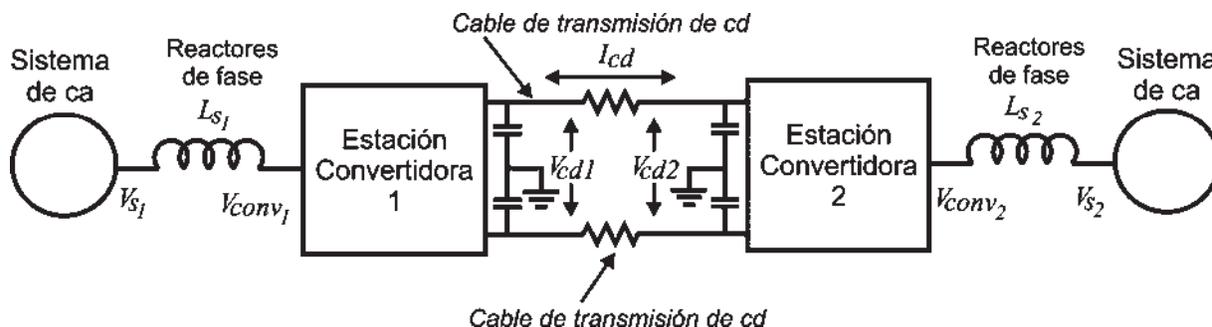


Figura 2.1. Sistemas de transmisión HVDC-VSC.

La tecnología *HVDC-VSC* está basada en *VSCs* en combinación con cables de *cd* extruídos. Los convertidores están basados en *IGBTs*, utilizan el estado del arte de la tecnología de encendido y apagado de los *IGBTs*. Los *VSC* son controlados utilizando técnicas de modulación por ancho de pulso de alta frecuencia a fin de alcanzar alta velocidad y controlar de forma independiente la potencia real y reactiva. Esto da flexibilidad sin importar la ubicación de los convertidores en el sistema de *ca*. Los convertidores alimentados por fuente de voltaje pueden trabajar en dos modos de operación: modo rectificador y modo inversor. Lo que permite que el flujo de potencia a través de ellos sea bidireccional.

Los sistemas de transmisión *HVDC-VSC* están basados en un concepto de diseño modular. Para voltajes de hasta  $\pm 150\text{kV}$ , la mayoría del equipo es instalado en gabinetes en la fábrica. Para voltajes de *cd* mayores, el equipo es instalado en interiores. Los requerimientos de área para la instalación de los convertidores también son pequeños comparados con los requeridos para la instalación de *HVDC* convencional. Todo el equipo, excepto el transformador de potencia es instalado en interiores.

Todo el equipo es probado en la fábrica lo que permite que sea rápida y eficiente la instalación y puesta en marcha.

Las estaciones *HVDC-VSC* están automatizadas. Estas pueden ser operadas remotamente o incluso de forma autónoma, de acuerdo con las necesidades de las redes de *ca* interconectadas. Los requerimientos de mantenimiento están determinados principalmente por el equipo convencional, tales como interruptores de *ca*, equipo de enfriamiento, etc.

Los cables utilizados para los sistemas de transmisión *HVDC-VSC* son operados normalmente en forma bipolar, un cable con polaridad positiva y un cable con polaridad negativa. Además, tienen un material aislante polimérico, el cual es muy fuerte y robusto. Estas características hacen que los cables sean perfectos para condiciones de instalación severas:

- Cables submarinos que pueden ser tendidos en aguas profundas y en fondos ásperos.
- Los cables subterráneos pueden ser instalados con técnicas sencillas de arar.

Los beneficios ambientales de utilizar los cables para transmisión de *cd* que mencionan los fabricantes son: [HVDC Light, 2010]

- Los campos magnéticos son eliminados debido a que los cables son tendidos en pares con corrientes en dirección opuesta. El campo magnético en los cables no es pulsante sino estático justo como el campo magnético natural de la tierra. La fuerza del campo magnético es de un décimo del campo magnético natural de la tierra un metro por encima de la tierra inmediatamente por encima del cable. Así no hay campos magnéticos relevantes cuando se utilizan cables para transmisión de *cd*.
- El riesgo de fuga de aceite es eliminado
- El aislamiento del cable es reciclable y amigable con el medio ambiente.
- El metal del cable puede ser reciclado.
- No hay impacto visual
- No hay corrientes de tierra

A continuación se describen brevemente algunas de las aplicaciones de los sistemas de transmisión *HVDC-VSC* [Asplund et al, 1997] [HVDC Light, 2010].

**Cargas pequeñas aisladas remotas.**

Muchas comunidades no están conectadas a la red eléctrica y son dependientes de generación local costosa para sus necesidades. La transmisión *HVDC-VSC* hace posible, en muchos casos, conectar estas comunidades a la red principal.

**Alimentación de islas.**

La alimentación de energía eléctrica en islas pequeñas es generalmente provista por generación diesel local. Esto se puede reemplazar por un sistema de transmisión *HVDC-VSC*, a fin de importar electricidad barata proveniente de tierra firme. Lo que en la mayoría de las veces es una mejor solución económica, técnica y ambiental.

**Alimentación de ciudades.**

Aumentar la capacidad de transmisión utilizando líneas de *ca* en ciudades es costoso y en muchos casos los permisos para nuevos derechos de vía son difíciles de obtener. Un cable de *cd* ocupa menos espacio que una línea aérea de *ca* y puede portar más potencia y es muchas veces la única solución práctica, para cubrir las necesidades de potencia de una ciudad.

**Generación remota a pequeña escala.**

La generación remota a pequeña escala tal como la minihidráulica o la generación eólica no se han sido económicamente viables, debido a la baja capacidad generación y a los altos costos de las líneas de transmisión de *ca*.

Un sistema de transmisión *HVDC-VSC* permite conectar la generación remota a pequeña escala a la red principal o a cargas remotas a un bajo costo. Lo que hace factible desarrollar y maximizar el uso de recursos energéticos renovables.

**Generación en plataformas marinas.**

Las plataformas petroleras quemar el exceso de gas en lugar de generar energía eléctrica y transmitirla a tierra firme. La razón de esto es que los sistemas de transmisión de *ca* no han demostrado ser económicos. Un sistema de transmisión *HVDC-VSC* combinado con

cables extruídos para  $cd$  es una alternativa viable y así, la quema inútil de gas puede ser evitado.

### **Multiterminal.**

La salida de un convertidor  $VSC$  siempre tiene la misma polaridad. Esto hace fácil usarlo como un bloque de construcción en un sistema multiterminal. En un bus de  $cd$  con polaridad fija cualquier número de  $VSCs$  pueden ser conectados, y con esto, un sistema mallado de  $cd$  con la misma topología de un sistema de  $ca$  puede ser construido.

#### **2.1.1 Estructura típica de un sistema de transmisión HVDC-VSC.**

En cada extremo del sistema de transmisión  $HVDC-VSC$  se encuentran los siguientes componentes: [HVDC Light, 2010]

- Transformador de potencia.
- Filtros de alta frecuencia.
- Filtros para portadora de línea de potencia ( $PLC$ , por sus siglas en inglés, *Power Line Carrier*)
- Filtros de  $ca$ .
- Reactores de fase.
- Módulos  $IGBTs$ .
- Capacitor de  $cd$ .
- Filtros de  $cd$ .
- Cable para transmisión  $HVDC$ .

Los componentes listados se muestran en la Figura 2.2, a continuación se describen los aspectos principales de cada uno de los componentes.

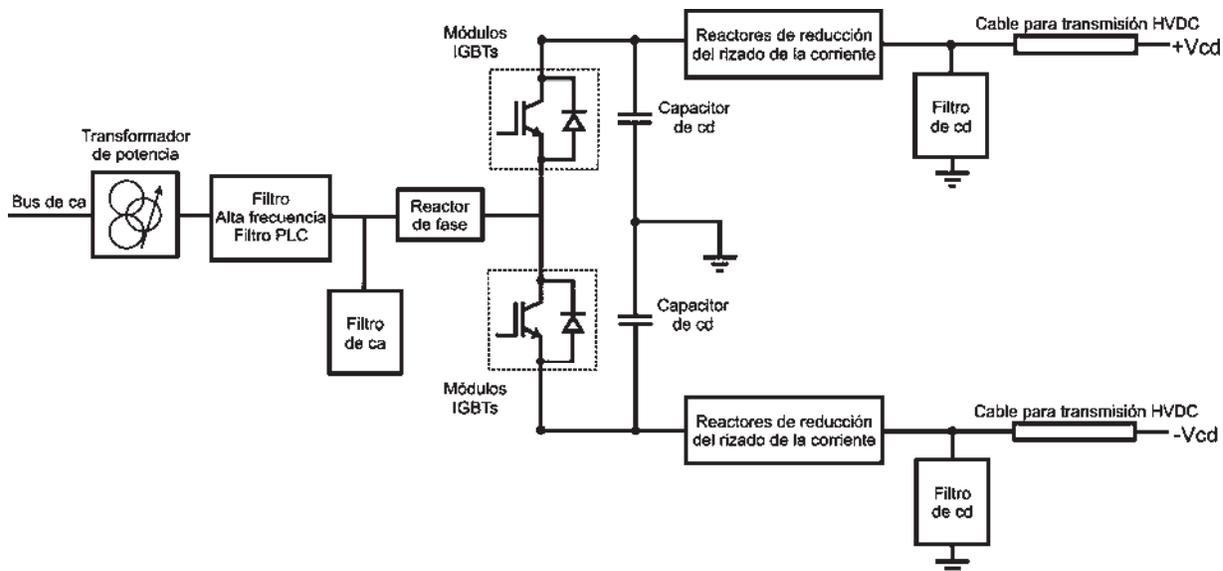


Figura 2.2. Diagrama Unifilar en un extremo del sistema de transmisión HVDC-VSC.

### Transformador de potencia.

Es un transformador trifásico ordinario con cambiador de *Taps*. El voltaje del devanado secundario, el filtro del voltaje del bus serán controlados con el cambiador de *taps* para alcanzar los máximos niveles de potencia real y reactiva del convertidor, tanto en generación como en absorción. El cambiador de *taps* está localizado del lado del devanado secundario.

### Filtros de alta frecuencia.

En *VSCs*, los altos  $dv/dt$  producidos por la conmutación de los *IGBTs* generan ruido de alta frecuencia. Para prevenir que el ruido de alta frecuencia se propague del convertidor a las redes de potencia conectadas, particular atención se da al diseño de los módulos *IGBTs*, al blindaje del housing y asegurar la apropiada conexión de tierra del ruido de alta frecuencia. Por ejemplo los módulos *IGBTs* contienen circuitos de amortiguamiento del ruido de alta frecuencia tanto en el lado de *ca* como en el lado de *cd* para asegurar que el disturbio de alta frecuencia sea tan pequeño como sea posible y que no se propague desde del área de los módulos *IGBTs*.

Si una *PLC* es usada en las cercanías en la red de potencia conectada, filtros *PLC* adicionales pueden ser requeridos.

**Filtros de ca.**

Los *VSCs* pueden operar con diferentes esquemas de control, la mayoría de las cuales usan modulación por ancho de pulso para controlar la magnitud y la fase del voltaje a frecuencia fundamental en las terminales de *ca* del convertidor. Este voltaje debe ser sinusoidal para conectarlo al sistema de potencia o distribución. Esto es logrado por medio de los reactores de fase del convertidor y de los filtros de *ca*.

La forma de onda distorsionada del voltaje en terminales del convertidor puede ser descrita como una serie de voltajes armónicos. La magnitud de los armónicos variará con el voltaje de *cd*, la frecuencia de conmutación del convertidor, etc. Pero también dependerán de la estrategia *PWM* seleccionada para controlar el convertidor.

Un esquema típico de filtro de *ca* en una aplicación de *HVDC-VSC*, tiene dos o tres ramas de filtros sintonizados conectados a tierra o no aterrizados. Dependiendo de los requerimientos de desempeño del filtro, la configuración del filtro puede cambiar.

**Reactores de fase.**

El reactor de fase es uno de los componentes claves en un *VSC* para permitir el control independiente y continuo de la potencia real y reactiva.

Los propósitos principales de los reactores de acoplamiento son:

- Proveer un filtro pasa bajas al patrón *SPWM* para obtener el voltaje deseado a la frecuencia fundamental. Las corrientes armónicas son bloqueadas por el reactor de acoplamiento y el contenido armónico en el bus de voltaje de *ca* es reducido por el filtro de *ca*.
- Permitir el control de la potencia real y reactiva. El voltaje a frecuencia fundamental a través del reactor del convertidor define el flujo tanto de potencia real como de potencia reactiva entre el lado de *cd* y *ca*.

- Limitar la corriente de corto circuito

Hay un reactor del convertidor por fase. Son bobinas verticales montadas sobre aisladores. Tienen varios metros de altura y de diámetro. Blindajes eliminan los campos magnéticos fuera de las bobinas. El voltaje de corto circuito del reactor del convertidor es típicamente del 15%.

La capacitancia parásita a través del reactor debe ser mantenida tan baja como sea posible a fin de minimizar las armónicas acopladas al filtro de *ca*.

El alto  $dv/dt$  en las terminales del puente de *IGBTs* en cada conmutación resultará en pulsos de corriente a través de todas las capacitancias a tierra. Estos pulsos de corriente deben ser minimizados cuando pasen a través de los *IGBTs*. El filtro de *ca* junto con el reactor puede ser considerado como tierra a altas frecuencias, y la capacitancia a través del reactor debe por lo tanto ser baja. Estos requerimientos conducen al diseño de los reactores del convertidor con núcleo de aire.

### **Módulos IGBTs.**

Un módulo *IGBT*, consiste de: un *IGBT*, una unidad de compuerta, un divisor de voltaje y un disipador enfriado por agua. Cada unidad de compuerta incluye circuitos manejadores de compuerta, circuitos de supervisión e interfase óptica. La electrónica de manejo de compuerta controla el voltaje de compuerta y la corriente de encendido y apagado, a fin de que el proceso de encendido y apagado sea el óptimo. El voltaje en el *IGBT* es medido durante el encendido, y la información es enviada a la unidad de control de los módulos *IGBTs* a través de fibra óptica. El divisor de voltaje conectado a través del *IGBT* provee a la unidad de compuerta con la corriente necesaria para manejar la compuerta y alimenta a los circuitos de comunicación óptica y al control electrónico.

### **Capacitor de *cd*.**

El objetivo principal del capacitor de *cd* es proveer una trayectoria de baja inductancia para las corrientes de apagado y también servir como almacenamiento de energía. El capacitor también reduce los armónicos de rizo en el voltaje de *cd*. Disturbios en el sistema (por ejemplo

fallas de *ca*) causaran variaciones en el voltaje de *cd*. La habilidad de limitar estas variaciones de voltaje depende del tamaño del capacitor de *cd*.

### Filtros de *cd*.

Las estaciones convertidoras para los sistemas de transmisión *HVDC-VSC* usadas en combinación con cables para transmisión *HVDC*, el filtrado en el lado de *cd* es llevado a cabo por el capacitor de *cd* del convertidor y los reactores de reducción del rizado de la corriente. Se considera que esta combinación es suficiente para proveer la supresión de cualquier armónico. Sin embargo, bajo ciertas circunstancias, si el cable de *cd* comparte el mismo derecho de vía o está tendido en las cercanías de alambres de servicio telefónico, cables de comunicación para el ferrocarril o similar, hay una posibilidad de exponer a interferencia armónica al cable.

### Cables para transmisión *HVDC*.

Los cables para transmisión *HVDC-VSC* utilizados para enlaces submarinos son de cobre y para enlaces terrestres son de aluminio. Las características físicas varían dependiendo del clima y de los niveles de potencia que se desean transmitir. La Tabla 2.1 muestra un resumen de las características de los cables para transmisión *HVDC-VSC* [HVDC Light, 2010].

**Tabla 2.1** Características de los cables para transmisión *HVDC-VSC*.

	Cables Submarinos con conductor de cobre para enlaces de $\pm 80\text{kV}$ , $\pm 150\text{kV}$ y $\pm 320\text{kV}$		Cables Terrestres con conductor de aluminio para enlaces de $\pm 80\text{kV}$ , $\pm 150\text{kV}$ y $\pm 320\text{kV}$	
	Clima Tropical	Clima moderado	Clima Tropical	Clima moderado
Área ( $\text{mm}^2$ )	De 95 a 2400	De 95 a 2400	De 95 a 2400	De 95 a 2400
Corriente Máxima (A)	De 282 a 2198	De 343 a 2678	De 211 a 1681	De 258 a 2066
Transmisión de potencia (MW)	De 45 a 1407	De 55 a 1714	De 34 a 1076	De 41 a 1322
Peso por cable (kg/m)	De 4.7 a 61	De 4.7 a 61	De 1.2 a 16	De 1.2 a 16
Resistencia por fase ( $\Omega$ )	De 0.193 a 0.0073	De 0.193 a 0.0073	De 0.32 a 0.0121	De 0.32 a 0.0121

## 2.2 Operación del VSC.

Para el desarrollo de este trabajo se utilizó un VSC trifásico de dos niveles que utiliza la técnica *SPWM*. Los voltajes de salida de un VSC trifásico de dos niveles que utiliza la técnica *SPWM* están determinados por la comparación de una señal portadora triangular ( $\hat{v}_{tri}$ ) con tres señales de control sinusoidal desfasadas  $120^\circ$  ( $\hat{v}_{control,A}$ ,  $\hat{v}_{control,B}$  y  $\hat{v}_{control,C}$ ). La Figura 2.3 muestra la topología de un VSC trifásico de dos niveles, mientras que la Figura 2.4 muestra la generación de los voltajes de salida del VSC utilizando la técnica de modulación *SPWM*. Como resultado de la comparación se obtienen los siguientes niveles de los voltajes de salida [Mohan et al, 2002] [Lipo et al, 2007]:

$$\begin{aligned} \hat{v}_{control,A} > V_{tri} &\rightarrow TA+ : encendido & V_{AN} &= V_d \\ \hat{v}_{control,A} < V_{tri} &\rightarrow TA- : encendido & V_{AN} &= 0 \\ \hat{v}_{control,B} > V_{tri} &\rightarrow TB+ : encendido & V_{BN} &= V_d \\ \hat{v}_{control,B} < V_{tri} &\rightarrow TB- : encendido & V_{BN} &= 0 \\ \hat{v}_{control,C} > V_{tri} &\rightarrow TC+ : encendido & V_{CN} &= V_d \\ \hat{v}_{control,C} < V_{tri} &\rightarrow TC- : encendido & V_{CN} &= 0 \end{aligned}$$

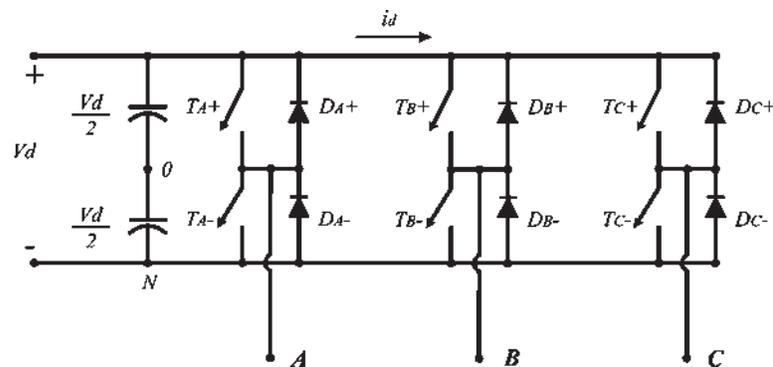


Figura 2.3. VSC trifásico de dos niveles

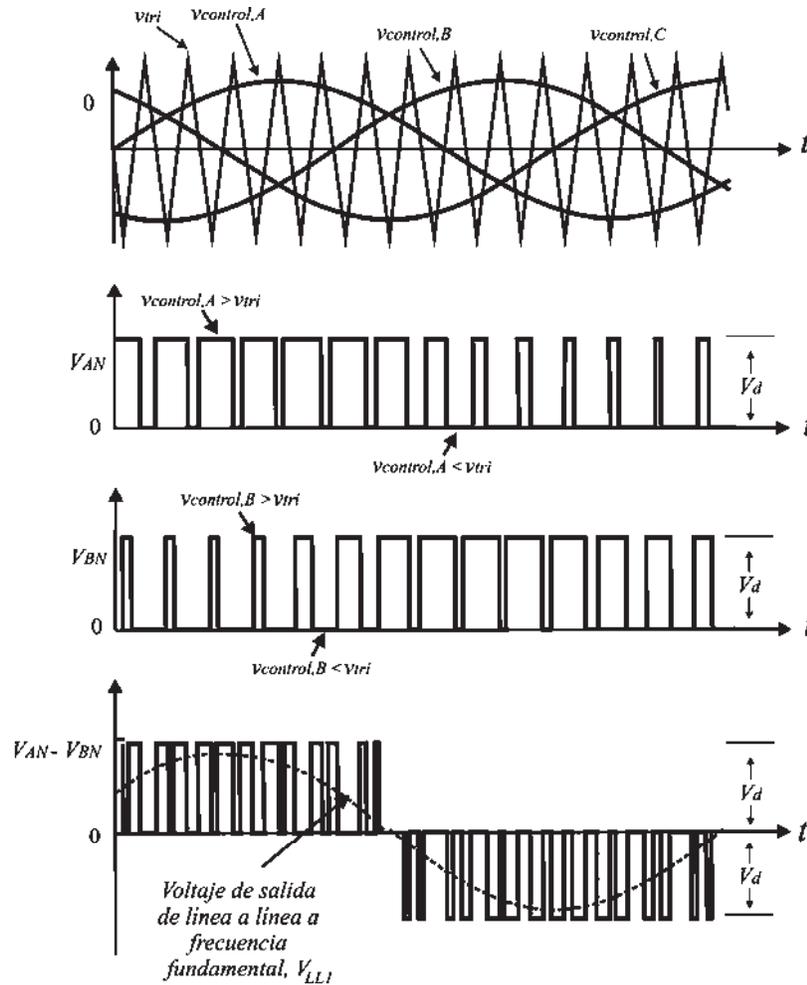


Figura 2.4. Modulación por ancho de pulso sinusoidal, SPWM.

La frecuencia de la onda triangular establece la frecuencia de conmutación del VSC y generalmente se mantiene constante junto con su amplitud  $\hat{v}_{tri}$ . A la frecuencia de conmutación,  $f_{tri}$  también se le conoce como frecuencia portadora. Las señales de control,  $\hat{v}_{control,A}$ ,  $\hat{v}_{control,B}$  y  $\hat{v}_{control,C}$ , se utilizan para modular el ciclo de trabajo de los interruptores y todas tiene la misma frecuencia  $f_1$ , la cual es la frecuencia fundamental deseada del voltaje de salida del VSC. A esta frecuencia también se le conoce como frecuencia de modulación. Los voltajes de salida no son ondas sinusoidales puras conteniendo frecuencias armónicas.

La razón o índice de modulación de amplitud  $m_a$  está definida como:

$$m_a = \frac{\hat{v}_{control,A}}{\hat{v}_{tri}} = \frac{\hat{v}_{control,B}}{\hat{v}_{tri}} = \frac{\hat{v}_{control,C}}{\hat{v}_{tri}} \quad (2.1)$$

Donde  $\hat{v}_{control,x}$  es la magnitud pico de la señal de control. La amplitud  $\hat{v}_{tri}$  de la señal triangular se mantiene constante. En la región lineal ( $m_a \leq 1.0$ ), el valor pico de la componente de frecuencia fundamental en el voltaje de salida,  $(\hat{V}_{AN})_1$ , varía linealmente con la razón de modulación de amplitud  $m_a$  como se muestra en la Ecuación (2.2).

$$(\hat{V}_{AN})_1 = m_a \frac{V_d}{2} \quad (2.2)$$

Así el voltaje *rms* de línea a línea a la frecuencia fundamental debido al desplazamiento de  $120^\circ$  entre los voltajes de fase puede escribirse como:

$$V_{LL1(rms)} = \frac{\sqrt{3}}{\sqrt{2}} (\hat{V}_{AN})_1 = \frac{\sqrt{3}}{2\sqrt{2}} m_a V_d \approx 0.612 m_a V_d \quad (m_a \leq 1.0) \quad (2.3)$$

La razón o índice de modulación de frecuencia  $mf$  se define como:

$$mf = \frac{f_{tri}}{f_1} \quad (2.4)$$

En la Tabla 2.2 se muestran las componentes armónicas generalizadas para los voltajes de fase de salida del VSC, además se observa que las armónicas en la forma de onda del voltaje de fase de salida del VSC aparecen como bandas laterales centradas alrededor de la frecuencia de conmutación y sus múltiplos, esto es, alrededor de las armónicas  $mf, 2mf, 3mf, 4mf, \dots$  este patrón general se mantiene para todos los valores de  $m_a$  en el rango de 0 a 1. Por su parte la Figura 2.5 muestra las componentes armónicas generalizadas para los voltajes de fase de salida del VSC.

Tabla 2.2 Armónicas generalizadas de  $V_{Ao}$  para un  $mf$  grande ( $mf > 9$ )

Armónica	$ma$				
	0.2	0.4	0.6	0.8	1.0
Fundamental	0.2	0.4	0.6	0.8	1.0
$mf$	1.242	1.15	1.006	0.818	0.601
$mf \pm 2$	0.016	0.061	0.131	0.220	0.318
$mf \pm 4$					0.018
$2mf \pm 1$	0.190	0.326	0.370	0.314	0.181
$2mf \pm 3$		0.024	0.071	0.139	0.212
$2mf \pm 5$				0.013	0.033
$3mf$	0.335	0.123	0.083	0.171	0.113
$3mf \pm 2$	0.044	0.139	0.203	0.176	0.062
$3mf \pm 4$		0.012	0.047	0.104	0.157
$3mf \pm 6$				0.016	0.044
$4mf \pm 1$	0.163	0.157	0.008	0.105	0.068
$4mf \pm 3$	0.012	0.070	0.132	0.115	0.009
$4mf \pm 5$			0.034	0.084	0.119
$4mf \pm 7$				0.017	0.050

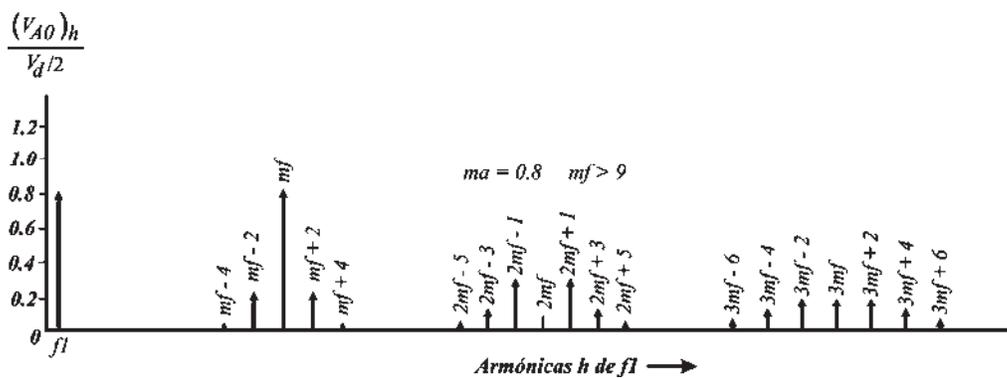


Figura 2.5. Espectro armónico en la forma de onda del voltaje de fase.

Teóricamente las frecuencias en las que las armónicas de voltaje ocurren, pueden ser indicadas como sigue:

$$f_h = (jmf + k) f_1 \quad (2.5)$$

Esto es, la armónica de orden  $h$  corresponde a la  $k$ -ésima banda lateral de  $j$  veces la relación de modulación de la frecuencia  $mf$ , o bien:

$$h = (jmf) \pm k \quad (2.6)$$

Donde la frecuencia fundamental corresponde a  $h = 1$ .

Para valores impares de  $j$ , existe la  $j$ -ésima armónica y las armónicas de banda lateral para valores pares de  $k$ . Es decir, existen  $mf, 3mf, 5mf, \dots$  y  $mf \pm 2, mf \pm 4, \dots, 3mf \pm 2, 3mf \pm 4, 3mf \pm 6, \dots$

Para valores pares de  $j$ , no existe la  $j$ -ésima armónica y existen las armónicas solamente para valores impares de  $k$ . Es decir, no existen  $2mf, 4mf, 6mf, \dots$  y existen  $2mf \pm 1, 2mf \pm 3, 2mf \pm 5, \dots, 4mf \pm 1, 4mf \pm 3, 4mf \pm 5, 4mf \pm 7$

Además, si se elige  $mf$  como entero impar resultará una simetría impar y también una simetría de media onda. Con lo cual solamente estarán presentes las armónicas impares y desaparecerán las armónicas pares de la forma de onda de voltaje.

En la Tabla 2.3 se muestran las componentes armónicas generalizadas para los voltajes de línea a línea de salida del VSC. Esto es mostrado gráficamente en la Figura 2.6.

**Tabla 2.3** Armónicas generalizadas de  $V_{LL}$  para un  $mf$  grande ( $mf > 9$ ), impar, múltiplo de 3.

Armónica	$ma$				
	0.2	0.4	0.6	0.8	1.0
Fundamental	0.122	0.245	0.367	0.490	0.612
$mf \pm 2$	0.010	0.037	0.080	0.135	0.195
$mf \pm 4$				0.005	0.011
$2mf \pm 1$	0.116	0.200	0.227	0.192	0.111
$2mf \pm 5$				0.008	0.020
$3mf \pm 2$	0.027	0.085	0.124	0.108	0.038
$3mf \pm 4$		0.007	0.029	0.064	0.096
$4mf \pm 1$	0.100	0.096	0.005	0.064	0.042
$4mf \pm 5$			0.021	0.051	0.073
$4mf \pm 7$				0.010	0.030

$(V_{LL})_h/V_d$  están tabulados como una función de  $m_a$  donde  $(V_{LL})_h$  son los valores rms de los voltaje armónicos

En la forma de onda del voltaje de línea a línea en un VSC trifásico, sólo existen las armónicas impares como bandas laterales, centradas alrededor de  $mf$  y sus múltiplos, siempre y cuando  $mf$  sea impar. Considerando las armónicas en  $mf$  (lo mismo aplica para sus múltiplos impares), la diferencia de fases entre la armónica en  $v_{AN}$  y  $v_{BN}$  es  $120^\circ$ . Esta diferencia de fases será equivalente a cero (un múltiplo de  $360^\circ$ ) si  $mf$  es impar y un múltiplo de 3. Como una consecuencia, la armónica en  $mf$  es suprimida en el voltaje de línea a línea  $v_{AB}$ . El mismo argumento aplica en la supresión de las armónicas en los múltiplos impares de  $mf$  si  $mf$  es elegido a ser un múltiplo impar de 3 (donde la razón para elegir  $mf$  a ser un múltiplo impar de 3 es mantener a  $mf$  impar, eliminando las armónicas pares). Así, algunas de las armónicas dominantes en una fase del VSC pueden ser eliminadas del voltaje de línea a línea de un VSC trifásico [Mohan et al, 2002].

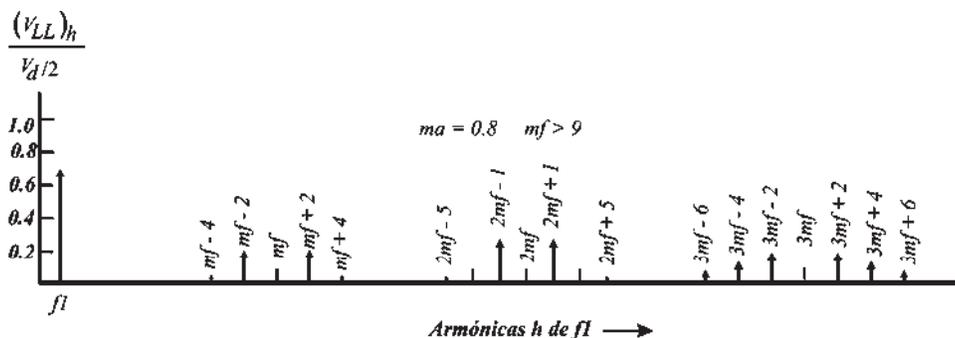


Figura 2.6. Espectro armónico en la forma de onda del voltaje de línea.

### 2.3 Principios básicos de control de los sistemas de transmisión HVDC-VSC.

El flujo de potencia real, entre el VSC y el sistema de  $ca$  es controlado cambiando el ángulo de fase entre el voltaje a frecuencia fundamental generado por el convertidor y el voltaje del sistema de  $ca$ . Esto se realiza modificando el ángulo de fase de la señal de control,  $\hat{v}_{control,x}$  (donde  $x = a, b, \text{ ó } c$ ). Si el ángulo de fase de la componente fundamental del voltaje generado por el VSC,  $\angle e_x$ , está en adelante con respecto al voltaje de fase del sistema,  $\angle V_{s_x}$ , el VSC entrega potencia real al sistema. Por el contrario si el ángulo de fase de la componente fundamental del voltaje generado por el convertidor,  $\angle e_x$  está en atraso con respecto al voltaje de fase del sistema,  $\angle V_{s_x}$ , el VSC consume potencia real del sistema. Esto es ilustrado en la Figura 2.7. [Bahrman et al, 2003] [Mohan et al, 2003].

Por su parte el flujo de potencia reactiva entre el VSC y el sistema de  $ca$  está determinado por la amplitud del voltaje a frecuencia fundamental generado por el convertidor, el cual es controlado variando la amplitud de la señal de control  $\hat{v}_{control,x}$ . Si la amplitud de la componente fundamental del voltaje generado por el VSC,  $|e_x|$ , es mayor que la magnitud del voltaje de fase del sistema,  $|V_{s_x}|$ , el VSC entrega potencia reactiva al sistema. Por el contrario si la amplitud de la componente fundamental del voltaje generado por el VSC,  $|e_x|$ , es menor que la magnitud del voltaje de fase del sistema,  $|V_{s_x}|$ , el VSC absorbe potencia reactiva del sistema. El flujo de potencia reactiva entre el VSC y el sistema es ilustrado en la Figura 2.7.

La modulación *SPWM* permite generar casi instantáneamente un voltaje a frecuencia fundamental a cualquier ángulo de fase y/o amplitud (hasta ciertos límites) en las terminales del VSC, modificando los parámetros de la señal de control,  $\hat{v}_{control,x}$ . Por lo tanto la modulación *SPWM* ofrece la posibilidad de controlar de forma independiente el flujo de potencia real y reactiva. La Figura 2.8 muestra el flujo de la potencia real y reactiva en un sistema de transmisión *HVDC-VSC*.

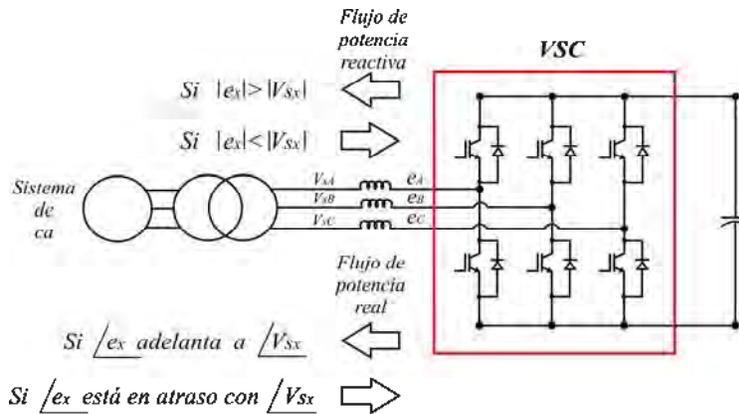


Figura 2.7. Flujo de potencia real y reactiva entre el VSC y el sistema de ca.

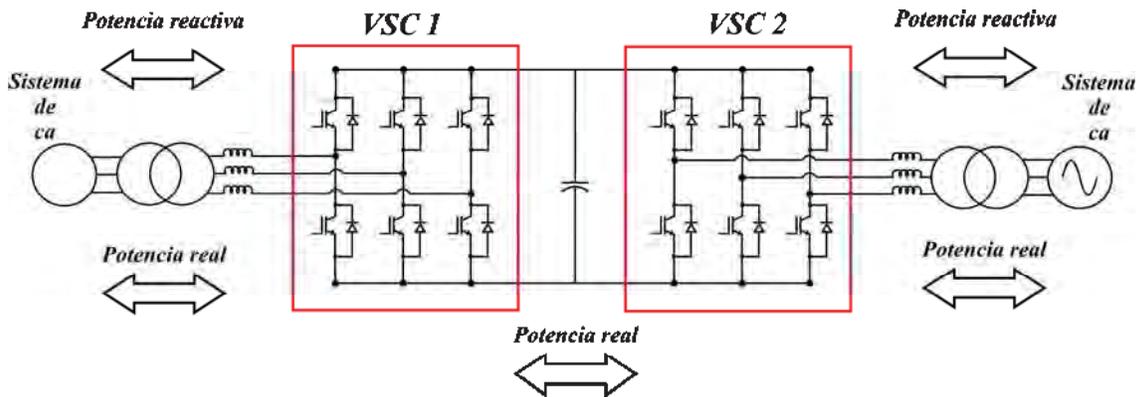


Figura 2.8. Flujo de potencia real y reactiva en un sistema de transmisión HVDC- VSC.

El flujo de potencia real entre el VSC y el sistema de ca está dado por (2.7), Mientras que el flujo de potencia reactiva entre el convertidor y el sistema de ca está dado por (2.8). [Asplund et al, 1997][Bahrman et al, 2003][HVDC Light, 2010].

$$P = \frac{e_x V_{s_x} \text{sen} \delta}{\omega L_s} \quad (2.7)$$

$$Q = \frac{e_x (e_x - V_{s_x} \cos \delta)}{\omega L_s} \quad (2.8)$$

donde

$e_x$  = Valor eficaz de la componente a frecuencia fundamental del voltaje de fase del convertidor

$V_{s_x}$  = Valor eficaz del voltaje de fase del sistema de *ca*.

$\omega$  = Frecuencia angular.

$\delta$  = Ángulo de defasamiento entre  $V_{s_x}$  y  $e_x$ .

$L_s$  = Inductancia del reactor de acoplamiento.

La potencia real en el enlace de *cd* está dada por:

$$P = V_{cd} I_{cd} \quad (2.9)$$

donde  $V_{cd}$  = Voltaje en el enlace de *cd*.

$I_{cd}$  = Corriente en el enlace de *cd*.

#### 2.4. Operación del sistema de transmisión HVDC-VSC.

Cada VSC puede ser monitoreado y controlado remotamente desde cualquier extremo del sistema de transmisión o de alguna localidad remota [Asplund et al, 1997].

En el inicio de la operación del enlace de *cd*, ambas estaciones pueden ser energizadas separadamente. Cuando los interruptores de potencia de *ca* son cerrados los capacitores son cargados a través de los diodos en antiparalelo del convertidor, debido a que los IGBTs no están en operación. Una vez que las unidades de manejo de compuerta son habilitadas los convertidores en las dos estaciones pueden ser conectados al enlace de *cd* por medio de los

interruptores en el lado de  $cd$ . El primer convertidor desbloqueado controlara el voltaje de  $cd$  entonces el otro convertidor es desbloqueado y la transmisión de potencia real puede iniciar.

El modo normal de operación significa que cada estación controla su flujo de potencia reactiva independiente de la otra estación. Sin embargo, el flujo de potencia real hacia la red de  $cd$  debe estar balanceado, es decir, que la potencia real saliendo de la red debe ser igual a la potencia real hacia la red menos las pérdidas en el sistema. Cualquier diferencia significa que el voltaje de  $cd$  en el sistema se incrementará o disminuirá rápidamente. Para alcanzar este balance de potencia un VSC está controlando el voltaje de  $cd$ . Esto significa que la otra estación puede ajustar cualquier potencia real dentro de los límites del sistema. El VSC que está controlando el voltaje de  $cd$  ajustará su potencia para asegurar el balance de potencia, es decir el voltaje de  $cd$  permanecerá constante. Esto se alcanza sin comunicación entre las dos estaciones, solo utilizando la medición del voltaje de  $cd$ .

## 2.5 Potencia real instantánea y potencia reactiva instantánea.

La potencia real instantánea trifásica se define como: [Schauder , Mehta 1993]

$$P = v_a i_a + v_b i_b + v_c i_c \quad (2.10)$$

Conceptualmente, la corriente reactiva instantánea se puede definir como esa parte del conjunto de corrientes trifásicas que podría ser eliminada en cualquier instante sin alterar la potencia real instantánea.

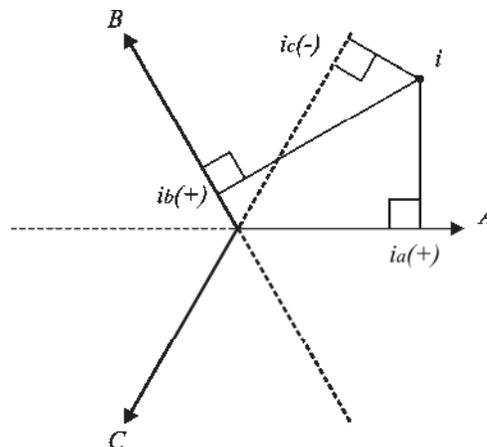
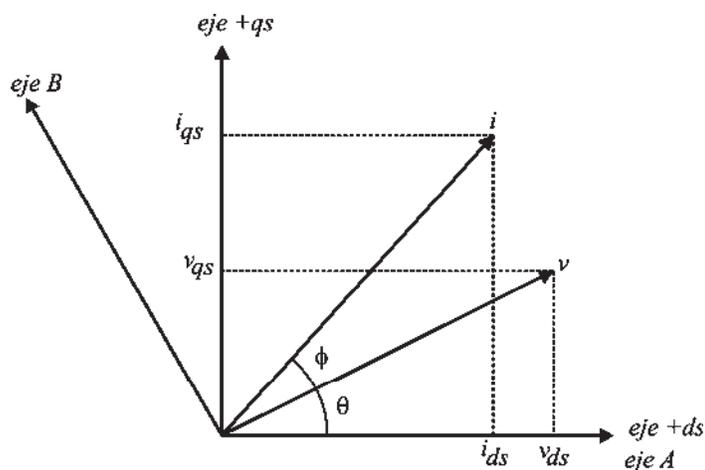


Figura 2.9. Representación vectorial de variables trifásicas instantáneas.

Un conjunto de tres variables de fase instantáneas que suman cero pueden ser representadas por un solo punto en un plano, como se ilustra en la Figura 2.9. Por definición, el vector dibujado del origen a este punto tiene una proyección perpendicular a cada uno de tres ejes de fase dispuestos simétricamente que corresponde al valor instantáneo de la variable de fase asociada. La magnitud de cada vector en esta representación está dada por el valor pico de la señal correspondiente. La representación vectorial es extendida introduciendo un sistema de coordenadas ortogonal en el cual cada vector está descrito por medio de sus componentes  $ds$  y  $qs$ . Como se ilustra en la Figura 2.10.



**Figura 2.10.** Transformación de variables de fase a coordenadas  $ds$  y  $qs$ .

La transformación de las variables de fase a coordenadas  $ds$  y  $qs$  están dadas por

$$\begin{bmatrix} i_{ds} \\ i_{qs} \\ 0 \end{bmatrix} = [C] \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2.11)$$

$$\begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix} = [C] \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.12)$$

Donde

$$C = \begin{bmatrix} 1 & -\frac{1}{2} & \frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad C^{-1} = \frac{3}{2} C^t$$

La potencia real instantánea en el marco de referencia  $ds$  y  $qs$  se puede obtener como sigue:

$$P = \begin{bmatrix} i_a & i_b & i_c \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} C^{-1} \begin{bmatrix} i_{ds} \\ i_{qs} \\ 0 \end{bmatrix} \end{bmatrix}^t C^{-1} \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix}$$

$$P = \begin{bmatrix} i_{ds} \\ i_{qs} \\ 0 \end{bmatrix}^t (C^{-1})^t C^{-1} \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix}$$

$$P = \begin{bmatrix} i_{ds} & i_{qs} & 0 \end{bmatrix} \frac{3}{2} C C^{-1} \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix}$$

$$P = \frac{3}{2} (v_{ds} i_{ds} + v_{qs} i_{qs}) \quad (2.13)$$

Utilizando la Figura 2.10, la potencia real instantánea se puede expresar en términos de  $|v|$ ,  $|i|$  y el ángulo  $\phi$ .

$$P = \frac{3}{2} (|v| \cos \theta |i| \cos(\theta + \phi) + |v| \operatorname{sen} \theta |i| \operatorname{sen}(\theta + \phi))$$

$$P = \frac{3}{2} |v| |i| \cos \phi (\cos^2 \theta + \operatorname{sen}^2 \theta)$$

$$P = \frac{3}{2} |v| |i| \cos \phi \quad (2.14)$$

Se observa que solamente la componente del vector de corriente que está en fase con el vector de voltaje instantáneo contribuye a la potencia real instantánea. Así, se puede definir la potencia reactiva instantánea mediante la ecuación

$$Q = \frac{3}{2} |v| |i| \operatorname{sen} \phi \quad (2.15)$$

Esta definición se puede escribir también en el marco de referencia  $ds$ - $qs$  como sigue:

$$Q = \frac{3}{2} |v| |i| \operatorname{sen} ((\theta + \phi) - \theta)$$

$$Q = \frac{3}{2} |v| |i| [\operatorname{sen} (\theta + \phi) \cos \theta - \operatorname{sen} \theta \cos (\theta + \phi)]$$

$$Q = \frac{3}{2} [|v| \cos \theta |i| \operatorname{sen} (\theta + \phi) - |v| \operatorname{sen} \theta |i| \cos (\theta + \phi)]$$

$$Q = \frac{3}{2} [v_{ds} i_{qs} - v_{qs} i_{ds}] \quad (2.16)$$

Para lograr una separación útil de variables para propósitos de control de potencia, y para obtener una transformación válida en cualquier instante, es común definir un nuevo sistema de coordenadas, donde el eje de la fase  $a$  se toma como referencia, como se muestra en la Figura 2.11.

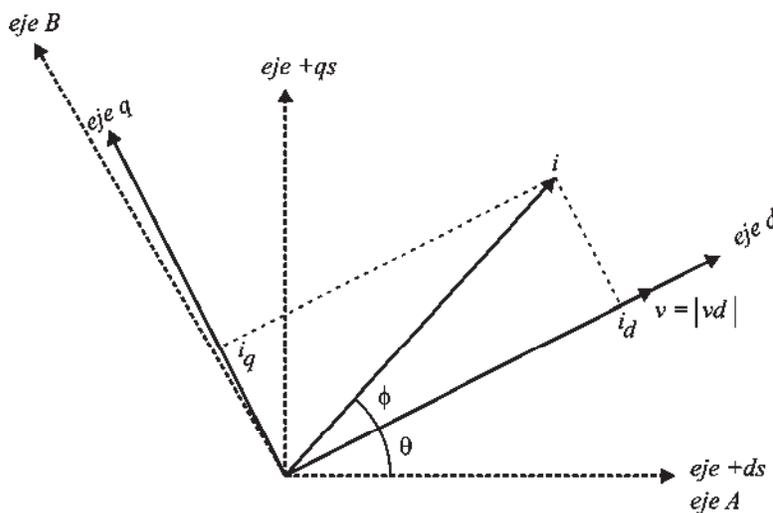


Figura 2.11. Transformación de variables de fase a coordenadas  $ds$  y  $qs$ .

Se define ahora un marco de referencia síncrono en el que los ejes  $d$  y  $q$  no están estacionarios en el plano. Estos ejes siguen la trayectoria del vector de voltaje. La transformación de las variables de fase al marco de referencia síncrono está dada por las transformaciones variantes en el tiempo.

$$[C_1] = \frac{2}{3} \begin{bmatrix} \cos\theta & \cos\left(\theta - \frac{2\pi}{3}\right) & \cos\left(\theta + \frac{2\pi}{3}\right) \\ -\text{sen}\theta & -\text{sen}\left(\theta - \frac{2\pi}{3}\right) & -\text{sen}\left(\theta + \frac{2\pi}{3}\right) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix}$$

$$[C_1]^{-1} = \frac{3}{2} [C_1]^t$$

Las transformaciones de las variables de fase al marco de referencia síncrono están dadas por

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = [C_1]^{-1} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} \quad (2.17)$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = [C_1]^{-1} \begin{bmatrix} |v| \\ 0 \\ 0 \end{bmatrix} \quad (2.18)$$

Bajo condiciones de estado estacionario las coordenadas de los vectores de voltaje y corriente en el marco de referencia síncrono son cantidades constantes. Esta característica es útil para el análisis y para el control desacoplado de las potencias real y reactiva.

Las ecuaciones de potencia real y reactiva en este nuevo sistema de coordenadas donde el eje  $d$  coincide siempre con el vector de voltaje instantáneo  $v$  y el eje  $q$  está en cuadratura con él son:

$$P = \frac{3}{2} |v| i_d \quad (2.19)$$

$$Q = \frac{3}{2} |v| i_q \quad (2.20)$$

## 2.6 Modelo de cada VSC del sistema de transmisión HVDC-VSC.

Cada VSC del sistema de transmisión HVDC-VSC es acoplado con el sistema de potencia por medio de reactores de fase. En la Figura 2.12 se muestra uno de los VSCs operando como inversor, el cual sirve para obtener el modelo matemático. El VSC está acoplado al sistema por medio de una inductancia,  $L$  y resistencia  $R$  en cada fase. La resistencia representa la pérdidas en el lado de  $ca$ , por su parte  $R_{cd}$  representa las pérdidas en el capacitor de  $cd$  [Schauder , Mehta 1993].

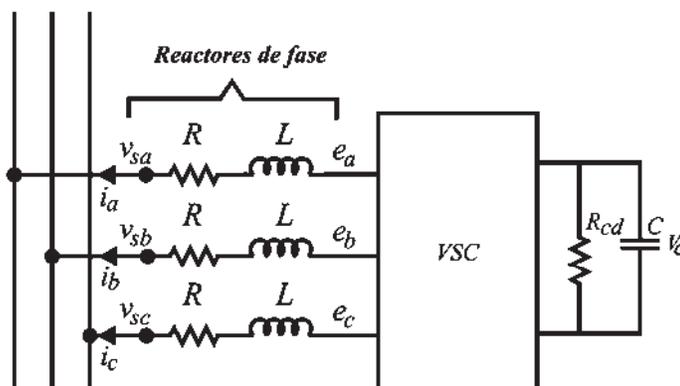


Figura 2.12. Diagrama simplificado del VSC.

El convertidor puede ser modelado utilizando las ecuaciones siguientes:

$$\frac{d}{dt} i_a = -\frac{R}{L} i_a + \frac{1}{L} (e_a - v_{sa}) \quad (2.21a)$$

$$\frac{d}{dt} i_b = -\frac{R}{L} i_b + \frac{1}{L} (e_b - v_{sb}) \quad (2.21b)$$

$$\frac{d}{dt} i_c = -\frac{R}{L} i_c + \frac{1}{L} (e_c - v_{sc}) \quad (2.21c)$$

En forma matricial

$$\frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + \frac{1}{L} \begin{bmatrix} e_a - v_{sa} \\ e_b - v_{sb} \\ e_c - v_{sc} \end{bmatrix} \quad (2.22)$$

Aplicando la transformación de *Park* en el marco de referencia síncrono

$$\frac{d}{dt} \begin{bmatrix} [C_1]^{-1} i_d \\ [C_1]^{-1} i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} [C_1]^{-1} i_d \\ [C_1]^{-1} i_q \\ 0 \end{bmatrix} + \frac{1}{L} [C_1]^{-1} \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix}$$

donde  $|v|$  es el valor pico del voltaje del sistema.

$$[C_1]^{-1} \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{d}{dt} [C_1]^{-1} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} [C_1]^{-1} i_d \\ [C_1]^{-1} i_q \\ 0 \end{bmatrix} + \frac{1}{L} [C_1]^{-1} \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix}$$

$$[C_1]^{-1} \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} [C_1]^{-1} - \frac{d}{dt} [C_1]^{-1} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} [C_1]^{-1} \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix}$$

Premultiplicando por  $C_1$

$$I \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} I - C_1 \frac{d}{dt} [C_1]^{-1} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} I \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix} \quad (2.23)$$

Se tiene que:

$$\frac{d}{dt}[C_1]^{-1} = \frac{d}{dt}\left(\frac{3}{2}[C_1]'\right)$$

$$\frac{d}{dt}[C_1]^{-1} = \frac{3}{2} \frac{2}{3} \frac{d}{dt} \begin{bmatrix} \cos\theta & -\operatorname{sen}\theta & \frac{1}{\sqrt{2}} \\ \cos\left(\theta - \frac{2\pi}{3}\right) & -\operatorname{sen}\left(\theta - \frac{2\pi}{3}\right) & \frac{1}{\sqrt{2}} \\ \cos\left(\theta + \frac{2\pi}{3}\right) & -\operatorname{sen}\left(\theta + \frac{2\pi}{3}\right) & \frac{1}{\sqrt{2}} \end{bmatrix} = \begin{bmatrix} -\operatorname{sen}\theta & -\cos\theta & 0 \\ -\operatorname{sen}\left(\theta - \frac{2\pi}{3}\right) & -\cos\left(\theta - \frac{2\pi}{3}\right) & 0 \\ -\operatorname{sen}\left(\theta + \frac{2\pi}{3}\right) & -\cos\left(\theta + \frac{2\pi}{3}\right) & 0 \end{bmatrix} \frac{d\theta}{dt}$$

donde

$\frac{d\theta}{dt} = \omega$  es la velocidad angular del marco de referencia

y se puede demostrar que para cualquier  $\theta$ :

$$\begin{aligned} C_1 \frac{d}{dt}[C_1]^{-1} &= \begin{bmatrix} 0 & -1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \frac{d\theta}{dt} \\ &= \begin{bmatrix} 0 & -\omega & 0 \\ \omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \end{aligned} \quad (2.24)$$

Sustituyendo (2.24) en (2.23)

$$\frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} - \begin{bmatrix} 0 & -\omega & 0 \\ \omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix}$$

Eliminando el tercer renglón en las matrices:

$$\frac{d}{dt} \begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & \omega \\ -\omega & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} \frac{1}{L} & 0 \\ 0 & \frac{1}{L} \end{bmatrix} \begin{bmatrix} e_d - |v| \\ e_q \end{bmatrix} \quad (2.25)$$

Definiendo

$$\Delta e_d = e_d - |v|$$

$$\Delta e_q = e_q$$

El modelo del convertidor en variables de estado en el marco de referencia síncrono está representado por:

$$\frac{d}{dt} \begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & \omega \\ -\omega & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} \frac{1}{L} & 0 \\ 0 & \frac{1}{L} \end{bmatrix} \begin{bmatrix} \Delta e_d \\ \Delta e_q \end{bmatrix} \quad (2.26)$$

La ecuación (2.26) tiene la forma

$$\frac{d}{dt} x = Ax + Bu \quad (2.27)$$

La representación discreta del modelo en variables de estado está dada por:

$$x(k+1) = \Phi x(k) + \Gamma u(k) \quad (2.28)$$

La matriz de estado discreta está definida como [Ogata, 1996]

$$\Phi = e^{AT} = \mathcal{L}^{-1}(sI - A)^{-1} \quad (2.29)$$

Donde  $T$  es el periodo de muestreo.

$$\Phi = \mathcal{L}^{-1} \left[ \begin{bmatrix} s + \frac{R}{L} & -\omega \\ \omega & s + \frac{R}{L} \end{bmatrix}^{-1} \right]$$

Obteniendo la matriz inversa de  $(sI - A)^{-1}$

$$\begin{bmatrix} s + \frac{R}{L} & -\omega \\ \omega & s + \frac{R}{L} \end{bmatrix}^{-1} = \frac{1}{\left(s + \frac{R}{L}\right)^2 + \omega^2} \begin{bmatrix} s + \frac{R}{L} & \omega \\ -\omega & s + \frac{R}{L} \end{bmatrix}$$

$$\Phi = \mathcal{L}^{-1} \begin{bmatrix} \frac{s + \frac{R}{L}}{\left(s + \frac{R}{L}\right)^2 + \omega^2} & \frac{\omega}{\left(s + \frac{R}{L}\right)^2 + \omega^2} \\ \frac{-\omega}{\left(s + \frac{R}{L}\right)^2 + \omega^2} & \frac{s + \frac{R}{L}}{\left(s + \frac{R}{L}\right)^2 + \omega^2} \end{bmatrix}$$

Obteniendo la transformada inversa de Laplace

$$\Phi = \mathcal{L}^{-1} \begin{bmatrix} e^{-\frac{R}{L}T} \cos \omega T & e^{-\frac{R}{L}T} \operatorname{sen} \omega T \\ -e^{-\frac{R}{L}T} \operatorname{sen} \omega T & e^{-\frac{R}{L}T} \cos \omega T \end{bmatrix} \quad (2.30)$$

Definiendo

$$\phi_1 = e^{-\frac{R}{L}T} \cos \omega T \quad (2.31)$$

$$\phi_2 = e^{-\frac{R}{L}T} \operatorname{sen} \omega T \quad (2.32)$$

La ecuación (2.30) se puede escribir como sigue:

$$\Phi = \begin{bmatrix} \phi_1 & \phi_2 \\ -\phi_2 & \phi_1 \end{bmatrix} \quad (2.33)$$

La matriz de entrada discreta está dada por la siguiente expresión

$$\Gamma = \left( \int_0^T e^{A\lambda} d\lambda \right) B = \left( \int_0^T \begin{bmatrix} e^{-\frac{R}{L}\lambda} \cos \omega\lambda & e^{-\frac{R}{L}\lambda} \text{sen} \omega\lambda \\ -e^{-\frac{R}{L}\lambda} \text{sen} \omega\lambda & e^{-\frac{R}{L}\lambda} \cos \omega\lambda \end{bmatrix} d\lambda \right) \begin{bmatrix} \frac{1}{L} & 0 \\ 0 & \frac{1}{L} \end{bmatrix} \quad (2.34)$$

(2.34) se puede escribir como:

$$\Gamma = \begin{bmatrix} \gamma_1 & \gamma_2 \\ -\gamma_2 & \gamma_1 \end{bmatrix} \quad (2.35)$$

Donde

$$\gamma_1 = \left( \frac{1}{L} \right) \left( \frac{1}{\left( \frac{R}{L} \right)^2 + \omega^2} \right) \left( \frac{R}{L} - \frac{R}{L} e^{-\frac{R}{L}T} \cos \omega T + \omega e^{-\frac{R}{L}T} \text{sen} \omega T \right)$$

$$\gamma_2 = \left( \frac{1}{L} \right) \left( \frac{1}{\left( \frac{R}{L} \right)^2 + \omega^2} \right) \left( \omega - \frac{R}{L} e^{-\frac{R}{L}T} \text{sen} \omega T - \omega e^{-\frac{R}{L}T} \cos \omega T \right)$$

Simplificando, se tiene que

$$\gamma_1 = \left( \frac{1}{L} \right) \left( \frac{1}{\left( \frac{R}{L} \right)^2 + \omega^2} \right) \left( \frac{R}{L} (1 - \phi_1) + \omega \phi_2 \right) \quad (2.36)$$

$$\gamma_2 = \left( \frac{1}{L} \right) \left( \frac{1}{\left( \frac{R}{L} \right)^2 + \omega^2} \right) \left( \omega (1 - \phi_1) - \frac{R}{L} \phi_2 \right) \quad (2.37)$$

El vector de entrada en el dominio discreto está dado por:

$$\Delta e_d(k) = e_d(k) - v_d(k) \quad (2.38)$$

$$\Delta e_q(k) = e_q(k) \quad (2.39)$$

Sustituyendo (2.33) y (2.35) en (2.28) el modelo discreto del convertidor está dado por:

$$\begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} = \begin{bmatrix} \phi_1 & \phi_2 \\ -\phi_2 & \phi_1 \end{bmatrix} \begin{bmatrix} i_d(k) \\ i_q(k) \end{bmatrix} + \begin{bmatrix} \gamma_1 & \gamma_2 \\ -\gamma_2 & \gamma_1 \end{bmatrix} \begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} \quad (2.40)$$

### 2.6.1 Modelo del voltaje del capacitor en el lado de cd del VSC.

El voltaje del capacitor en el lado de  $cd$  del VSC varía de acuerdo a la siguiente ecuación:

$$\frac{dv_c^2}{dt} = -\frac{2}{C} p_e \quad (2.41)$$

donde

$p_e$  = Potencia real que entrega el convertidor y está dada por

$$p_e = p + (P_L + P_R) \quad (2.42)$$

donde

$$p = \text{Potencia entregada al bus del sistema} = \frac{3}{2} v_d i_d \quad (2.43)$$

$$P_L + P_R = \text{Pérdidas en el filtro de acoplamiento} = \frac{3}{2} (v_{Fd} i_d + v_{Fq} i_q) \quad (2.44)$$

donde  $v_{Fd}$  y  $v_{Fq}$  son las caídas de voltaje en el filtro de acoplamiento y se pueden calcular como sigue:

$$v_{Fd} = R i_d + L \frac{di_d}{dt} - L \omega i_q \quad (2.45)$$

$$v_{Fq} = Ri_q + L \frac{di_q}{dt} - L\omega i_d \quad (2.46)$$

Así, sustituyendo (2.45) y (2.46) en (2.44)

$$\begin{aligned} P_L + P_R &= \frac{3}{2} \left( Ri_d^2 + Ri_q^2 + L \frac{di_d}{dt} i_d + L \frac{di_q}{dt} i_q \right) \\ &= \frac{3}{2} \left( Ri_d^2 + Ri_q^2 + \frac{1}{2} L \frac{di_d^2}{dt} + \frac{1}{2} L \frac{di_q^2}{dt} \right) \end{aligned} \quad (2.47)$$

Sustituyendo (2.47) y (2.43) en (2.42)

$$p_e = \frac{3}{2} v_d i_d + \frac{3}{2} \left( Ri_d^2 + Ri_q^2 + \frac{1}{2} L \frac{di_d^2}{dt} + \frac{1}{2} L \frac{di_q^2}{dt} \right) \quad (2.48)$$

Sustituyendo (2.48) en (2.41)

$$\begin{aligned} \frac{dv_C^2}{dt} &= -\frac{2}{C} \left[ \frac{3}{2} v_d i_d + \frac{3}{2} \left( Ri_d^2 + Ri_q^2 + \frac{1}{2} L \frac{di_d^2}{dt} + \frac{1}{2} L \frac{di_q^2}{dt} \right) \right] \\ \frac{dv_C^2}{dt} &= -\frac{3}{C} v_d i_d - \frac{3R}{C} i_d^2 - \frac{3R}{C} i_q^2 - \frac{3L}{2C} \frac{di_d^2}{dt} - \frac{3L}{2C} \frac{di_q^2}{dt} \end{aligned} \quad (2.49)$$

Aproximando la derivada con una diferencia en adelante (Método de Euler) [Astrom y Wittenmark,1997], el modelo discreto del voltaje del capacitor es

$$\frac{v_C^2(k+1) - v_C^2(k)}{T} = -\frac{3v_d(k) i_d(k)}{C} - \frac{3Ri_d^2(k)}{C} - \frac{3Ri_q^2(k)}{C} - \frac{3L}{2C} \left[ \frac{i_d^2(k+1) - i_d^2(k)}{T} \right] - \frac{3L}{2C} \left[ \frac{i_q^2(k+1) - i_q^2(k)}{T} \right]$$

$$v_c^2(k+1) = v_c^2(k) - \frac{3T}{C} v_d(k) i_d(k) - \frac{3RT}{C} i_d^2(k) - \frac{3RT}{C} i_q^2(k) - \frac{3L}{2C} [i_d^2(k+1) - i_d^2(k)] - \frac{3L}{2C} [i_q^2(k+1) - i_q^2(k)] \quad (2.50)$$

### Resumen del capítulo.

En este capítulo se presentó la descripción de los sistemas de transmisión *HVDC-VSC*, el funcionamiento y desempeño armónico de los *VSC* trifásicos de dos niveles, los principios básicos de operación y control de los sistemas de transmisión *HVDC-VSC*. Se presentaron las definiciones de potencia real instantánea y potencia reactiva instantánea, se obtuvo el modelo discreto de un *VSC* y finalmente se obtuvo la ecuación discreta del voltaje del capacitor. En el siguiente capítulo se muestra el diseño del hardware del prototipo de laboratorio para una estación convertidora de un sistema de transmisión *HVDC-VSC*.

# CAPÍTULO 3

## DISEÑO DEL HARDWARE DEL PROTOTIPO DE UNA ESTACIÓN CONVERTIDORA DE UN SISTEMA DE TRANSMISIÓN HVDC-VSC.

En este capítulo se presenta el dimensionamiento y el hardware asociado al prototipo del sistema de transmisión. *HVDC-VSC*. Inicialmente se presenta el dimensionamiento del prototipo, después se explica de manera genérica las principales partes que componen el hardware. Las partes que componen el hardware son el controlador digital de señales, el sistema de instrumentación, la interfaz *DSC*-convertidor y el convertidor. Cada una de ellas se explica a detalle, auxiliándose de diagramas a bloques, cálculos y diagramas esquemáticos.

### 3.1 Especificaciones generales del prototipo.

El dimensionamiento está basado en escalar el enlace *HVDC-VSC* de 191MW con un voltaje de *cd* de  $\pm 225\text{kV}$  de que interconecta dos sistemas de *ca* de 220kV por medio de un par de cables subterráneos, con una longitud del enlace de 132km. El cable que cumple con las características del enlace está fabricado en aluminio con un área transversal de  $1400\text{mm}^2$  y una resistencia de  $0.0208\Omega/\text{km}$ . El sistema real propuesto es similar al proyecto denominado “*HVDC Light MurrayLink*” [HVDC Light, 2010][MurrayLink HVDC Light Project].

Para el sistema escalado se consideraron las especificaciones del equipo didáctico de *LabVolt* (3KVA, 220V), con el que cuenta el laboratorio de máquinas eléctricas de la División de Estudios de Posgrado en Ingeniería Eléctrica de la Universidad Michoacana de San Nicolás de Hidalgo. La escala para la construcción del prototipo está propuesta con las bases siguientes:

Potencia aparente de 220MVA y voltaje de ca de 220kV. En la Tabla 3.1 se muestran las equivalencias entre el sistema real y el sistema real escalado.

*Tabla 3.1. Equivalencias entre el sistema real y el sistema a escala.*

	<b>Sistema real</b>	<b>Sistema escalado</b>
Potencia base	220MVA	3KVA
Voltaje base	220kV	220V
Impedancia base	220Ω	16.13 Ω
Potencia del enlace HVDC-VSC	191MW	2.6KW
Voltaje de cd del enlace HVDC-VSC	±225kV	±225V

A continuación se muestran los cálculos del escalamiento:

La potencia base está dada por:

$$S_{BASE} = V_{BASE} I_{BASE} = Z_{BASE} I_{BASE}^2 = \frac{V_{BASE}^2}{Z_{BASE}} \quad (3.1)$$

La impedancia base del sistema real está dada por

$$Z_{BASE,real} = \frac{V_{BASE,real}^2}{S_{BASE,real}} \quad (3.2)$$

$$Z_{BASE,real} = \frac{V_{BASE,real}^2}{S_{BASE,real}} = \frac{(220 \times 10^3)^2}{220 \times 10^6} = 220\Omega$$

La impedancia base del sistema escalado está dada por:

$$Z_{BASE,esc} = \frac{V_{BASE,esc}^2}{S_{BASE,esc}} \quad (3.3)$$

$$Z_{BASE,esc} = \frac{V_{BASE,esc}^2}{S_{BASE,esc}} = \frac{(220)^2}{3 \times 10^3} = 16.13\Omega$$

La resistencia total de cada cable de 132km es igual a 2.7456Ω que corresponde a un valor en por unidad calculado usando (3.4)

$$R_{esc,pu} = \frac{R_{real}}{Z_{BASE,real}} \quad (3.4)$$

$$R_{esc,pu} = \frac{R_{real}}{Z_{BASE,real}} = \frac{2.7456\Omega}{220\Omega} = 0.01248 p.u.$$

En el sistema escalado corresponde a una resistencia de

$$R_{esc} = (R_{esc,pu})(Z_{BASE,esc}) \quad (3.5)$$

$$R_{esc} = (R_{esc,pu})(Z_{BASE,esc}) = (0.01248)(16.13) = 0.2013\Omega$$

Para simular el par de cables se utilizan cuatro resistencias con disipador de aluminio de  $0.1\Omega \pm 1\%$  a 50Watts.

La potencia real del sistema real en por unidad está dada por:

$$P_{real,pu} = \frac{P_{CD,real}}{S_{BASE,real}} = \frac{191 \times 10^6}{220 \times 10^6} = 0.8682 p.u. \quad (3.6a)$$

La potencia real en por unidad del sistema escalado es:

$$P_{esc,pu} = P_{real,pu} \quad (3.6b)$$

La potencia real del sistema escalado es:

$$P_{esc} = (P_{esc,pu})(S_{BASE,esc}) = (0.8682)(3 \times 10^3) = 2.6KW \quad (3.6c)$$

El voltaje de  $cd$  en por unidad del sistema real está dado por:

$$V_{CDreal,pu} = \frac{V_{CD,real}}{V_{BASE,real}} = \frac{\pm 225kV}{\pm 220kV} p.u. \quad (3.6d)$$

El voltaje de  $cd$  en por unidad del sistema real es:

$$V_{CDesc,pu} = V_{CDreal,pu} \quad (3.6e)$$

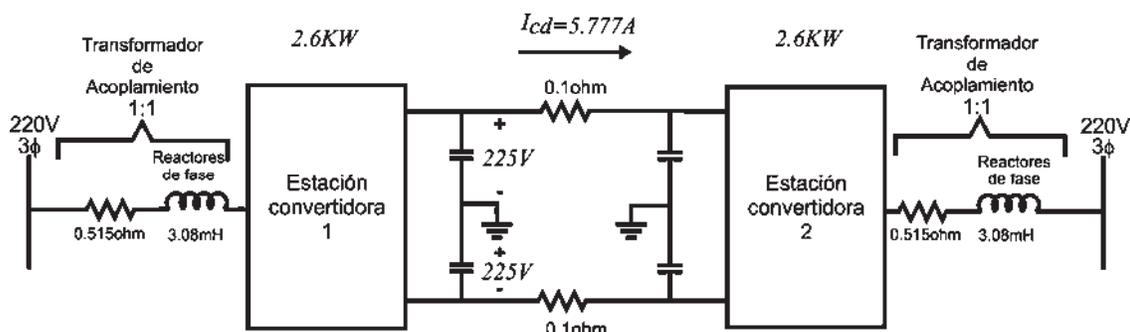
Finalmente el voltaje de  $cd$  del sistema escalado es:

$$V_{CD,esc} = (V_{CD,esc,pu})(V_{BASE,esc}) = \left( \frac{\pm 225kV}{\pm 220kV} \right) (220V) = \pm 225V \quad (3.6f)$$

Se cuenta con un transformador trifásico que será utilizado para acoplar el convertidor al sistema de *ca* del laboratorio y se utilizará la inductancia del transformador como reactor de fase entre el sistema y el convertidor. Las características del transformador se muestran a continuación. La Figura 3.1 muestra el sistema de transmisión *HVDC-VSC* escalado.

**Tabla 3.2 Características del Transformador.**

Voltaje de fase a neutro en el primario	127V
Voltaje de fase a neutro en el secundario	127V
Corriente nominal	7.87A
Resistencia equivalente	0.515Ω
Reactancia equivalente	1.15Ω
Inductancia equivalente	3.08mH
Relación de transformación	1:1



**Figura 3.1 Sistema de transmisión HVDC-VSC escalado.**

### 3.2 Estructura del hardware de las estaciones convertidoras.

Cada estación convertidora del prototipo del sistema de transmisión *HVDC-VSC* está integrada por las siguientes partes:

- Controlador digital de señales.
- Sistema de instrumentación.
- Interfaz *DSC*-convertidor.
- Convertidor.

El controlador digital de señales (*DSC*, por sus siglas en inglés, *Digital Signal Controller*) adquiere las señales provenientes del sistema de instrumentación, las cuales representan a las señales trifásicas de voltaje y corriente que se sensan en el sistema de ca y en la salida del convertidor; también sensa las señales de voltaje y corriente de cd en el lado de cd del convertidor. Las señales adquiridas son procesadas en el *CPU* del controlador digital de señales para calcular la acción de control y generar las señales necesarias para el manejo de los *IGBTs* del convertidor. Estas señales son enviadas al convertidor a través de la interfaz *DSC*-convertidor. La Figura 3.2 ilustra el diagrama a bloques de una de las estaciones convertidoras del sistema *HVDC-VSC* escalado.

### 3.3 Controlador Digital de Señales.

Para el desarrollo e implementación del sistema de control de cada estación convertidora se utilizó una tarjeta de evaluación *eZdspf28335* de la compañía *Spectrum Digital*, la cual contiene un *DSC TMS320F2335* de la compañía *Texas Instruments*. Este *DSC* integra en un solo circuito integrado varios módulos optimizados para soportar aplicaciones de control. Esto permite reducir el hardware asociado con el control del *VSC*. Algunos de los módulos optimizados son: temporizadores de propósito general (*GP*) de 32 bits, módulos optimizados *PWM* (*ePWM*, por sus siglas en inglés, *Enhanced PWM Module*), módulos optimizados de captura (*eCAP* por sus siglas en inglés, *Enhanced Capture Module*), un convertidor de analógico a digital multiplexado de 12 bits (*ADC* por sus siglas en inglés, *Analog-to-Digital Converter*) y puertos de entrada/salida de propósito general (*GPIO* por sus siglas en inglés, *General Purpose Input/Output*). Los módulos *ePWM* incluyen una unidad de tiempo muerto programable [Workshop, 2009].

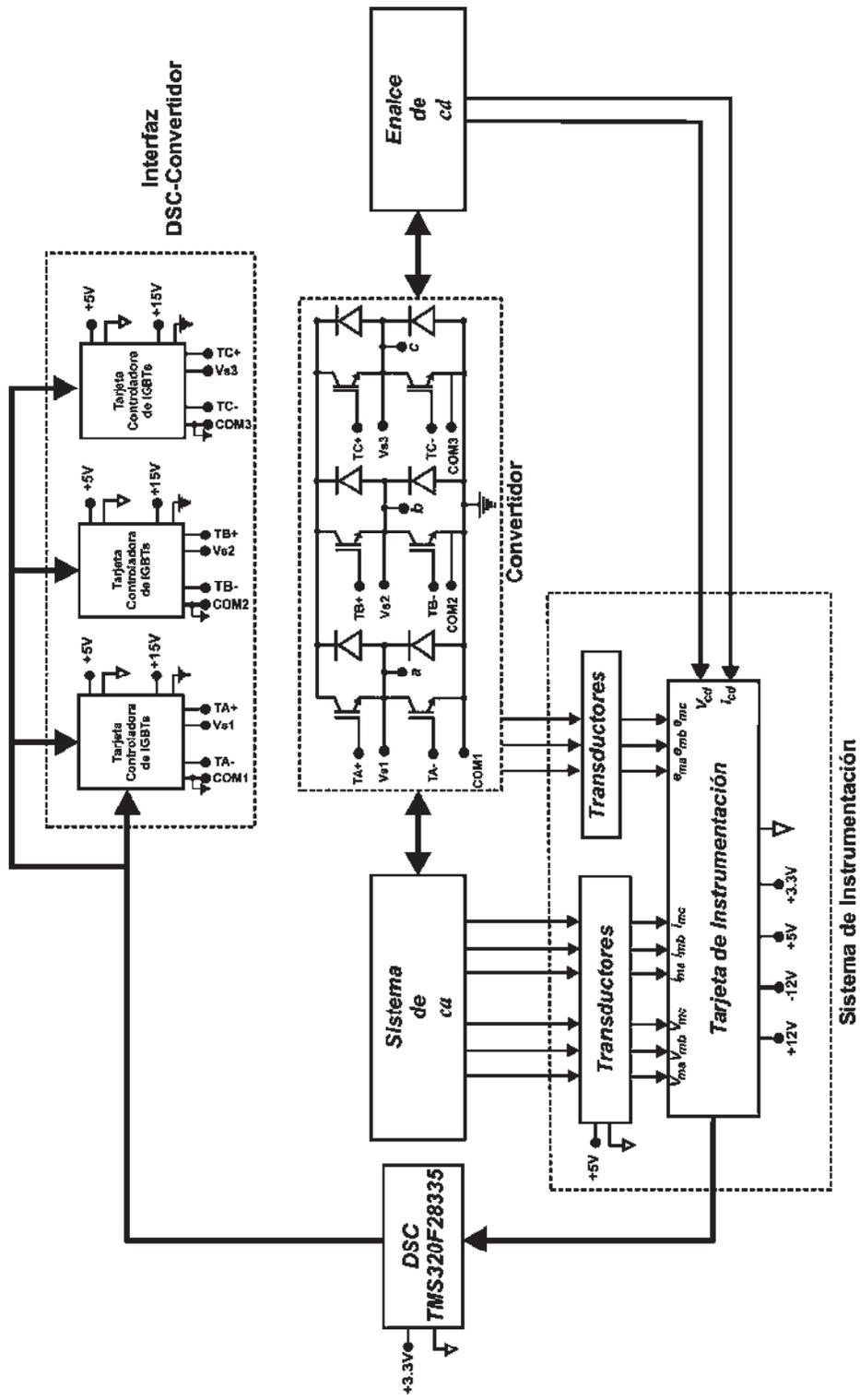


Figura 3.2 Diagrama a bloques de una estación convertidora del sistema HVDC-VSC escalado

Las principales características del *DSC TMS320F28335* se listan a continuación:

- *DSC* de 32 bits de alto desempeño.
- Realiza multiplicaciones de 32 por 32 bits o duales de 16 por 16 bits en un solo ciclo de máquina.
- Contiene una unidad de punto flotante en formato *IEEE* de precisión sencilla.
- 12 bloques de memoria *RAM* de 4 *Kwords*.
- 256 *Kwords* de memoria flash.
- Módulo de código de seguridad.
- Control de periféricos.
- *ADC* de 12 bits con un rango del voltaje de entrada de 0 a 3.0V con 16 líneas de entrada multiplexadas.
- 88 líneas de entrada/salida.
- Temporizador *Watchdog*.
- Periféricos de comunicación.

Las principales funciones que desempeña el *DSC* en cada estación convertidora son adquirir y procesar las señales provenientes del sistema de instrumentación, calcular la acción de control y generar las señales para la operación del convertidor.

### 3.4 Sistema de Instrumentación.

Para que el *DSC* pueda llevar a cabo las acciones de control en el prototipo, en cada estación convertidora se sensan las siguientes señales:

- Voltajes de fase y corrientes de línea del sistema de *ca*.
- Voltajes de fase en terminales del convertidor.
- Voltaje y corriente de *cd* en el enlace.

La Figura 3.3 muestra el sistema de instrumentación en una de las estaciones convertidoras.

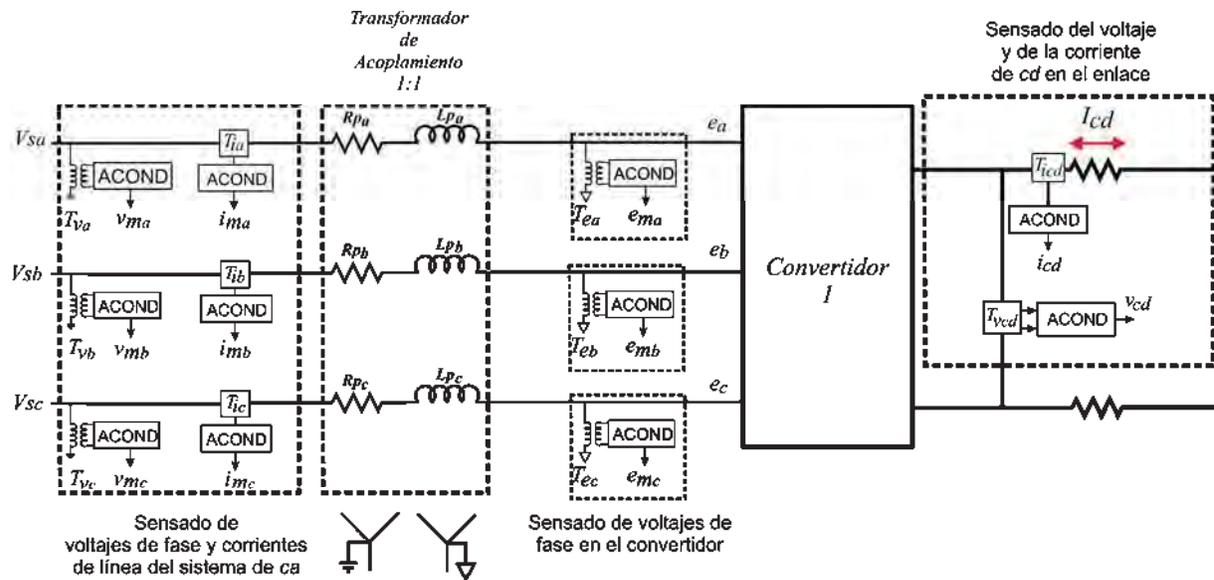
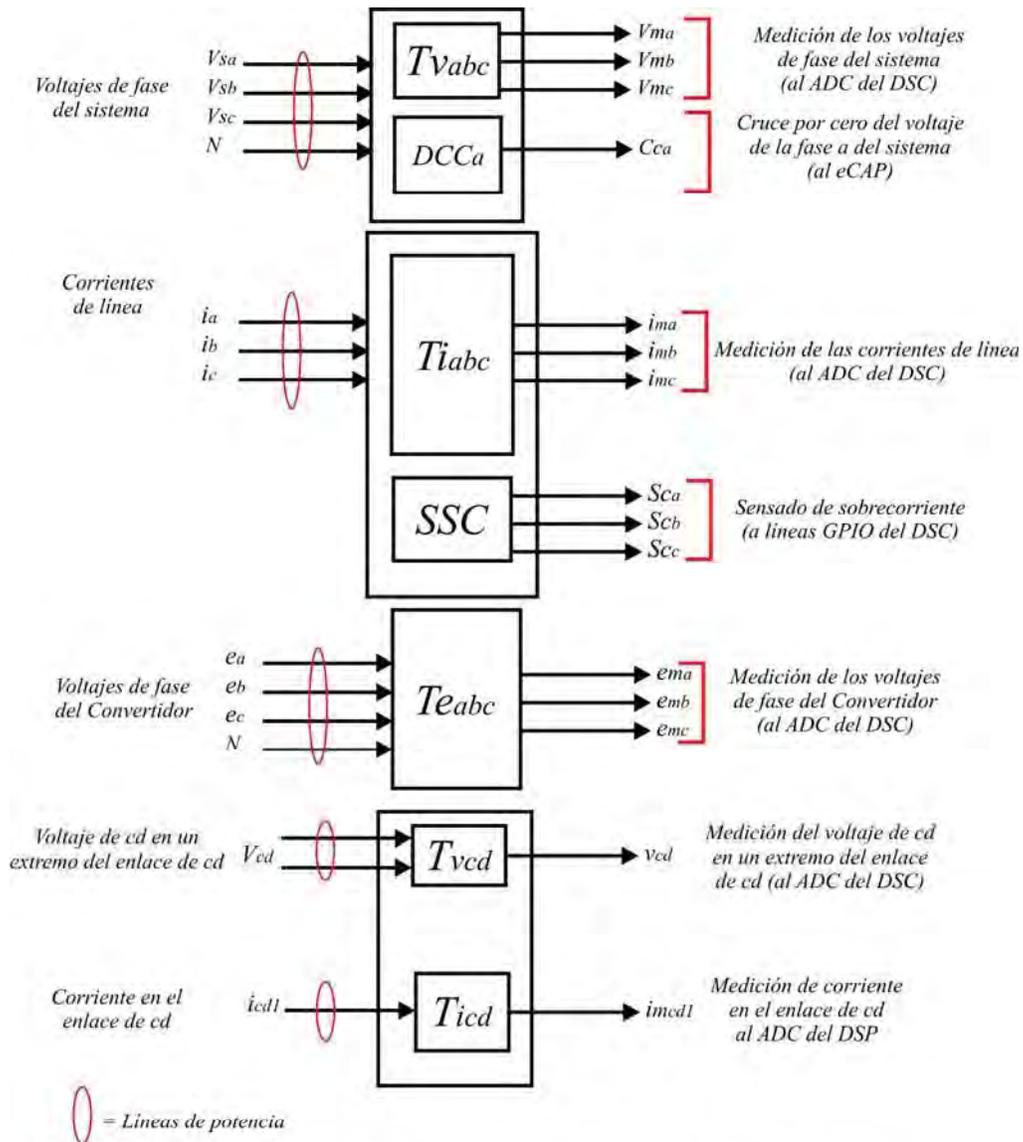


Figura 3.3 Diagrama de bloques del sistema de instrumentación de una estación convertidora.

La Figura 3.4 muestra el diagrama a bloques detallado de las señales que intervienen en el sistema de instrumentación, las cuales sólo corresponden a una estación convertidora. En el lado izquierdo de la figura se encuentran las señales de entrada del sistema de instrumentación mientras que en el lado derecho de la figura se encuentran las señales de salida. También en la Figura 3.4, se definen las abreviaciones que se utilizarán para las señales en la etapa de instrumentación a lo largo del trabajo de tesis.



$T_{vabc}$  = Transductores de voltaje y acondicionamiento de señal de los voltajes de fase del sistema.

$DCCa$  = Detector de cruce por cero del voltaje de la fase a del sistema.

$T_{iabc}$  = Transductores de corriente y acondicionamiento de señal de las corrientes de línea.

$SSC_{abc}$  = Sensores de sobre corriente.

$T_{eabc}$  = Transductores de voltaje y acondicionamiento de señal de los voltajes de fase del convertidor.

$T_{vcd}$  = Transductores de voltaje de cd y acondicionamiento de señal.

$T_{icd}$  = Transductores de corriente de cd y acondicionamiento de señal.

Figura 3.4 Diagrama de bloques de las señales de la instrumentación.

### 3.4.1 Medición de los voltajes de fase.

Es importante mencionar que se utiliza la misma instrumentación para medir tanto los voltajes de fase del sistema de *ca*, como los voltajes de fase de salida del convertidor. La instrumentación utilizada para la medición de los voltajes de fase esta compuesta por los siguientes bloques: transformador reductor, filtro de banda angosta, un circuito de acondicionamiento de rango y un circuito de sincronización. Es importante aclarar que la señal que sirve como entrada al circuito de sincronización es únicamente la señal de la fase *a* de los voltajes de fase del sistema de *ca*. Esto se muestra en la Figura 3.5.

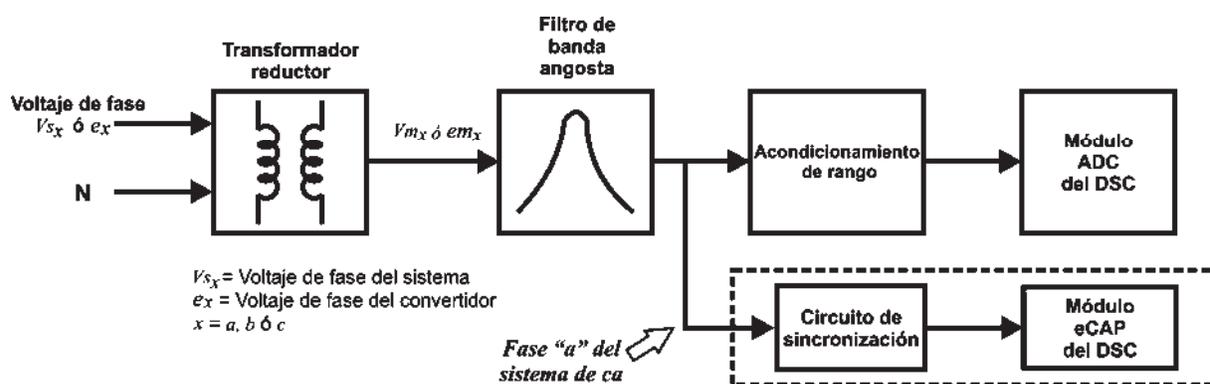


Figura 3.5. Diagrama a bloques para la medición del voltaje de fase.

El transformador reductor tiene las siguientes características [SW-212]:

- Un devanado primario de 115Vrms.
- Dos devanados secundarios de 6.3Vrms a 90mA (sólo se utiliza un devanado).
- Especial para montaje en circuito impreso
- Peso de 0.17Lb.

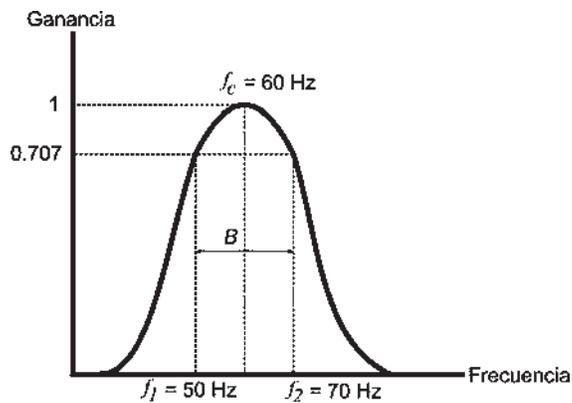
### Cálculo del filtro de banda angosta

Se utiliza un filtro de banda angosta con la finalidad de eliminar las frecuencias diferentes a 60Hz, incluyendo la componente de *cd*. Eliminándose así las componentes

armónicas generadas por las señales *SPWM*. Las características del filtro de banda angosta son las siguientes:

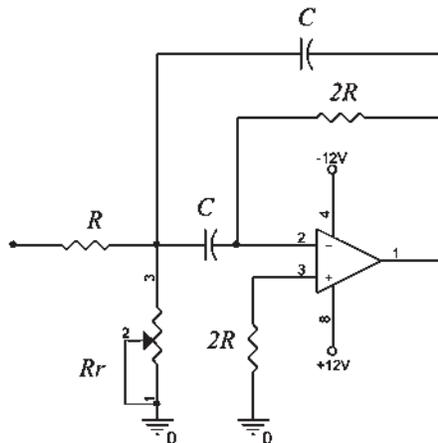
- Frecuencia central 60Hz.
- Ganancia unitaria a la frecuencia central.
- Ancho de Banda de 20Hz.

La Figura 3.6 muestra la característica del filtro de banda angosta.



*Figura 3.6. Característica del filtro de banda angosta.*

La configuración del filtro de banda angosta utilizado se muestra en la Figura 3.7. [Faulkenberry, 1982]



*Figura 3.7. Filtro de banda angosta.*

Las expresiones utilizadas para el diseño del filtro de banda angosta son las siguientes:  
[Faulkenberry, 1982]

$$B = f_2 - f_1 = \frac{1}{2\pi RC} = \frac{fc}{Q} \quad (3.7)$$

$$Rr = \frac{R}{2Q^2 - 1} \quad (3.8)$$

donde:

$B$  = Ancho de banda.

$f_1$  = Frecuencia inferior.

$f_2$  = Frecuencia superior.

$fc$  = Frecuencia central.

$Q$  = Factor de calidad.

Se establece un ancho de banda de 20Hz, de (3.7) se obtiene que

$$B = f_2 - f_1 = 70 - 50 = 20Hz$$

$$Q = \frac{fc}{B} = \frac{60}{20} = 3$$

Si  $Q > 0.5$ , se considera que el filtro es de banda angosta.

Se propone un capacitor  $C$  de  $2.2\mu F$ , entonces de (3.7) se obtiene el valor de  $R$

$$R = \frac{1}{2\pi BC} = 3.617 K\Omega$$

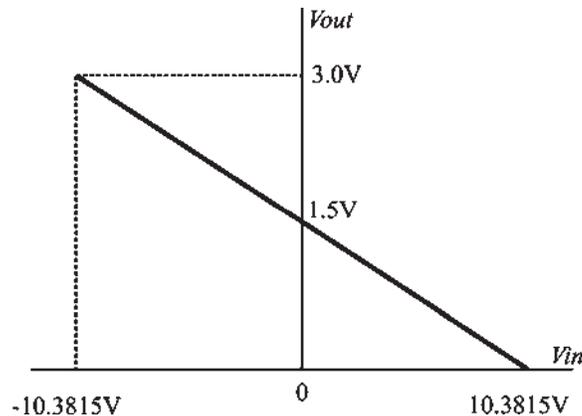
De (3.8) se obtiene el valor de  $Rr$

$$Rr = \frac{R}{2Q^2 - 1} = \frac{3.617 \times 10^3}{2(3^2) - 1} = 212.764 \Omega$$

La configuración del filtro de banda angosta utilizado es inversora, por lo que su voltaje de salida está fuera de fase  $180^\circ$  con respecto al de entrada. Este cambio de fase se toma en cuenta en las etapas posteriores al filtro.

### Acondicionamiento de rango de la medición de los voltajes de fase.

Se considera un rango de la señal de entrada al transformador reductor de  $-189.5046\text{V}$  a  $+189.5046\text{V}$  que corresponde a tener una variación de  $\pm 5.5\%$  en el voltaje de fase. Así, para el circuito de acondicionamiento de rango del voltaje de fase, se considera un rango de la señal de entrada de  $-10.3815\text{V}$  a  $+10.3815\text{V}$  (voltaje de salida del transformador reductor) y un rango de la señal de salida de  $0$  a  $3.0\text{V}$ . La Figura 3.8 muestra la característica de transferencia requerida, donde se toma en cuenta que el filtro de banda angosta utilizado tiene una configuración inversora.



**Figura 3.8.** Característica de transferencia para el acondicionamiento de rango de los voltajes de fase.

Por lo que la pendiente de la recta está dada por:

$$m = -\frac{3.0}{(2)(10.3815)} = -0.1444 \quad (3.9)$$

$$V_{out} = -0.1444 V_{in} + b \quad (3.10)$$

Para calcular  $b$ , se puede evaluar en el punto  $V_{out} = 0$ ,  $V_{in} = 10.3815$

$$b = -m V_{in} = -(-0.1444)(10.3815) = 1.5$$

Así se requiere que

$$V_{out} = -0.1444 V_{in} + 1.5 \quad (3.11)$$

Esta característica de transferencia se puede implementar con el circuito sumador-inversor mostrado en la Figura 3.9 [Faulkenberry, 1982].

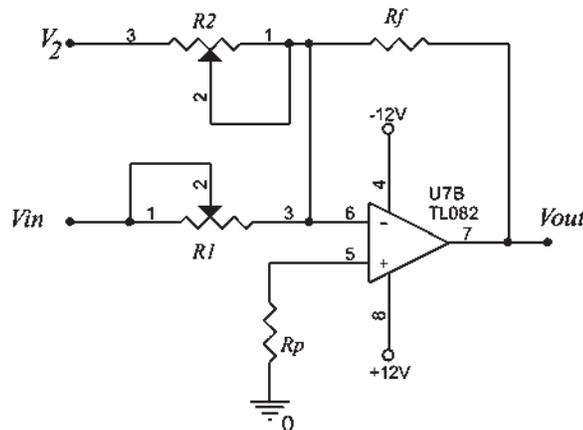


Figura 3.9 Sumador inversor.

La característica de transferencia de este circuito es:

$$V_{out} = -\frac{R_f}{R_1} V_{in} - \frac{R_f}{R_2} V_2 \quad (3.12)$$

Igualando término a término (3.11) y (3.12) se tiene:

$$-\frac{R_f}{R_1} V_{in} - \frac{R_f}{R_2} V_2 = -0.1444 V_{in} + 1.5$$

Por lo que  $\frac{R_f}{R_1} = 0.1444$  y  $-\frac{R_f}{R_2} V_2 = 1.5$

Se propone  $R_f$  y se calcula  $R_1$ .

$$R_f = 2.2K\Omega, \quad R_1 = \frac{2.2K\Omega}{0.1444} = 15.235K\Omega$$

$V_2$  se obtendrá de la fuente de -12V que alimenta a los amplificadores operacionales.

Despejando  $R_2$  se tiene

$$R_2 = -\frac{R_f(-12)}{1.5} = 17.6K\Omega$$

La resistencia de compensación en la entrada no inversora de la configuración del sumador inversor está dada por

$$R_p = \left[ (R_1)^{-1} + (R_2)^{-1} + (R_f)^{-1} \right]^{-1} = \left[ (15.235K\Omega)^{-1} + (17.6K\Omega)^{-1} + (2.2K\Omega)^{-1} \right]^{-1} = 1.733K\Omega$$

En la Figura 3.10 se muestra el diagrama esquemático para la medición de los voltajes de fase con los valores comerciales de los componentes utilizados.

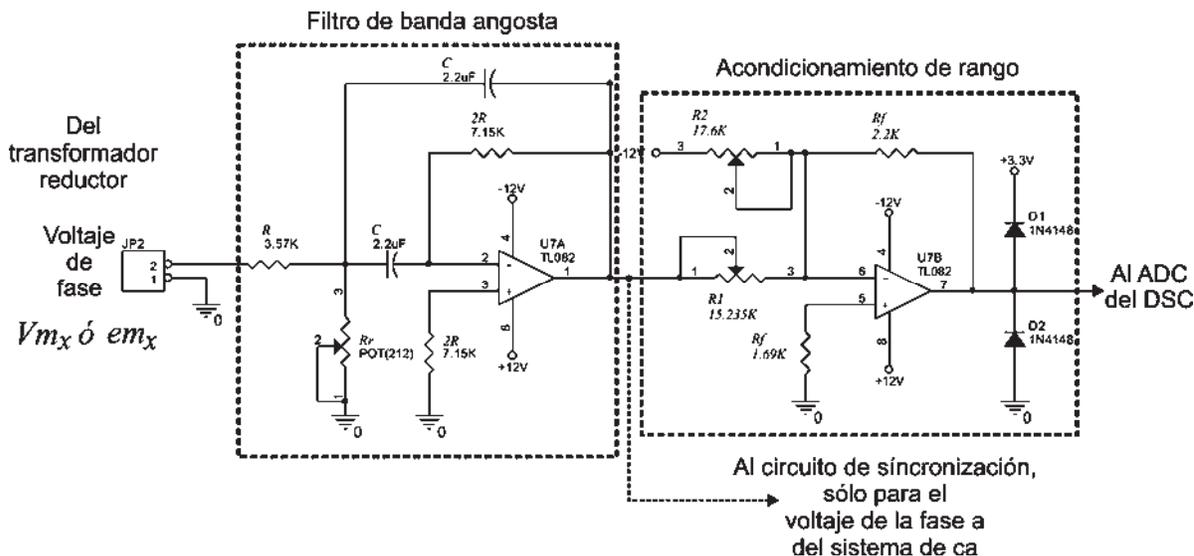


Figura 3.10. Diagrama esquemático para la medición de los voltajes de fase.

**Circuito de Sincronización.**

Para llevar a cabo el control de potencia real y de potencia reactiva, se requiere sincronizar el sistema de control con el sistema de *ca*, esto es, los voltajes de salida del convertidor deben generarse tomando como referencia el cruce por cero del voltaje de la fase *a* del sistema de *ca*. Para llevar a cabo la sincronización se hace uso de un circuito de sincronización, el cual está compuesto por las siguientes etapas: un detector de cruce por cero y un filtro antirrebotes. El diagrama a bloques del circuito de sincronización es mostrado en la Figura 3.11.

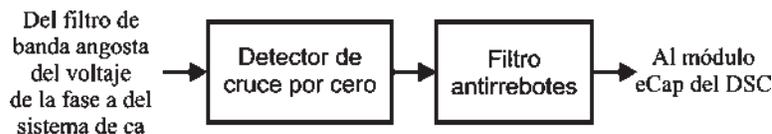


Figura 3.11. Diagrama a bloques del circuito de sincronización.

El circuito detector de cruce por cero es un comparador no inversor. La señal de entrada al detector de cruce por cero es la señal sinusoidal del voltaje de la fase *a* del sistema de *ca*. La

señal de salida del detector de cruce por cero es una señal digital con niveles de 0 y 5 V, en fase con la señal de entrada. El detector de cruce por cero está basado en el comparador de precisión LM311.

### Filtro antirrebotes

Cualquier ruido que se acople a la señal digital de salida del detector de cruce por cero y los posibles rebotes posteriores a una transición deben ser eliminados. Con la finalidad de que la información entrante al módulo *eCAP* del *DSC* sea correcta. De esta manera se garantiza una señal de sincronización adecuada, por esta razón se incluye un filtro antirrebotes [Barrera C. E, 1991]. En la Figura 3.12 se muestra el diagrama esquemático completo del circuito de sincronización. A la salida del *Flip-Flop* se agregó una compuerta inversora 7405 la cual es de colector abierto lo que permite acondicionar a los niveles digitales del *DSC*. El *DSC* sólo permite niveles positivos de voltaje que sean del rango de 0 a 3.3 V.

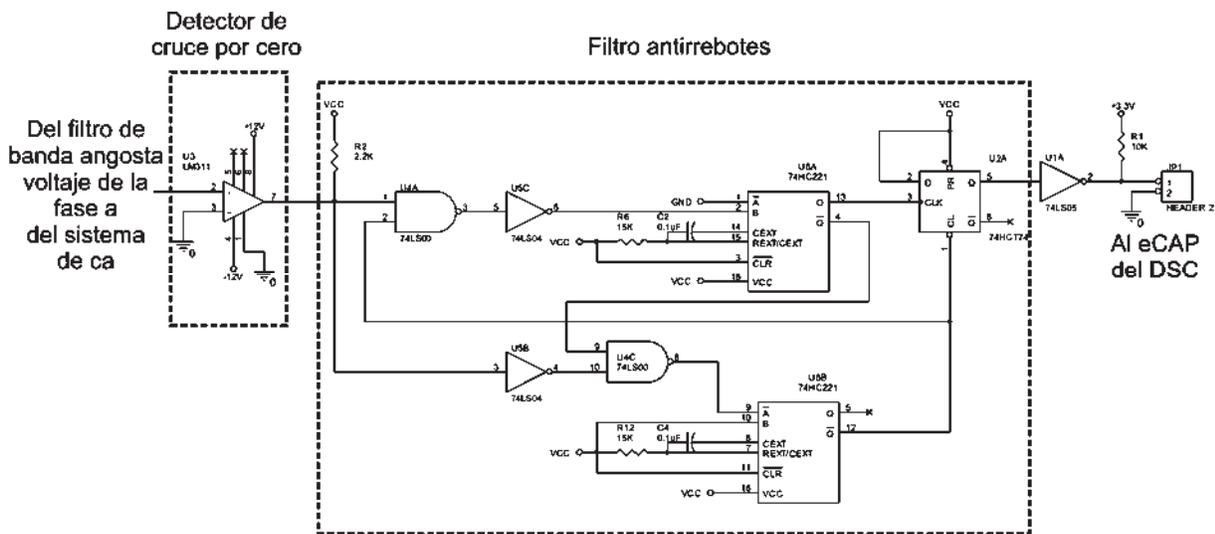


Figura 3.12 Diagrama esquemático del circuito de sincronización.

### 3.4.2 Medición de las corrientes de línea.

La instrumentación para la medición de las corrientes de línea está compuesta por los siguientes bloques: sensor de corriente de efecto *Hall* ACS754xCB-050, filtro de banda angosta y circuito de acondicionamiento de señal. Esto se muestra en la Figura 3.13.

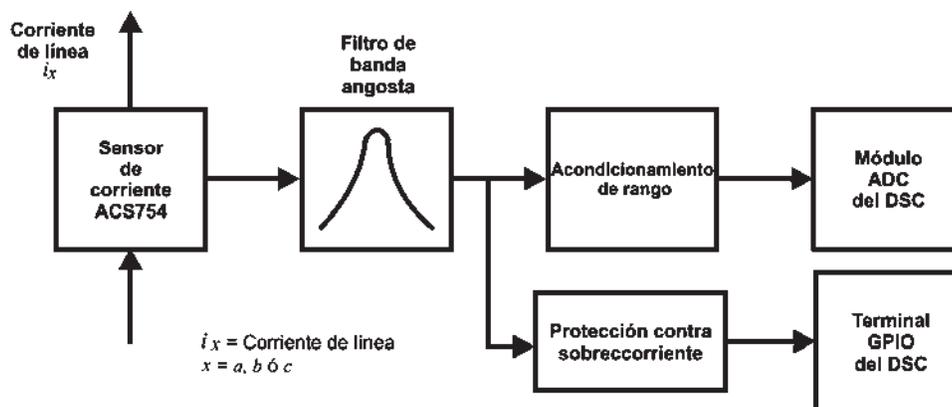


Figura 3.13. Diagrama a bloques para la medición de la corriente de línea.

#### Sensor de corriente ACS754xCB-050.

Se hizo una revisión de los sensores de efecto *Hall* disponibles y por las características eléctricas, de montaje y costo se eligió al sensor de corriente de efecto *Hall* ACS754xCB-050 de la compañía *Allegro Microsystems* cuya capacidad es de 50A. El cual posee las siguientes características [ACS754xCB-050]:

- Circuito integrado monolítico de alta fiabilidad.
- Fuente de alimentación única de +5V.
- 3 kVrms de aislamiento de voltaje entre las terminales de sensado 4/5 y las terminales de salida 1/2/3.
- Ancho de banda de 35kHz
- Rango de temperatura automotriz (-40°C a +150°C).
- Ganancia y desviación ajustadas en fábrica.
- Pérdida de potencia ultra bajas: resistencia interna del conductor 100  $\mu\Omega$ .

- Voltaje de desviación de salida extremadamente estable.
- Encapsulado pequeño, de fácil montaje en placa de circuito impreso.
- Salida proporcional a corrientes de *ca* y *cd*.
- Sensibilidad de 40mV/A.
- Bajo costo, 7 dólares.

El voltaje de salida del sensor *ACS754xCB-050*, está referido a la mitad de su voltaje de alimentación ( $V_{dd}/2$ ), cuando el sensor no mide corriente, es decir cero amperes, su salida es  $V_{dd}/2$ . El voltaje de salida del sensor será mayor de  $V_{dd}/2$  (pendiente positiva), si se incrementa el flujo de corriente a través de su trayectoria de conducción de cobre (de la terminal 4 a la terminal 5), el voltaje se incrementará con una sensibilidad de 40mV/A. Por el contrario, el voltaje de salida del sensor será menor de  $V_{dd}/2$  (pendiente negativa), si se incrementa el flujo de corriente a través de su trayectoria de conducción de cobre, en sentido opuesto (de la terminal 5 a la terminal 4), el voltaje se disminuirá con una sensibilidad de 40mV/A. La máxima corriente que medirá el sensor es  $\pm 25A$ , por lo que su máximo voltaje de salida es  $\pm 1V$ . La Figura 3.14 muestra el diagrama interno del sensor *ACS754xCB-050*.

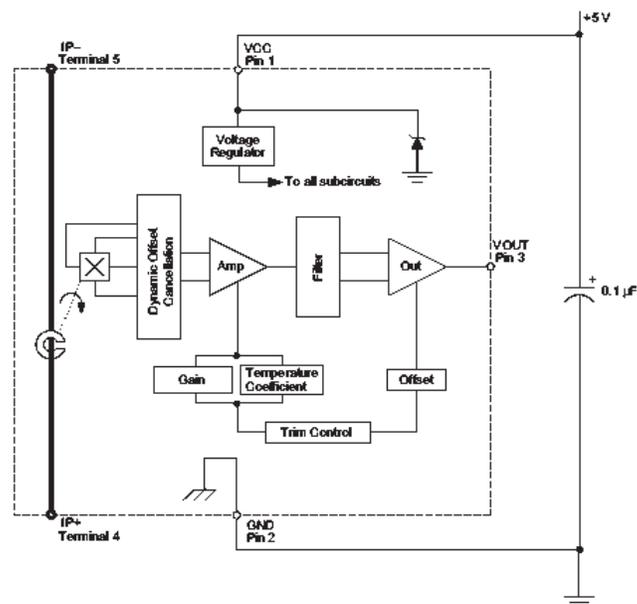


Figura 3.14. Diagrama interno del sensor de corriente *ACS754xCB-050*.

El diseño del filtro de banda angosta es el mismo que se utilizó en la medición de los voltajes de fase.

**Acondicionamiento de rango para la medición de la corriente de línea.**

La característica de transferencia requerida es mostrada en la Figura 3.15.

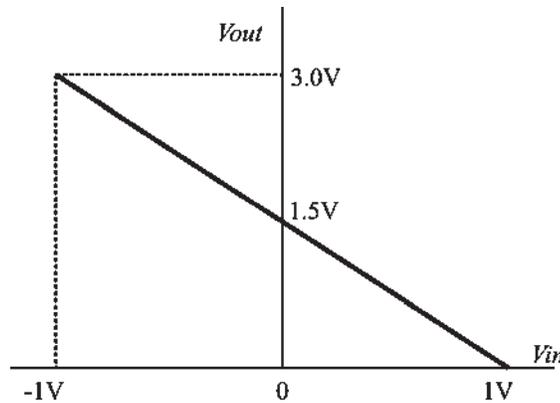


Figura 3.15. Característica de transferencia para el acondicionamiento de rango de las corrientes de línea.

Se utiliza el mismo procedimiento que en el acondicionamiento de rango de voltaje, obteniéndose los siguientes valores:  $R_1 = 10K\Omega$ ,  $R_2 = 120K\Omega$ ,  $R_f = 15K\Omega$  y  $R_p = 5.714K\Omega$ .

La Figura 3.16 muestra el diagrama esquemático para la medición de las corrientes de línea con los valores comerciales de los componentes utilizados.

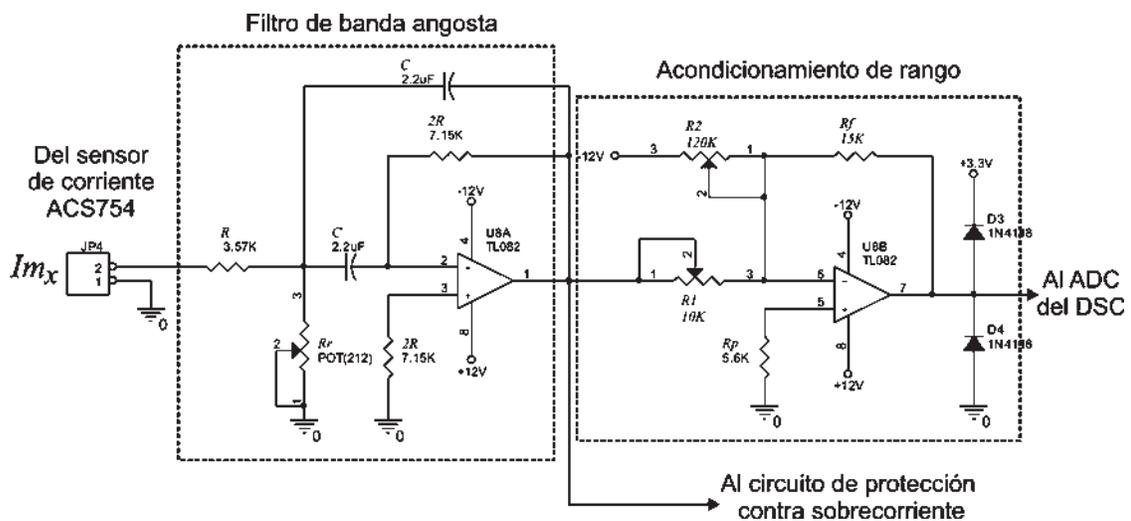


Figura 3.16 Diagrama esquemático para la medición de las corrientes de línea.

### Protección contra sobrecorriente.

A fin de proteger a los *IGBTs* del convertidor de una corriente excesiva, se utiliza un circuito de protección contra sobrecorrientes. El cual está compuesto de un rectificador de precisión de onda completa, un comparador y un *flip-flop*. Se utilizan tres circuitos de protección, es decir, uno por corriente de línea sensada. La Figura 3.17 muestra el diagrama a bloques del circuito de protección contra sobrecorriente.

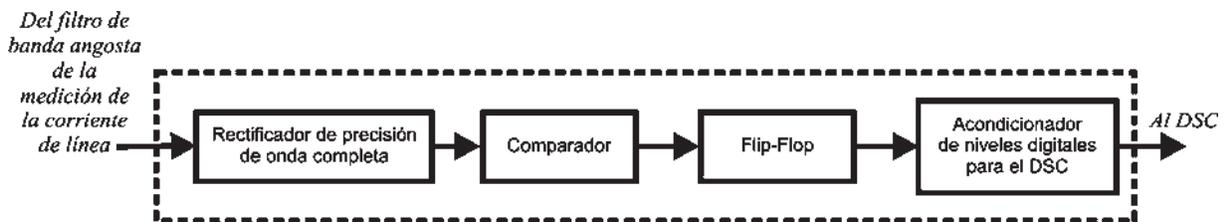


Figura 3.17. Diagrama a bloques del circuito de protección contra sobrecorriente.

El rectificador de onda completa obtiene el valor absoluto de la señal de voltaje representativa de la corriente sensada, la cual proviene de la salida del filtro de banda angosta. La señal del voltaje de salida del rectificador es comparada en un comparador de voltaje con una referencia fija de  $cd$ , la cual establece el nivel de protección contra sobrecorriente deseado. La señal de salida del comparador es enviada a la entrada de un *flip-flop* tipo *D* y su salida es acondicionada a los niveles de voltaje del *DSC*. Finalmente esta señal se utiliza como entrada en el módulo “*PWM Trip-Zone*” del *DSC*, el cual tiene como función deshabilitar las salidas del módulo *ePWM* del *DSC* y apagar los *IGBTs* del convertidor cuando se detecte una sobrecorriente. La Figura 3.18 muestra el diagrama esquemático del circuito de protección contra sobrecorriente.

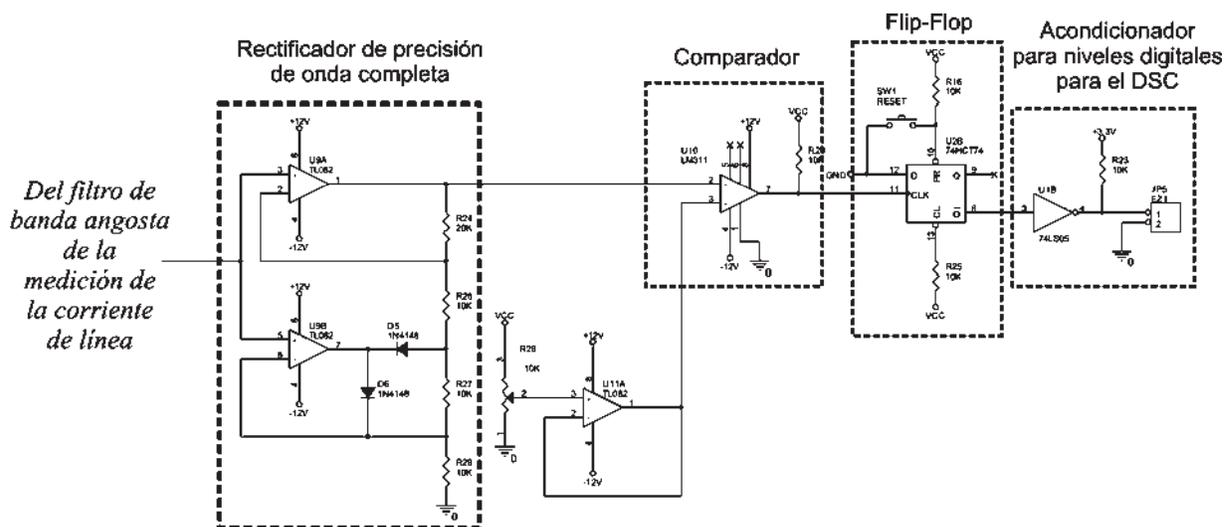


Figura 3.18 Diagrama esquemático del circuito de protección contra sobrecorriente.

### 3.4.3 Medición del voltaje de cd del convertidor

La instrumentación para la medición del voltaje de *cd* del en un extremo del enlace está compuesta, por los siguientes bloques: divisor de tensión, amplificador de aislamiento y filtro antitraslaje pasabajas de cuarto orden. Lo anterior se muestra en la Figura 3.19.



Figura 3.19 Diagrama a bloques para la medición del voltaje de *cd*.

#### Divisor de voltaje.

El divisor de tensión es utilizado como transductor para el voltaje de *cd* en un extremo del enlace.

Para el divisor de voltaje se propone una resistencia de valor óhmico grande, en este caso  $500K\Omega$ . Considerando que el voltaje de cd máximo de entrada sea de  $500V$  y el voltaje en la salida del divisor de tensión es  $3.0V$ , que es el máximo voltaje permisible en la entrada del *ADC* del *DSC*. El valor de la resistencia  $R_2$  del divisor de voltaje se obtiene de la siguiente manera:

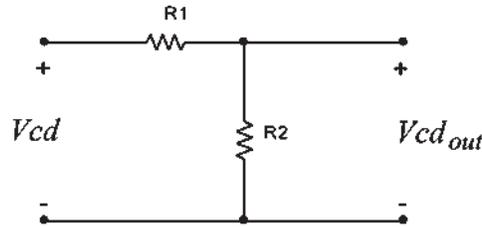


Figura 3.20 Divisor de voltaje.

Partiendo de:

$$Vcd_{out} = \frac{Vcd R_2}{R_1 + R_2} \quad (3.13)$$

Tomando en cuenta que  $Vcd = 500V$ ,  $R_1 = 500K\Omega$  y  $Vcd_{out} = 3.0V$ ,  $R_2$  está dada por:

$$R_2 = \frac{Vcd_{out} R_1}{Vcd - Vcd_{out}} = \frac{(3.0)(500 \times 10^3)}{500 - 3.0} = 3018.1086\Omega$$

La resistencia utilizada, es de precisión de película metálica con un valor óhmico de  $3K\Omega$ . Un aspecto importante a considerar en el divisor de voltaje es la disipación de potencia en las resistencias que la componen.

$$I_{div} = \frac{Vcd}{R_1 + R_2} = 0.994mA$$

$$P_{R_1} = I_{div}^2 R_1 = (0.994 \times 10^{-3})^2 (500K) = 0.494 \text{ watts}$$

Por lo que la potencia de la resistencia de  $500K\Omega$  se seleccionó de 2Watts.

$$P_{R_2} = I^2 R_2 = (0.994 \times 10^{-3})^2 (3.018K) = 0.00298 \text{ watts}$$

Mientras que la resistencia  $R_2$  utilizada es de  $3K\Omega$  a un cuarto de watt.

### **Amplificador con aislamiento electromagnético.**

Para obtener un aislamiento eléctrico eficiente entre la medición del voltaje del capacitor se utilizó un amplificador con aislamiento electromagnético. En éste la señal de entrada es modulada por una portadora de alta frecuencia. La señal modulada es transmitida a la etapa de salida por medio de un transformador de acoplamiento. En la etapa salida la señal es demodulada, obteniéndose así la señal original. Las fuentes de alimentación necesarias para que funcione el amplificador de aislamiento son conectadas en la etapa de salida. Las fuentes de alimentaciones requeridas en la etapa de entrada son obtenidas a partir de las fuentes de alimentación conectadas en la etapa de salida por medio de un transformador de acoplamiento. Obteniéndose un aislamiento efectivo entre la etapa de entrada y de salida. La Figura 3.21 muestra el diagrama a bloques interno de un amplificador de aislamiento [Faulkenberry, 1982].

Los amplificadores acoplados electromagnéticamente tienen como desventajas su baja respuesta a la frecuencia (30Khz a pequeña señal) y la posibilidad de que sus osciladores de alta frecuencia produzcan interferencia electromagnética en otros circuitos cercanos, para evitar esto es recomendable emplear pantallas de aislamiento contra interferencia electromagnética. El amplificador de aislamiento utilizado en el proyecto es el *3656HG* de *Burr-Brown*, sus principales características son:

- Fuente de alimentación interna aislada
- Aislamiento eléctrico de 8000 V

- Corriente de fuga máxima de 0.5  $\mu\text{A}$  a 120 V, 60 Hz.
- Opera con tres tierras completamente aisladas (aislamiento de tres puertos).

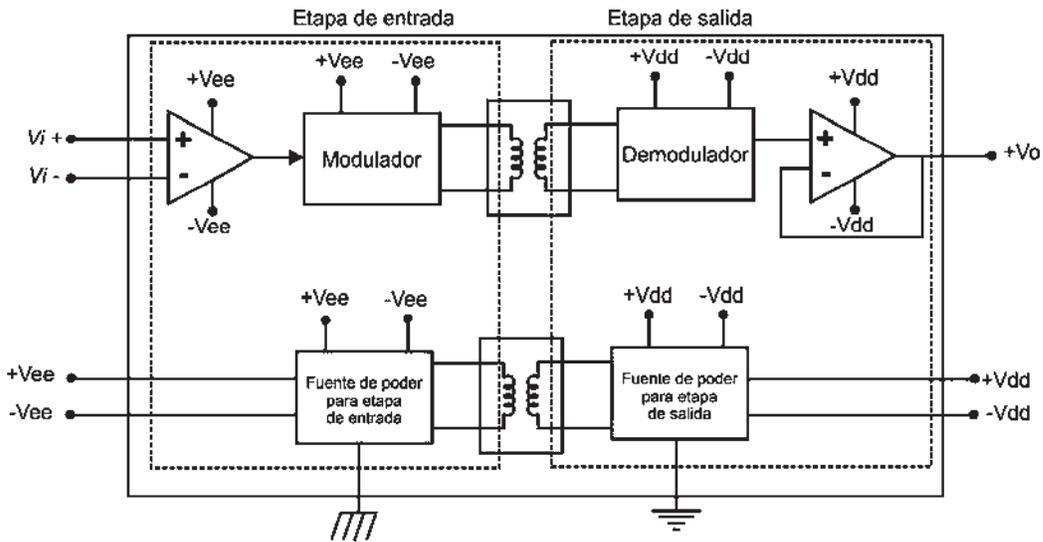


Figura 3.21. Diagrama a bloques de un amplificador de aislamiento.

El amplificador de aislamiento 3656HG se emplea en la configuración de *entrada diferencial*, *fuentes flotante* con ganancia unitaria, como se muestra en la Figura 3.22 [Burr-Brown 3656].

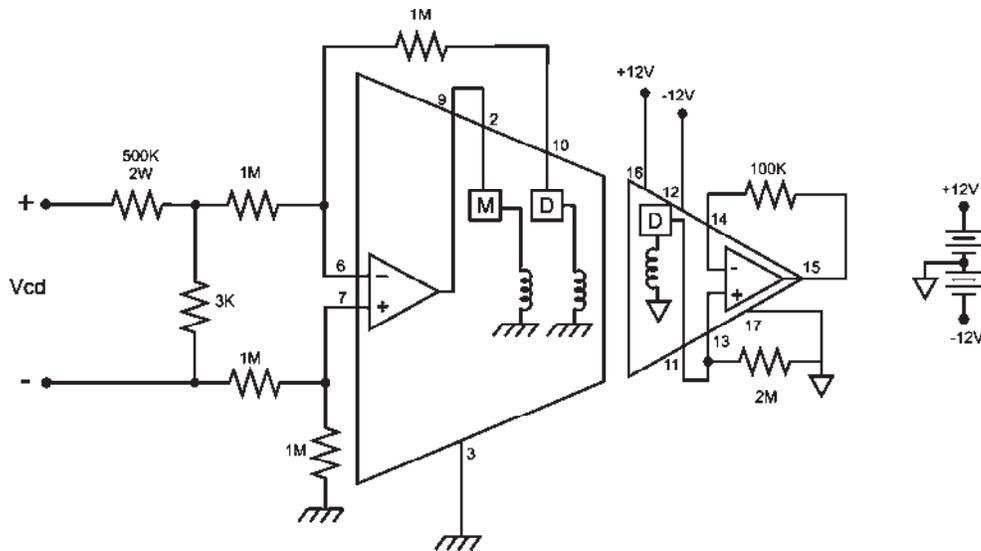


Figura 3.22. Configuración de entrada diferencial, fuente flotante con ganancia unitaria del amplificador de aislamiento 3656HG.

La configuración del circuito de entrada del amplificador de aislamiento corresponde a un amplificador de entrada diferencial con ganancia unitaria, por lo que todas sus resistencias son del mismo valor ( $1M\Omega$ ) y la configuración de la etapa de salida del amplificador de aislamiento es un seguidor de voltaje. Por lo cual, el voltaje de salida del amplificador de aislamiento será igual al voltaje de salida del divisor de tensión.

### Filtro antitraslaje.

Para disminuir el efecto traslaje a niveles despreciables, el filtro analógico antitraslaje debe reducir las señales con frecuencias iguales o mayores a la frecuencia de muestreo entre dos, a niveles despreciables para el convertidor *ADC*, es decir a niveles menores a la resolución del convertidor. Así la atenuación del filtro,  $\delta$ , a la frecuencia de paro  $f_p = f_s/2$  se calcula de la siguiente manera:

$$\delta < \left| \frac{\Delta V}{v_{ip}} \right| \quad (3.14)$$

Donde

$\delta$  = Ganancia a la frecuencia de paro.

$\Delta V$  = Resolución en volts del convertidor *ADC*.

$v_{ip}$  = Magnitud de la señal de entrada al filtro a la frecuencia de paro.

$f_s$  = Frecuencia de muestreo.

En caso de que no se conociera con certeza  $v_{ip}$  se considera el peor de los casos. Por ejemplo, para el caso de un convertidor *ADC* con rango de entrada de 0 a  $v_{ref}$  y con  $N$  bits de resolución, se considera que  $v_{ip}$  tiene el valor máximo  $v_{ref}$  (peor de los casos) así se tiene que

$$v_{ip} = v_{ref} \quad (3.15)$$

$$\Delta V = \frac{v_{ref}}{2^N} \quad (3.16)$$

Con lo cual

$$\delta < \frac{V_{ref}}{2^N V_{ref}}$$

$$\delta < \frac{1}{2^N} \quad (3.17)$$

Por lo que la ganancia a la frecuencia de paro está determinada por el inverso de  $2^N$ .

El orden del filtro se calcula en base a la frecuencia de corte,  $f_H$ , la frecuencia de paro,  $f_P$  y la ganancia a la frecuencia de paro,  $\delta$ . La frecuencia de corte se debe de seleccionar de tal manera que deje pasar las frecuencias de interés. La Figura 3.23 muestra la respuesta del filtro antitraslaje. El orden del filtro se calcula utilizando la ecuación (3.18).

$$n \geq \frac{\text{Log} \left( \left( \frac{A_F}{\delta} \right)^2 - 1 \right)}{2 \text{Log} \left( \frac{f_P}{f_H} \right)} \quad (3.18)$$

donde

$n$  = es el orden del filtro

$A_F$  = La ganancia en la banda de paso.

$\delta$  = Ganancia a la frecuencia de paro.

$f_P$  = Frecuencia de paro.

$f_H$  = Frecuencia de corte.

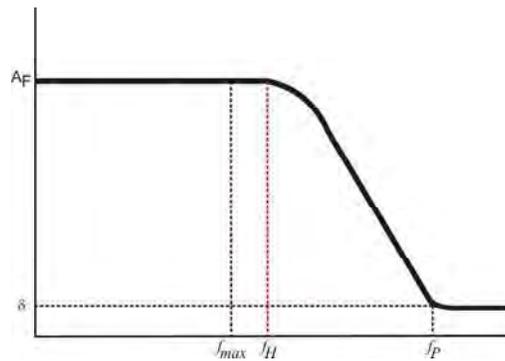


Figura 3.23. Respuesta en frecuencia del filtro antitraslapo.

Para el cálculo del orden del filtro se consideraron los siguientes parámetros:

$$A_F = 1$$

$$\delta = \frac{1}{2^N} = \frac{1}{2^{12}} = 4096,$$

$N$  = Número de bits del *ADC* del *DSC* y es igual a 12bits.

$$f_p = 1380\text{Hz}$$

$$f_H = 170\text{Hz}.$$

Para el convertidor diseñado, la frecuencia de conmutación de los *IGBTs* es 1620Hz, por lo que la frecuencia de muestreo es 3240Hz. Se seleccionó la frecuencia de paro de 1380Hz, que es la frecuencia armónica de banda lateral más pequeña que se presenta teóricamente en el espectro armónico en la forma de onda del voltaje de fase del convertidor de dos niveles trifásico, esto es  $mf - 4$  (ver Figura 2.5). Por su parte la frecuencia de corte se seleccionó de 170Hz a fin de que la componente de 60Hz no se atenué. Evaluando (3.18) el orden del filtro es  $n \geq 3.9721$ , se eligió utilizar un filtro *Butterworth* pasa-bajas de cuarto orden con ganancia unitaria.

**Cálculo de los componentes del filtro antitraslaje *Butterworth* pasa-bajas de cuarto orden con ganancia unitaria.**

El polinomio normalizado para un filtro *antitraslaje Butterworth* pasabajas de cuarto orden se obtiene a partir del producto de dos polinomios de segundo orden, los cuales son: [Faulkenberry, 1982]

$$(s^2 + 0.7653s + 1)(s^2 + 1.84776s + 1) \quad (3.19)$$

En forma general un polinomio normalizado de segundo orden está dado por:

$$\left( s^2 + \frac{\omega_H}{Q}s + \omega_H^2 \right) \quad (3.20)$$

Donde:

$\omega_H$  = Frecuencia de corte en rad/seg.

$Q$  = Factor de calidad del filtro

Igualando el primer polinomio normalizado (De izquierda a derecha) de (3.19) con (3.20) se tiene que

$$\omega_H = 1 \quad Q = \frac{1}{0.7653} = 1.30667712$$

Para implementar un filtro de segundo orden se utiliza la configuración *Sallen-Key* con ganancia unitaria que se muestra en la Figura 3.24.

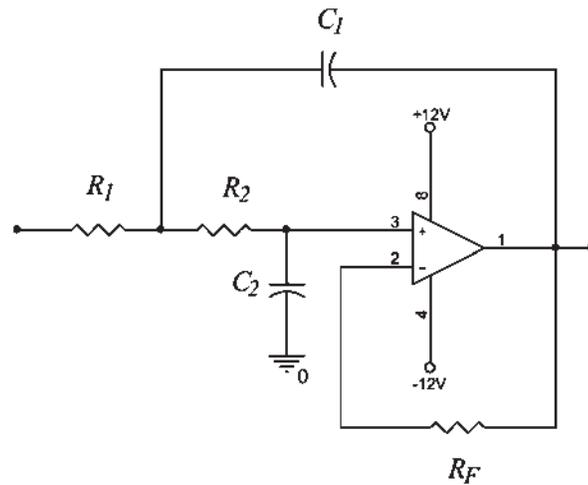


Figura 3.24 Configuración Sallen-Key con ganancia unitaria.

Donde:

$$\omega_H = \left[ \frac{1}{C_1 C_2 R_1 R_2} \right]^{\frac{1}{2}} \quad (3.21)$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{R_1 C_1 (1 - A_F) + C_2 (R_1 + R_2)} \quad (3.22)$$

Considerando que  $R_1 = R_2 = R$  y  $A_F = 1$ , la ecuación (3.22) se reduce a

$$Q = \frac{\sqrt{C_1}}{2\sqrt{C_2}} \quad (3.23)$$

$$C_1 = 4 C_2 Q^2 \quad (3.24)$$

Utilizando  $Q = 1.30667712$  y proponiendo que  $C_2 = 0.1\mu F$ , de (3.24) se obtiene el valor de  $C_1$ .

$$C_1 = 0.6829\mu F$$

De (3.21) se calcula el valor de la resistencia.

$$R = \frac{1}{2 C_2 \omega_H Q} \tag{3.25}$$

$$\omega_H = 2\pi f_H \tag{3.26}$$

Se considera una frecuencia de corte de 170Hz, a fin de que la componente de 60Hz no se atenúe. Obteniéndose:  $R = 3.582K\Omega$  y  $R_F = 2R = 7.1648K\Omega$ . Los valores comerciales utilizados son:  $C_1 = 0.68\mu F$ ,  $C_2 = 0.1\mu F$ ,  $R = R_1 = R_2 = 3.57K\Omega$  y  $R_F = 7.15K\Omega$ . Realizando el mismo procedimiento para el polinomio característico de segundo orden de la derecha de (3.19) se obtiene los siguientes valores teóricos:  $C_1 = 0.117\mu F$ ,  $C_2 = 0.1\mu F$ ,  $R = R_1 = R_2 = 8.6494K\Omega$  y  $R_F = 17.298K\Omega$ . Los valores comerciales utilizados son:  $C_1 = 0.1\mu F$ ,  $C_2 = 0.1\mu F$ ,  $R = R_1 = R_2 = 8.66K\Omega$  y  $R_F = 17.4K\Omega$ . La Figura 3.25 muestra el diagrama del filtro *antiraslapo Butterworth* pasabajas de cuarto orden utilizado

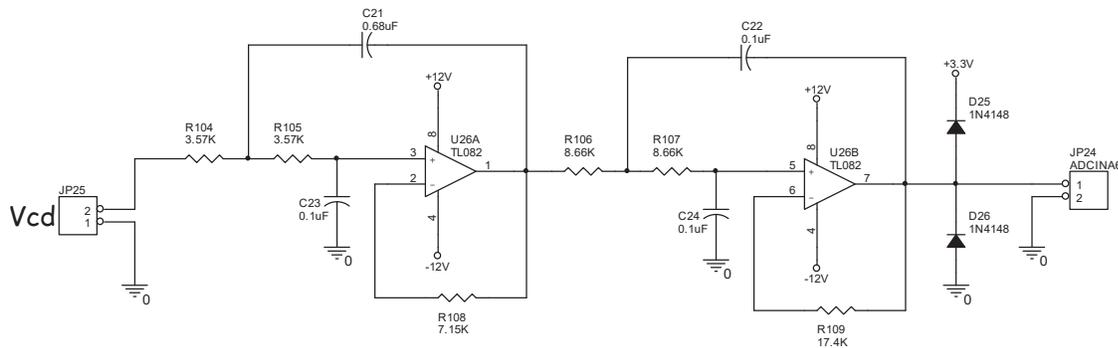


Figura 3.25. Diagrama esquemático del filtro antiraslapo Butterworth de cuarto orden.

### 3.4.4 Medición de la corriente de *cd* del convertidor

La instrumentación para la medición de la corriente de *cd* del enlace está compuesta por los siguientes bloques: sensor de corriente de efecto *Hall ACS754xCB-050*, filtro

antitraslape pasabajas de cuarto orden y circuito de acondicionamiento de señal. Lo anterior se muestra en la Figura 3.26.

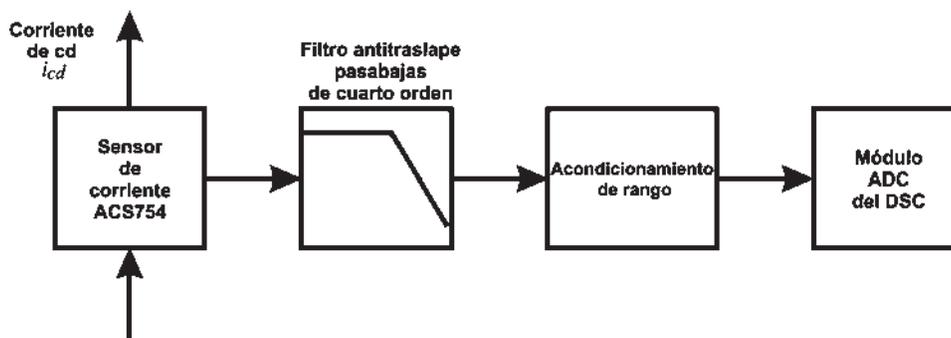


Figura 3.26. Diagrama a bloques para la medición de la corriente de  $cd$ .

El filtro *antitraslape Butterworth* de cuarto orden es el mismo de la sección anterior. El cálculo del acondicionamiento de rango utiliza la característica de transferencia mostrada en la Figura 3.27, el procedimiento es el mismo que se utilizó anteriormente tanto en el acondicionamiento de rango para la medición del voltaje de fase, como el acondicionamiento de rango para la medición corriente de línea. La Figura 3.28 muestra el diagrama esquemático para la medición de la corriente del enlace de  $cd$ .

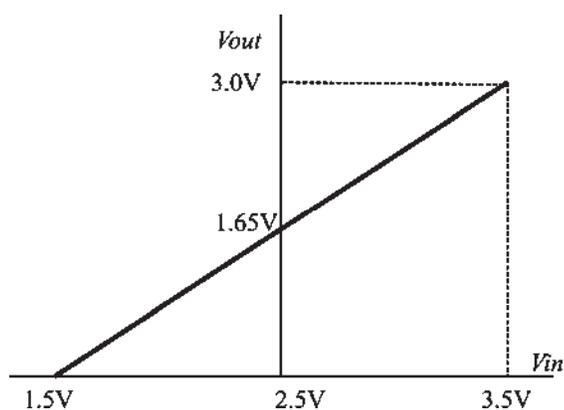


Figura 3.27. Característica de transferencia para el acondicionamiento de rango de la corriente de  $cd$ .



proporcionan un aislamiento eléctrico de 2.5kV, son recomendados para aplicaciones digitales de alta velocidad de hasta 1 MBit/s [Data sheet 6N136].

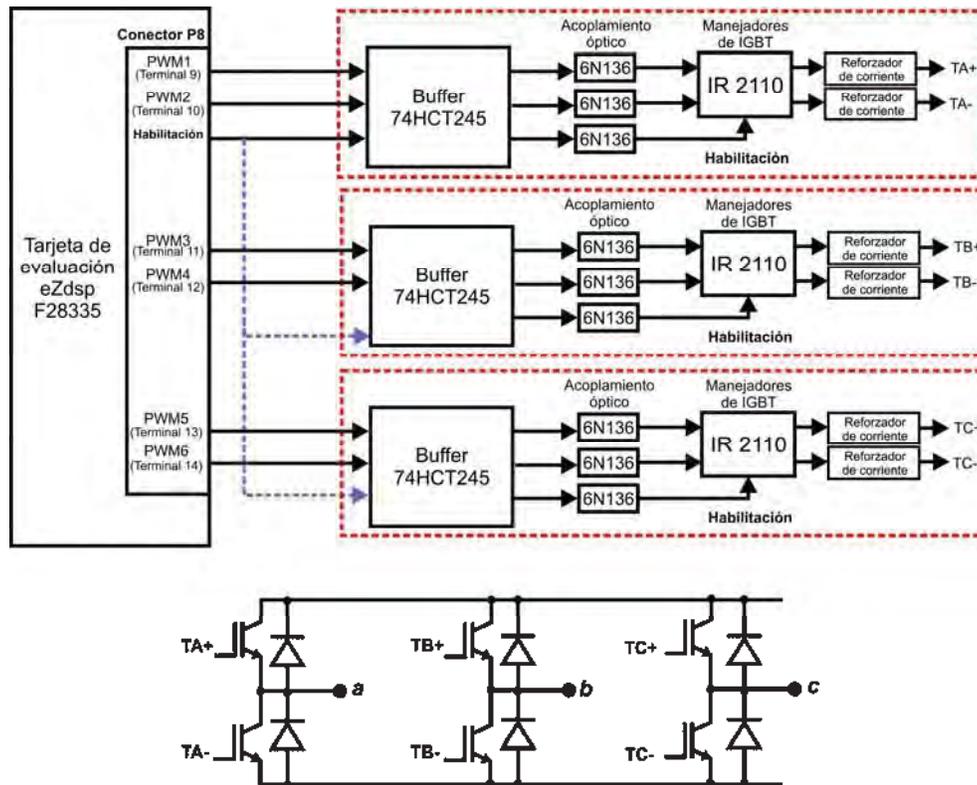


Figura 3.29. a) Diagrama a bloques de la interfaz DSC-convertidor, b) puente inversor trifásico con IGBTs.

### Manejadores de IGBT.

Existen varios manejadores de IGBTs en el mercado, su costo depende de las características proporcionadas por el fabricante. La mayoría de ellos requieren de una fuente de voltaje aislada para su operación. Se puede adquirir el manejador de IGBTs a un costo promedio de 25 dólares y la fuente aislada a un costo de 25 dólares o bien un dispositivo que integra ambas partes a un costo de aproximadamente 60 dólares. Por lo anterior, el costo para ensamblar una tarjeta controladora para un puente de seis interruptores oscilaría entre 300 y 360 dólares sin considerar el costo de los componentes adicionales necesarios para armar las configuraciones sugeridas por el fabricante. Considerando que el prototipo necesita dos

puentes de seis interruptores el costo para poder realizar el proyecto se elevaba demasiado. Razón por la cual se optó por utilizar manejadores de *IGBTs* de bajo costo de la compañía *International Rectifier*, el circuito integrado *IR2110*. Cada uno de estos circuitos integrados es capaz de manejar una rama del puente de seis interruptores, es decir el interruptor superior e inferior de la rama. La reducción en costo es bastante significativa ya que cada *IR2110* cuesta solo 2 dólares y se requieren de tres dispositivos para manejar un puente de seis interruptores. A continuación se presenta una breve descripción de este dispositivo *IR2110*.

### **Circuito Integrado IR2110**

#### **Entrada lógica.**

El circuito integrado *IR2110* posee dos canales de entrada (*HIN* y *LIN*) que son controlados por señales de entrada compatibles con *TTL/CMOS*. Los umbrales de transición son proporcionales a la alimentación lógica  $V_{DD}$  (3 a 20V) y los buffer *Schmitt trigger* de entrada tienen una histéresis igual a 10% de  $V_{DD}$ . Los dos canales pueden ser controlados independientemente. El tiempo de propagación entre el comando de entrada y la salida de manejo de compuerta es aproximadamente el mismo para ambos canales. El circuito integrado tiene una función de apagado, las salidas son internamente desconectadas, para el resto del ciclo, por un 1 lógico en la entrada de *shut down* (*SD*) [IR2110][AN-978]. Las señales lógicas de entrada son acopladas a los canales de salida a través de desplazadores de nivel de alta inmunidad al ruido (*high noise immunity level translators*) individuales. Esto permite a la tierra de referencia de la alimentación lógica ( $V_{SS}$ ) oscilar en  $\pm 5V$  con respecto a la tierra de potencia (*COM*).

#### **Etapas de salida.**

Los dos canales de salida del *IR2110* pueden controlar una rama del puente, esto es, la salida *HO* puede manejar al interruptor de la parte superior y la salida *LO* puede manejar al interruptor de la parte inferior [IR2110] [AN-978]. El canal inferior de salida está implementado con dos *MOSFETs* de canal *n* en configuración *tótem pole*, cuya corriente máxima pulsada es de 2A. La alimentación para esta configuración está entre las terminales

$V_{CC}$  y  $COM$ . Posee una protección de bajo voltaje a fin de que el canal no opere si  $V_{CC}$  está por debajo del valor especificado (típicamente 8.6/8.2V). El canal superior de salida es capaz de operar con 500V flotantes con respecto a la tierra de potencia ( $COM$ ). Está fabricado con dos  $MOSFETs$  de canal  $n$  en configuración *tótem pole*, cuya corriente máxima pulsada es de 2A. La alimentación para esta configuración está entre las terminales  $VB$  y  $VS$ . El canal superior puede ser alimentado por una fuente aislada o por un capacitor *bootstrap*. Este canal también posee una protección de bajo voltaje, pero está referida a la terminal  $VS$ . En la Figura 3.30 se muestra el diagrama interno del circuito integrado *IR2110*.

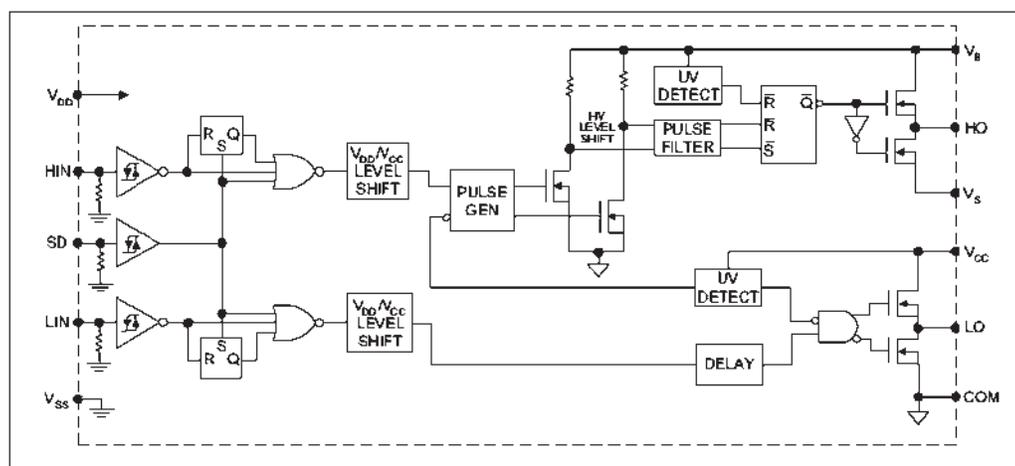
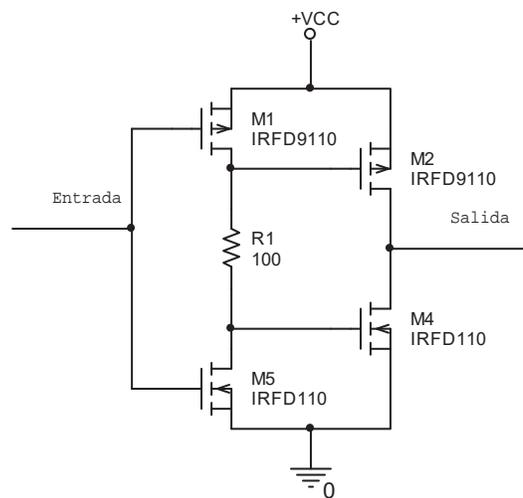


Figura 3.30. Diagrama a bloques interno del circuito integrado *IR2110*.

### Reforzador de corriente

Aunque la corriente de salida del *IR2110* es suficiente para las necesidades del prototipo, se consideró utilizar reforzadores de alta corriente en sus canales de salida. Debido a la posibilidad de que posteriormente se aumente la capacidad de corriente de los *IBGTs*. Los reforzadores de corriente son una solución cuando se desea manejar cargas extremadamente grandes de muchos dispositivos en paralelo, a fin de no exceder la disipación de potencia de los *MOSFETs* de salida del circuito integrado *IR2110* [Kiraly]. El reforzador propuesto posee una alta impedancia de entrada y es capaz de liberar una corriente pico de 8A en su salida [DT

92-2A]. Este circuito se ilustra en la Figura 3.31. El reforzador opera de la siguiente forma: Cuando la señal de entrada cambia de estado,  $R1$  limita la corriente a través de  $M1$  y  $M5$  por unos pocos nanosegundos cuando ambos transistores están encendidos. Cuando la entrada cambia a un nuevo estado, el transistor manejador rápidamente descarga la capacitancia de compuerta del transistor de salida en conducción forzándolo al estado de apagado. Mientras la compuerta del otro transistor de salida será cargada a través de  $R1$ ; el tiempo de encendido será retrasado por la constante de tiempo formada por el  $R1$  y la capacitancia de entrada del transistor de salida. En la Figura 3.32 se muestra el diagrama esquemático correspondiente al control de una rama del puente inversor trifásico de la tarjeta controladora de los *IGBTs*. Las entradas *PWM1*, *PMW2* y *SD* provienen del Buffer *74HCT245*.



**Figura 3.31.** Reforzador de corriente.

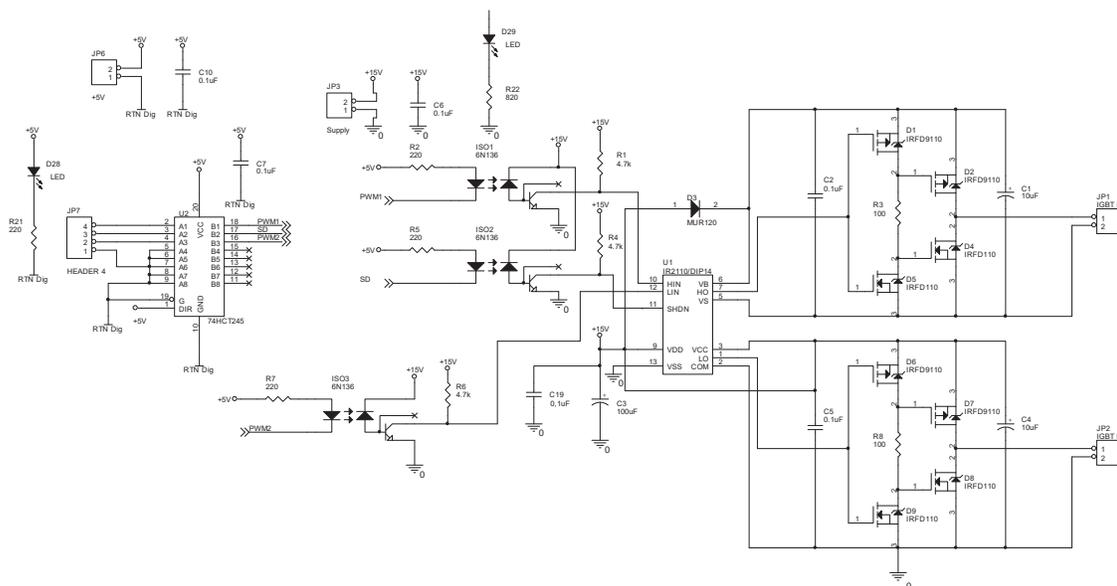


Figura 3.32. Diagrama esquemático de la tarjeta controladora de IGBTs.

### 3.6 Convertidor.

El convertidor es un VSC de dos niveles con IGBTs, como se muestra en la Figura 3.33.

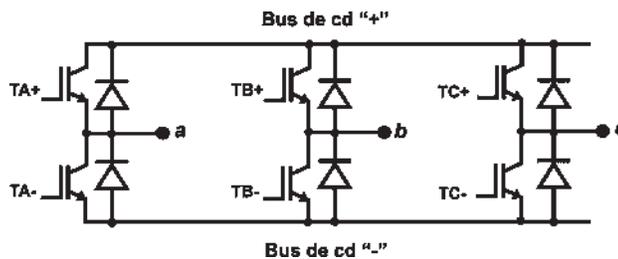


Figura 3.33. Diagrama del convertidor.

#### Transistores Bipolares de Compuerta Aislada.

Analizando las características de los IGBTs que se pueden conseguir en el mercado nacional se optó por utilizar el IGBT ultrarrápido IRG4PC40UD de 600V a 20A, el cual tiene el diodo antiparalelo integrado y posee las características que se listan a continuación [Datasheet IRG4PC40UD]:

- Ultrarrápido, optimizado de 8 a 40kHz y hasta 200kHz en modo resonante.
- *IGBT* de cuarta generación de alta eficiencia.
- *IGBT* empaquetado con diodo ultrarrápido, con recuperación ultrasuave para utilizarse en configuraciones tipo puente.
- Diodos optimizados para operar con *IGBTs*. Características de recuperación minimizadas que requieren menos o ningún tipo de red *snubber*.

A continuación se presentan las características eléctricas del *IGBT IRG4PC40UD*:

**Tabla 3.3.** Características del *IGBT IRG4PC40UD*

	<b>Parámetro</b>	
$V_{CE}$	Voltaje Colector-emisor	600V
$I_C @ T_C = 25^\circ\text{C}$	Corriente de colector continua	40A
$I_C @ T_C = 100^\circ\text{C}$	Corriente de colector continua	20A
$I_{CM}$	Corriente de colector pulsada	160A
$I_{LM}$	Corriente de carga inductiva limitada	160A
$I_F @ T_C = 100^\circ\text{C}$	Corriente en polarización directa continua del diodo	15A
$I_{FM}$	Máxima corriente en polarización directa del diodo	160A
$V_{GE}$	Voltaje compuerta-emisor	$\pm 20\text{V}$
$P_C @ T_C = 25^\circ\text{C}$	Máxima disipación de potencia	160W
$P_C @ T_C = 100^\circ\text{C}$	Máxima disipación de potencia	65W

De la Tabla 3.3 se observa que las características eléctricas exceden las especificaciones del prototipo, dando un margen de seguridad eléctrico.

### Resumen del capítulo.

En este capítulo se presentaron: las especificaciones generales del prototipo, la estructura del hardware de la estación convertidora, las generalidades del *DSC TMS320F28335*, así como el diseño del sistema de instrumentación, de la interfaz *DSC*-convertidor y del convertidor. En el siguiente capítulo se presenta el control desacoplado para una estación convertidora de un sistema de transmisión *HVDC-VSC*.

# CAPÍTULO 4

## CONTROL DESACOPLADO PARA UNA ESTACIÓN CONVERTIDORA DE UN SISTEMA DE TRANSMISIÓN HVDC-VSC.

En este capítulo se presenta detalladamente el diseño de los controladores de potencia real y reactiva que utilizan las estaciones convertidoras del prototipo del sistema *HVDC-VSC*. Los controladores están desacoplados, es decir, se puede controlar de forma independiente el intercambio de potencia real y potencia reactiva entre el sistema de *ca* y la estación convertidora. Por su parte el controlador de potencia real es parte del controlador del voltaje del capacitor, es decir se tienen dos lazos de control uno interno y uno externo respectivamente.

### 4.1 Diseño de los controladores de Potencia Real y Reactiva.

El sistema de control diseñado para la estación convertidora se muestra en la Figura 4.1. Éste posee dos variables controladas desacopladas, la potencia real,  $p$  y la potencia reactiva,  $q$ . Las cuales corresponden a los lazos internos de control. De igual manera mantener constante el voltaje del capacitor es importante, por lo que el control del voltaje del capacitor corresponde al lazo externo de control [Garcia-Gonzalez y Garcia-Cerrada, 2000]. Este esquema de control se utiliza cuando la estación convertidora actúa como transmisora. Cuando la estación convertidora actúa como receptora se omite el lazo de control externo, correspondiente al controlador del voltaje del capacitor. A continuación se presenta el desarrollo para la obtención de los controladores de potencia real y reactiva y posteriormente se presenta el desarrollo para el controlador del voltaje del capacitor.

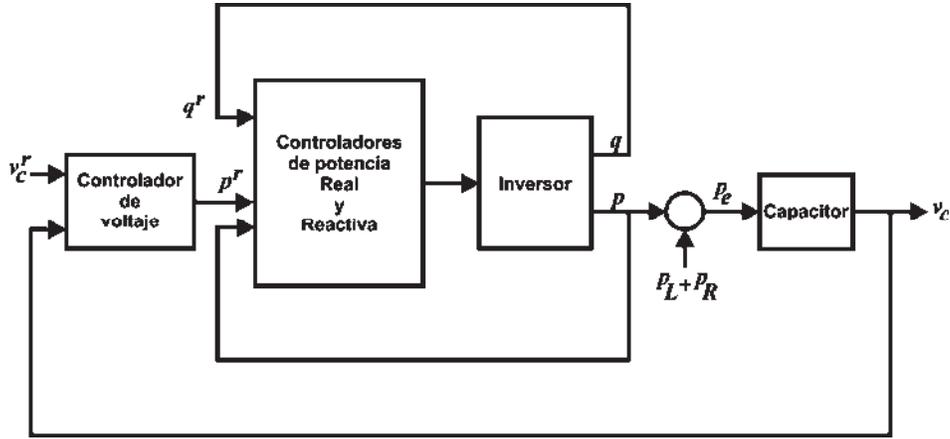


Figura 4.1 Esquema del sistema de control.

La ecuación (4.1) proporciona el valor de las variables de estado en el instante de tiempo  $k+1$  en base al valor de las variables de estado y la entrada aplicada en el instante  $k$ . Sin embargo, el controlador necesitará la mayor parte del intervalo de muestreo para calcular la acción de control, es decir, la entrada requerida por el sistema, a partir de los valores de referencia y las mediciones. De esta forma, es razonable asumir que la entrada del sistema en el instante  $k$  es la calculada por el controlador usando mediciones en el instante  $k-1$ . El modelo de tiempo discreto para (2.25) usando la ecuación (2.28) se puede escribir como sigue: [García-González y García-Cerrada, 1999]

$$\begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} = \begin{bmatrix} \phi_1 & \phi_2 \\ -\phi_2 & \phi_1 \end{bmatrix} \begin{bmatrix} i_d(k) \\ i_q(k) \end{bmatrix} + \begin{bmatrix} \gamma_1 & \gamma_2 \\ -\gamma_2 & \gamma_1 \end{bmatrix} \begin{bmatrix} e_d(k-1) - v_d(k-1) \\ e_q(k-1) \end{bmatrix} \quad (4.1)$$

O bien

$$\begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} = \Phi \begin{bmatrix} i_d(k) \\ i_q(k) \end{bmatrix} + \Gamma \begin{bmatrix} e_d(k-1) - v_d(k-1) \\ e_q(k-1) \end{bmatrix} \quad (4.2)$$

Se observa que hay términos cruzados entre los ejes  $d$  y  $q$  en la matriz de estado  $\Phi$  y la matriz de entrada  $\Gamma$ . El acoplamiento en la matriz de entrada es inherente al proceso de discretización. Agrupando convenientemente (4.1) se puede obtener un control desacoplado, el cual está dado por

$$\begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} = \begin{bmatrix} \phi_1 & 0 \\ 0 & \phi_1 \end{bmatrix} \begin{bmatrix} i_d(k) \\ i_q(k) \end{bmatrix} + \begin{bmatrix} u_d(k-1) \\ u_q(k-1) \end{bmatrix} \quad (4.3)$$

donde:

$$\begin{bmatrix} u_d(k) \\ u_q(k) \end{bmatrix} = \begin{bmatrix} 0 & \phi_2 \\ -\phi_2 & 0 \end{bmatrix} \begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} + \begin{bmatrix} \gamma_1 & \gamma_2 \\ -\gamma_2 & \gamma_1 \end{bmatrix} \begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} \quad (4.4)$$

De esta forma  $i_d$  e  $i_q$  están desacopladas y la acción de control  $u_d$  sólo afecta a  $i_d$  y la acción de control de  $u_q$  sólo afecta a  $i_q$ .

Definiendo

$$\Phi^* = \begin{bmatrix} 0 & \phi_2 \\ -\phi_2 & 0 \end{bmatrix} \quad (4.5)$$

La ecuación (4.4) puede ser escrita como

$$\begin{bmatrix} u_d(k) \\ u_q(k) \end{bmatrix} = \Phi^* \begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} + \Gamma \begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} \quad (4.6)$$

De la expresión (4.6) se pueden encontrar los voltajes del inversor,  $e_d(k)$  y  $e_q(k)$ . Despejando  $e_d(k)$  y  $e_q(k)$  de (4.6), multiplicando ambos miembros de la ecuación por  $\Gamma^{-1}$  y reacomodando, se tiene que los voltajes del inversor se pueden calcular a partir de la siguiente ecuación

$$\begin{bmatrix} e_d(k) \\ e_q(k) \end{bmatrix} = -\Gamma^{-1}\Phi^* \begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} + \Gamma^{-1} \begin{bmatrix} u_d(k) \\ u_q(k) \end{bmatrix} + \begin{bmatrix} v_d(k) \\ 0 \end{bmatrix} \quad (4.7)$$

Donde

$$\Gamma^{-1} = \frac{1}{\gamma_1^2 + \gamma_2^2} \begin{bmatrix} \gamma_1 & -\gamma_2 \\ \gamma_2 & \gamma_1 \end{bmatrix}$$

## 4.2 Control PI desacoplado

El modelo de tiempo discreto en (4.3) puede ser dividido en dos modelos desacoplados (componentes  $d$  y  $q$ ).

El modelo de potencia real es

$$i_d(k+1) = \phi_1 i_d(k) + u_d(k-1) \quad (4.8)$$

Introduciendo una nueva variable para darle la forma estándar al modelo

$$I_{Dd}(k) = u_d(k-1) \quad (4.9)$$

Introduciendo además una acción de control integral para asegurar un error de estado estable nulo [Franklin, Powell, 1997]. La ley de control integral en tiempo discreto para la potencia real puede ser escrita como sigue:

$$i_{1d}(k+1) = i_{1d}(k) + i_d^r(k) - i_d(k) \quad (4.10)$$

Donde  $i_d^r$  es el valor de referencia e  $i_{1d}$  es una nueva variable de estado.

Así, el sistema aumentado para el controlador de potencia real es:

$$\begin{bmatrix} i_d(k+1) \\ i_{1d}(k+1) \\ i_{Dd}(k+1) \end{bmatrix} = \Phi_a \begin{bmatrix} i_d(k) \\ i_{1d}(k) \\ i_{Dd}(k) \end{bmatrix} + \Gamma_a u_d(k) + \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} i_d^r(k) \quad (4.11)$$

donde

$$\Phi_a = \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad \text{y} \quad \Gamma_a = \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix}$$

El modelo del controlador de potencia real se puede extender al modelo del controlador de potencia reactiva, el cual es:

$$\begin{bmatrix} i_q(k+1) \\ i_{lq}(k+1) \\ i_{Dq}(k+1) \end{bmatrix} = \Phi_a \begin{bmatrix} i_q(k) \\ i_{lq}(k) \\ i_{Dq}(k) \end{bmatrix} + \Gamma_a u_q(k) + \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} i_q^r(k) \quad (4.12)$$

Las leyes de control de retroalimentación de estado para los ejes  $d$  y  $q$  son:

$$u_d(k) = -\begin{bmatrix} K_d & K_{ld} & K_{Dd} \end{bmatrix} \begin{bmatrix} i_d(k) \\ i_{ld}(k) \\ i_{Dd}(k) \end{bmatrix} \quad (4.13)$$

$$u_q(k) = -\begin{bmatrix} K_q & K_{lq} & K_{Dq} \end{bmatrix} \begin{bmatrix} i_q(k) \\ i_{lq}(k) \\ i_{Dq}(k) \end{bmatrix} \quad (4.14)$$

Reacomodando (4.7)

$$\begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} = -\Gamma^{-1} \begin{bmatrix} 0 & \phi_2 \\ -\phi_2 & 0 \end{bmatrix} \begin{bmatrix} i_d(k+1) \\ i_q(k+1) \end{bmatrix} + \Gamma^{-1} \begin{bmatrix} u_d(k) \\ u_q(k) \end{bmatrix} \quad (4.15)$$

En (4.15) se puede observar que un desacoplamiento perfecto es posible solamente si  $i_d(k+1)$  e  $i_q(k+1)$  se conocen. Obviamente, estas variables no están disponibles en el instante  $k$  donde la acción de control debe ser calculada. El enfoque más sencillo para resolver este problema es aproximar  $i_d(k+1)$  e  $i_q(k+1)$  utilizando las últimas mediciones  $i_d(k)$  e  $i_q(k)$ , lo cual es confiable si el periodo de muestreo es pequeño. Así (4.15) se puede escribir como:

$$\begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} = -\Gamma^{-1} \begin{bmatrix} \phi_2 i_q(k) \\ -\phi_2 i_d(k) \end{bmatrix} - \Gamma^{-1} \begin{bmatrix} K_d i_d(k) + K_{ld} i_{ld}(k) + K_{Dd} i_{Dd}(k) \\ K_q i_q(k) + K_{lq} i_{lq}(k) + K_{Dq} i_{Dq}(k) \end{bmatrix}$$

$$\begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} = -\Gamma^{-1} \begin{bmatrix} K_d & K_{ld} & K_{Dd} & \phi_2 & 0 & 0 \\ -\phi_2 & 0 & 0 & K_q & K_{lq} & K_{Dq} \end{bmatrix} \begin{bmatrix} i_d(k) \\ i_{ld}(k) \\ i_{Dd}(k) \\ i_q(k) \\ i_{lq}(k) \\ i_{Dq}(k) \end{bmatrix} \quad (4.16)$$

$$\begin{bmatrix} e_d(k) - v_d(k) \\ e_q(k) \end{bmatrix} = K \begin{bmatrix} i_d(k) \\ i_{ld}(k) \\ i_{Dd}(k) \\ i_q(k) \\ i_{lq}(k) \\ i_{Dq}(k) \end{bmatrix}$$

Donde

$$K = -\Gamma^{-1} \begin{bmatrix} K_d & K_{ld} & K_{Dd} & \phi_2 & 0 & 0 \\ -\phi_2 & 0 & 0 & K_q & K_{lq} & K_{Dq} \end{bmatrix} \quad (4.17)$$

### 4.3 Obtención de las ganancias de los controladores

Las ganancias de los controladores se determinan en función de los parámetros de desempeño deseados. Los parámetros de desempeño determinan la ubicación de los polos de lazo cerrado en el dominio de la frecuencia, a esto se le conoce como método de diseño mediante la colocación de polos usando retroalimentación de estados. Los polos en el dominio de la frecuencia pueden ser mapeados en el plano  $z$ , y a partir de ellos se pueden determinar las ganancias de los controladores utilizando la fórmula de *Ackermann*.

Los parámetros de desempeño deseados son: un máximo sobreimpulso del 5% y un tiempo de establecimiento máximo de tres cuartos de ciclo de la frecuencia fundamental de 60Hz, es decir 12.5ms.

El máximo sobreimpulso está definido como: [Ogata, 1998]

$$M_p = e^{-\frac{\zeta\pi}{\sqrt{1-\zeta^2}}} \quad (4.18)$$

A partir de (4.18) se obtiene un factor de amortiguamiento de  $\zeta = 0.8$ , que cumple con las recomendaciones sugeridas para el factor de amortiguamiento, el cual debe estar en el intervalo de  $0.4 \leq \zeta \leq 0.8$ . [Ogata, 1998]

El tiempo de establecimiento para una respuesta en estado estacionario con una tolerancia de 5% del valor final está dado por: [Ogata, 1998]

$$t_s \approx \frac{3}{\zeta \omega_n} \quad (4.19)$$

Donde  $\omega_n$  es la frecuencia natural no amortiguada.

$$\omega_n = \frac{3}{\zeta t_s} = \frac{3}{(0.8)(12.5 \times 10^{-3})} = 300$$

Los polos complejos conjugados están definidos como

$$s_1 = -\sigma + j\omega_d \quad s_2 = -\sigma - j\omega_d \quad (4.20)$$

Donde

$$\sigma = \zeta\omega_n = 0.8 * 300 = 240$$

$$\omega_d = \omega_n(1 - \zeta^2)^{1/2} = 180$$

Por lo que los polos complejos conjugados son

$$s_1 = -240 + j180, \quad s_2 = -240 - j180;$$

Con la finalidad de que los polos complejos sean los polos dominantes, se elije un tercer polo real que esté alejado 10 veces de la parte real de los polos complejos, es decir

$$s_3 = -2400$$

Se mapean los polos en el dominio discreto utilizando la siguiente expresión: [Ogata ,1996][Tewari, 2002]

$$P_i = e^{s_i T} \quad (4.21)$$

Donde  $T$  es el periodo de muestreo. Utilizando la formula de *Euler* la expresión queda:

Para  $P_1$

$$P_1 = e^{s_1 T} = e^{(-\sigma + j\omega_d)T} = e^{-\sigma T} e^{j\omega_d T}$$

$$P_1 = e^{-\sigma T} (\cos \omega_d T + j \operatorname{sen} \omega_d T)$$

$$P_1 = 0.9272 + j0.0516$$

Para  $P_2$

$$P_2 = e^{s_2 T} = e^{(-\sigma - j\omega_d)T} = e^{-\sigma T} e^{-j\omega_d T}$$

$$P_2 = e^{-\sigma T} (\cos \omega_d T - j \operatorname{sen} \omega_d T)$$

$$P_2 = 0.9272 - j0.0516$$

Para  $P_3$

$$P_3 = e^{s_3 T} = e^{(-\sigma)T} = 0.4768$$

A partir de los polos mapeados en el plano  $z$  se determina el polinomio característico en el dominio discreto, el cual está dado por:

$$A(z) = (z - P_1)(z - P_2)(z - P_3)$$

$$A(z) = z^3 - z^2(P_1 + P_2 + P_3) + z(P_1P_2 + P_1P_3 + P_2P_3) - P_1P_2P_3$$

Haciendo

$$P_1 = a + bj$$

$$P_2 = a - bj$$

$$P_3 = c$$

$$A(z) = z^3 - z^2(a + bj + a - bj + c) + z[(a + bj)(a - bj) + (a + bj)c + (a - bj)c] - (a + bj)(a - bj)c$$

$$A(z) = z^3 - z^2(2a + c) + z[(a^2 + b^2) + 2ac] - (a^2 + b^2)c$$

$$A(z) = z^3 + A_1z^2 + A_2z + A_3 \tag{4.22}$$

$$A(z) = z^3 - 2.331z^2 + 1.746z - 0.4111 \tag{4.22a}$$

Ahora se utiliza la fórmula de *Ackermann* para calcular el vector de ganancias [Ogata ,1996][Tewari, 2002], que está dada por:

$$L = [0 \quad 0 \quad \dots \quad 1]Wc^{-1}P(\Phi_a) \tag{4.23}$$

Particularmente, la fórmula de *Ackermann* para el modelo es:

$$L = [0 \quad 0 \quad 1]Wc^{-1}P(\Phi_a) \tag{4.24}$$

Donde:  $Wc$  Es la matriz de controlabilidad y está definida por

$$Wc = [\Gamma_a \quad \Phi_a \Gamma_a \quad \dots \quad \Phi_a^{n-1} \Gamma_a] = [\Gamma_a \quad \Phi_a \Gamma_a \quad \Phi_a^2 \Gamma_a] \tag{4.25}$$

De (4.11), se obtienen las matrices  $\Gamma_a$  y  $\Phi_a$

$$\Gamma_a = \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} \quad \Phi_a = \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

Calculando la matriz de controlabilidad

$$\Phi_a \Gamma_a = \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix}$$

$$\Phi_a^2 = \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} = \begin{bmatrix} \phi_1^2 & 0 & \phi_1 \\ -\phi_1 - 1 & 1 & -1 \\ 0 & 0 & 0 \end{bmatrix}$$

$$\Phi_a^2 \Gamma_a = \begin{bmatrix} \phi_1^2 & 0 & \phi_1 \\ -\phi_1 - 1 & 1 & -1 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} \phi_1 \\ -1 \\ 0 \end{bmatrix}$$

La matriz de controlabilidad es:

$$W_C = \begin{bmatrix} 0 & 1 & \phi_1 \\ 0 & 0 & -1 \\ 1 & 0 & 0 \end{bmatrix} \quad (4.26)$$

La matriz de controlabilidad es de rango 3 por lo tanto el sistema es alcanzable. La inversa de la matriz de controlabilidad es

$$W_C^{-1} = \begin{bmatrix} 0 & 0 & 1 \\ 1 & \phi_1 & 0 \\ 0 & -1 & 0 \end{bmatrix} \quad (4.27)$$

El polinomio característico está dado por

$$P(\Phi_a) = \Phi_a^3 + A_1\Phi_a^2 + A_2\Phi_a + A_3I \quad (4.28)$$

Donde

$$\Phi_a^3 = \Phi_a^2\Phi_a = \begin{bmatrix} \phi_1^2 & 0 & \phi_1 \\ -\phi_1-1 & 1 & -1 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} = \begin{bmatrix} \phi_1^3 & 0 & \phi_1^2 \\ -\phi_1^2-\phi_1-1 & 1 & -\phi_1-1 \\ 0 & 0 & 0 \end{bmatrix}$$

$$P(\Phi_a) = \begin{bmatrix} \phi_1^3 & 0 & \phi_1^2 \\ -\phi_1^2-\phi_1-1 & 1 & -\phi_1-1 \\ 0 & 0 & 0 \end{bmatrix} + A_1 \begin{bmatrix} \phi_1^2 & 0 & \phi_1 \\ -\phi_1-1 & 1 & -1 \\ 0 & 0 & 0 \end{bmatrix} + A_2 \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} + A_3 \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}$$

$$P(\Phi_a) = \begin{bmatrix} \phi_1^3 + \phi_1^2 A_1 + \phi_1 A_2 + A_3 & 0 & \phi_1^2 + \phi_1 A_1 + A_2 \\ -\phi_1^2 - \phi_1 - 1 - (\phi_1 + 1)A_1 - A_2 & 1 + A_1 + A_2 + A_3 & -\phi_1 - 1 - A_1 \\ 0 & 0 & A_3 \end{bmatrix} \quad (4.29)$$

Sustituyendo (4.27) en (4.24)

$$L = \begin{bmatrix} 0 & 0 & 1 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} 0 & 0 & 1 \\ 1 & \phi_1 & 0 \\ 0 & -1 & 0 \end{bmatrix} P(\Phi_a)$$

$$L = \begin{bmatrix} 0 & -1 & 0 \end{bmatrix} P(\Phi_a)$$

Sustituyendo (4.29) en la ecuación anterior

$$L = \begin{bmatrix} 0 & -1 & 0 \end{bmatrix} \begin{bmatrix} \phi_1^3 + \phi_1^2 A_1 + \phi_1 A_2 + A_3 & 0 & \phi_1^2 + \phi_1 A_1 + A_2 \\ -\phi_1^2 - \phi_1 - 1 - (\phi_1 + 1)A_1 - A_2 & 1 + A_1 + A_2 + A_3 & -\phi_1 - 1 - A_1 \\ 0 & 0 & A_3 \end{bmatrix}$$

La matriz de ganancias obtenida de la fórmula de *Ackermann* es

$$L = [\phi_1^2 + \phi_1 + 1 + (\phi_1 + 1)A_1 + A_2 \quad -(1 + A_1 + A_2 + A_3) \quad \phi_1 + 1 + A_1] \quad (4.30)$$

Considerando los datos del transformador,  $R = 0.515\Omega$  y  $L = 3.0817494mH$ , con un periodo de muestreo  $T = 308.6419\mu s$  y con  $\omega = 2\pi 60 = 377rad/s$  se puede evaluar  $\phi_1$ , ecuación (2.31) del capítulo 2.

$$\phi_1 = e^{-\frac{R_T}{L}} \cos \omega T = 0.9433$$

Sustituyendo  $\phi_1$  en (4.30), se tiene que

$$L = [2.8331 + 1.9433 A_1 + A_2 \quad -(1 + A_1 + A_2 + A_3) \quad 1.9433 + A_1] \quad (4.31)$$

Sustituyendo en (4.31) los coeficientes del polinomio característico del método de diseño por colocación de polos dados por (4.22a), se determinan las ganancias para el controlador de potencia real.

$$L = [0.0492 \quad -0.0039 \quad -0.3878] \quad (4.32)$$

Las ganancias obtenidas para el controlador de potencia real son las mismas para el control de potencia reactiva, ver ecuaciones (4.11) y (4.12).

#### 4.4 Diseño del Controlador de Voltaje del Capacitor

El controlador del voltaje del capacitor fue diseñado usando la técnica de Bode analítico. El controlador propuesto fue un Proporcional+Integral, *PI*. El esquema de control para el voltaje del capacitor es mostrado en la Figura 4.2.

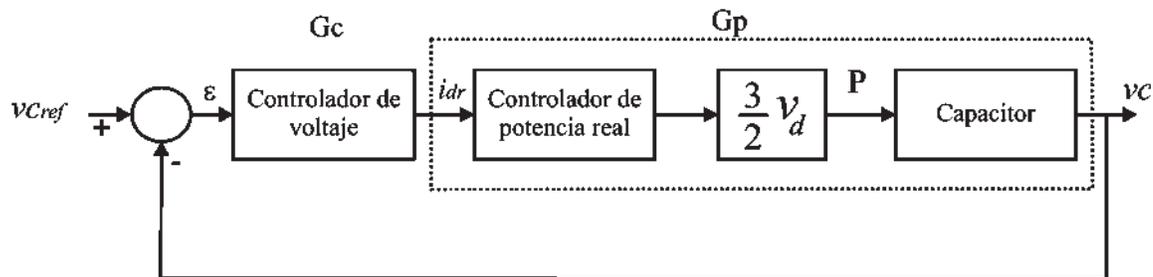


Figura 4.2. Esquema de control del voltaje del capacitor.

De la cual se puede observar que el controlador de potencia real es parte de la planta  $G_p$ . Para el sistema de lazo cerrado del controlador de potencia real, la matriz de transición de estado está dada por

$$\Phi_n = \Phi_a - \Gamma_a L \quad (4.33)$$

De (4.11) que corresponde al controlador de potencia real se obtienen  $\Phi_a$  y  $\Gamma_a$ .

$$\Phi_a = \begin{bmatrix} 0.9433 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (4.34)$$

$$\Gamma_a = \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} \quad (4.35)$$

Sustituyendo (4.34), (4.35) y (4.32) en (4.33) se obtiene la nueva matriz de transición de estados:

$$\Phi_n = \begin{bmatrix} 0.9433 & 0 & 1 \\ -1 & 1 & 0 \\ -0.0492 & 0.0039 & 0.3878 \end{bmatrix} \quad (4.36)$$

Ahora bien, la ecuación del voltaje del capacitor considerando las pérdidas en la resistencia e inductancia del transformador de acoplamiento está dada por la ecuación (2.50):

$$v_c^2(k+1) = v_c^2(k) - \frac{3T}{C} v_d(k) i_d(k) - \frac{3RT}{C} i_d^2(k) - \frac{3RT}{C} i_q^2(k) - \frac{3L}{2C} [i_d^2(k+1) - i_d^2(k)] - \frac{3L}{2C} [i_q^2(k+1) - i_q^2(k)] \quad (4.37)$$

Para modelar la ecuación (4.37) se desprecian las pérdidas. El sistema de control manejará estas pérdidas como perturbaciones, por lo que la ecuación (4.37) se reduce a:

$$v_c^2(k+1) = v_c^2(k) - \frac{3T}{C} v_d(k) i_d(k) \quad (4.38)$$

Para obtener una ecuación diferencial lineal se debe seleccionar  $v_c^2$  como la variable de estado. A la ecuación (4.36) se le aumenta el sistema de la ecuación (4.38), por lo que el sistema aumentado queda:

$$\begin{bmatrix} i_d \\ i_{ld} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_{k+1} = \begin{bmatrix} \phi_1 & 0 & 1 & 0 \\ -1 & 1 & 0 & 0 \\ -0.0492 & 0.0039 & 0.3878 & 0 \\ -\frac{3Tv_d}{C} & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_d \\ i_{ld} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_k + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} i_{dr}(k) \quad (4.39)$$

Dado que el perfil de voltaje  $v_d$  se mantiene constante, en la ecuación (4.39) se considerará su valor nominal.

donde:

$$\phi_1 = 0.9433, \quad T = 308.6419753 \mu s, \quad v_d = \sqrt{2} * 120 = 169.7056275 V, \quad C = 1100 \mu F$$

La ecuación (4.39) queda:

$$\begin{bmatrix} i_d \\ i_{ld} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_{k+1} = \begin{bmatrix} 0.9433 & 0 & 1 & 0 \\ -1 & 1 & 0 & 0 \\ -0.0492 & 0.0039 & 0.3878 & 0 \\ -142.8498 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_d \\ i_{ld} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_k + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} i_{dr}(k)$$

La ecuación de salida está dada por:

$$v_c^2(k) = [0 \ 0 \ 0 \ 1] \begin{bmatrix} i_d \\ i_{ld} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_k \quad (4.40)$$

La Figura 4.3 muestra el diagrama a bloques del sistema de control del voltaje del capacitor.

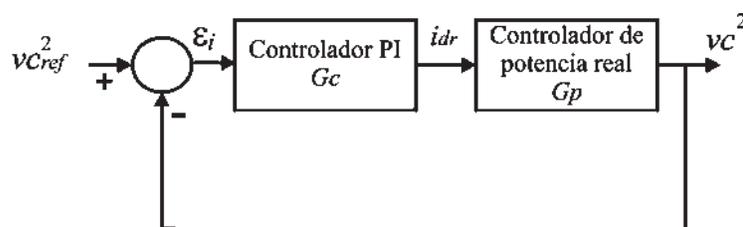


Figura 4.3 Sistema de control del voltaje del capacitor.

Como el controlador *PI* se diseñará en la frecuencia continua, es necesario transformar el sistema discreto en la forma de variables de estado a la forma de función de transferencia, para después pasar esta función de transferencia al dominio continuo.

La función de transferencia del sistema discreto se obtiene usando

$$Gp(z) = C(zI - \Phi)^{-1}\Gamma \quad (4.41)$$

$$Gp(z) = [0 \ 0 \ 0 \ 1] \begin{bmatrix} z-0.9433 & 0 & 1 & 0 \\ -1 & z-1 & 0 & 0 \\ -0.0492 & 0.0039 & z-0.3878 & 0 \\ -142.8498 & 0 & 0 & z-1 \end{bmatrix}^{-1} \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix}$$

$$Gp(z) = \frac{-0.5571}{z^4 - 3.3311z^3 + 4.0772z^2 - 2.1572z + 0.4111} \quad (4.42)$$

Transformando al dominio continuo, se tiene

$$Gp(s) = \frac{893.7s^3 - 9.187 \times 10^6 s^2 + 4.545 \times 10^{10} s - 9.358 \times 10^{13}}{s^4 + 2880s^3 + 1.244 \times 10^6 s^2 + 2.022 \times 10^8 s - 0.1955} \quad (4.43)$$

Se desea un sobreimpulso máximo de 1.5%, de la ecuación (4.44) del máximo sobreimpulso [Ogata, 1998] se obtiene un factor de amortiguamiento de  $\zeta = 0.8$ .

$$\zeta = \frac{[\ln(M_p)]^2}{\pi^2 + [\ln(M_p)]^2} \quad (4.44)$$

El margen de fase está dado por la ecuación (4.45) [Ogata, 1998].

$$\gamma = \text{atan} \left( \frac{2\zeta}{\sqrt{\sqrt{1 + 4\zeta^4} - 2\zeta^2}} \right) \quad (4.45)$$

Para un factor de amortiguamiento de  $\zeta = 0.8$ , el margen de fase es  $\gamma = 69.86^\circ$

La frecuencia de cruce de ganancia está dada por [Ogata, 1998]

$$\omega_1 = \frac{6}{t_s \tan \gamma} = 51.05427586 \text{ rad / seg}$$

Para controlar el nivel de voltaje del capacitor se plantea un controlador *PI*, cuya función de transferencia corresponde a un sistema de primer orden y está dada por: [Phillips, 1985] [Duran, 1998]

$$Gc(s) = \frac{a_1 s + a_0}{b_1 s + b_0} \quad (4.46)$$

Donde

$$a_1 = \frac{b_0 - a_0 |Gp(j\omega_1)| \cos \theta}{\omega_1 |Gp(j\omega_1)| \operatorname{sen} \theta} \quad (4.47)$$

$$b_1 = \frac{b_0 \cos \theta - a_0 |Gp(j\omega_1)|}{\omega_1 \operatorname{sen} \theta} \quad (4.48)$$

Donde  $\theta$  es el ángulo del controlador a la frecuencia de cruce de ganancia y está dado por

$$\theta = \angle Gc(j\omega_1) = 180^\circ + \gamma - \angle Gp(j\omega_1) \quad (4.49)$$

La función de transferencia general de un controlador *PI* está dada por

$$Gc(s) = K_p + \frac{K_I}{s} = \frac{K_p s + K_I}{s} \quad (4.50)$$

Para poder igualar la ecuación (4.46) con la ecuación (4.50) se hace que  $b_0 = 0$  y  $a_0 = 1$ , ecuación (4.50) se reduce a:

$$Gc(s) = \frac{a_1 s + a_0}{b_1 s} = \frac{a_1 s + 1}{b_1 s}$$

Comparando ambas expresiones se obtienen las ganancias proporcional e integral

$$K_p = \frac{a_1}{b_1} \text{ y } K_I = \frac{a_0}{b_1} = \frac{1}{b_1}$$

El controlador *PI* básicamente es un controlador con retraso en fase y debe cumplir las siguientes condiciones: [Phillips, 1985]

$$\theta < 0; \quad |Gp(j\omega_1)| > \frac{1}{a_0}; \quad \angle Gp(j\omega_1) > -180^\circ + \gamma; \quad \cos \theta < a_0 |Gp(j\omega_1)| \quad (4.51)$$

La frecuencia de cruce de ganancia con la que se cumplen los parámetros de desempeño deseados es  $\omega_1 = 51 \text{ rad / seg}$ .

A continuación se presenta el diseño del controlador *PI*

$$Gp(s) = \frac{893.7s^3 - 9.187 \times 10^6 s^2 + 4.545 \times 10^{10} s - 9.358 \times 10^{13}}{s^4 + 2880s^3 + 1.244 \times 10^6 s^2 + 2.022 \times 10^8 s - 0.1955}$$

Haciendo  $s = j\omega_1$

$$Gp(j\omega_1) = \frac{893.7(j\omega_1)^3 - 9.187 \times 10^6 (j\omega_1)^2 + 4.545 \times 10^{10} (j\omega_1) - 9.358 \times 10^{13}}{(j\omega_1)^4 + 2880(j\omega_1)^3 + 1.244 \times 10^6 (j\omega_1)^2 + 2.022 \times 10^8 (j\omega_1) - 0.1955}$$

Sustituyendo  $\omega_1 = 51 \text{ rad / seg}$ , se tiene

$$Gp(j\omega_1) = 2981.6 + j8451.9$$

Ahora se obtiene su magnitud y ángulo

$$|Gp(j\omega_1)| = 8962.4$$

$$\angle Gp(j\omega_1) > 70.5684^\circ$$

Se calcula el ángulo del controlador a la frecuencia de cruce de ganancia

$$\theta = 180^\circ + \gamma - \angle Gp(j\omega_1) = 180^\circ + 69.86^\circ - 73.1968^\circ = 179.2916^\circ$$

Como  $\theta < 0$ ,  $\theta = 179.2916^\circ - 360^\circ = -180.7084^\circ$

Calculando las constantes  $a_1$  y  $b_1$ , recordar que  $a_0 = 1$  y  $b_0 = 0$

$$a_1 = \frac{b_0 - a_0 |Gp(j\omega_1)| \cos \theta}{\omega_1 |Gp(j\omega_1)| \text{sen} \theta} = 1.5858$$

$$b_1 = \frac{b_0 \cos \theta - a_0 |Gp(j\omega_1)|}{\omega_1 \text{sen} \theta} = -14213$$

Evaluando las ganancias proporcional e integral

$$K_p = \frac{a_1}{b_1} = -0.00011157$$

$$K_i = \frac{a_0}{b_1} = \frac{1}{b_1} = -0.000070356$$

Entonces la función de transferencia del controlador *PI* está dada por

$$G_c(s) = \frac{K_p s + K_i}{s} = \frac{-0.00011157s - 0.000070356}{s}$$

La función de transferencia en lazo abierto del Controlador *PI*-Controlador de potencia real está dada por:

$$G_T(s) = G_p(s) * G_c(s) = \frac{-0.09971s^4 + 1025s^3 - 5.07 \times 10^6 s^2 + 1.044 \times 10^9 s + 6.584 \times 10^9}{s^5 + 2880s^4 + 1.244 \times 10^6 s^3 + 2.022 \times 10^8 s^2 - 0.1955s}$$

La función de transferencia en lazo cerrado es

$$G_{TLC} = \frac{G_T(s)}{1 + G_T(s)} = \frac{-0.09971s^4 + 1025s^3 - 5.07 \times 10^6 s^2 + 1.044 \times 10^9 s + 6.584 \times 10^9}{s^5 + 2880s^4 + 1.245 \times 10^6 s^3 + 1.971 \times 10^8 s^2 + 1.044 \times 10^{10} s + 6.584 \times 10^9}$$

Utilizando la *Transformación Bilineal* o de *Tustin* se discretiza el controlador *PI* para implementarlo en el *DSC*. La aproximación de *Tustin* se realiza sustituyendo

$$s = \frac{2}{T} \frac{z-1}{z+1} \quad (4.52)$$

Sustituyendo la aproximación de *Tustin* en la función de transferencia del controlador *PI* en el dominio continuo, se obtiene la función de transferencia del controlador discreto.

$$G_c(z) = \frac{id_r(z)}{\varepsilon_i(z)} = \frac{-0.00011158z + 0.000111559}{z - 1} \quad (4.53)$$

donde

$$\varepsilon_i = vc_{ref}^2 - vc^2 \quad (4.54)$$

Pasando al dominio del tiempo discreto:

$$(z - 1)id_r(z) = -0.00011158z \varepsilon_i(z) + 0.000111559 \varepsilon_i(z)$$

$$id_r(z)z - id_r(z) = -0.00011158z \varepsilon_i(z) + 0.000111559 \varepsilon_i(z)$$

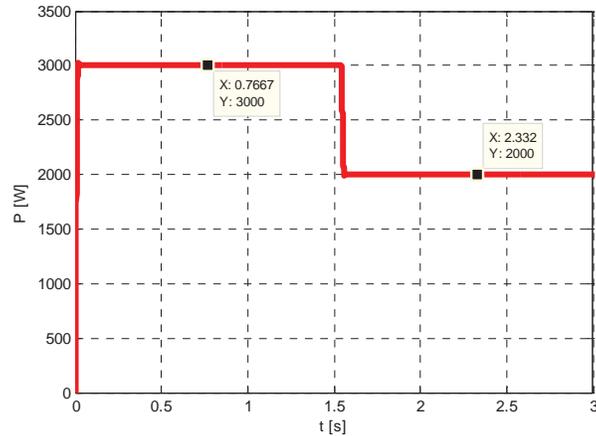
$$id_r(k + 1) = id_r(k) - 0.00011158 \varepsilon_i(k + 1) + 0.000111559 \varepsilon_i(k)$$

Introduciendo un retraso en ambos miembros, la ecuación discreta del controlador de voltaje está dada por:

$$id_r(k) = id_r(k - 1) - 0.00011158 \varepsilon_i(k) + 0.000111559142 \varepsilon_i(k - 1) \quad (4.55)$$

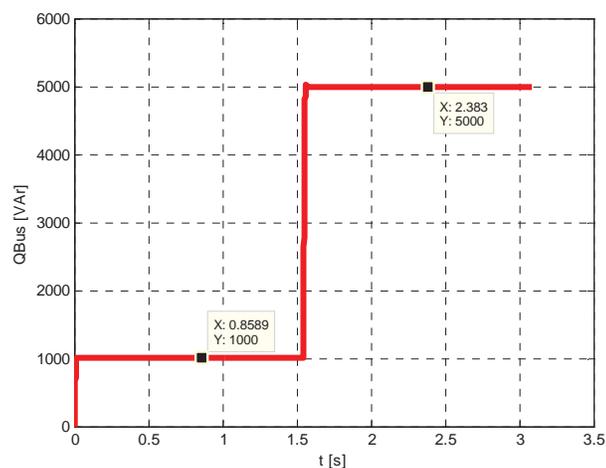
#### 4.5 Simulación digital de los controladores.

El sistema de control diseñado fue simulado usando *MATLAB*. Primero, fueron probados los controladores desacoplados de potencia real y potencia reactiva. Debido a que ambos controladores tienen la misma estructura, sólo los resultados de la simulación del controlador de potencia real son presentados. En esta prueba, este controlador fue simulado asumiendo que el voltaje de *cd* es mantenido constante usando otra fuente de alimentación, que es el caso cuando la estación convertidora del sistema de transmisión *HVDC-VSC* está trabajando como inversor. Primero un cambio en escalón en la referencia de la potencia real de 0 a 3000 W fue aplicado, después el comando de la potencia real fue cambiado a 2000 W en  $t = 1.5432$  s. La Figura 4.4 muestra la respuesta del controlador de potencia real.



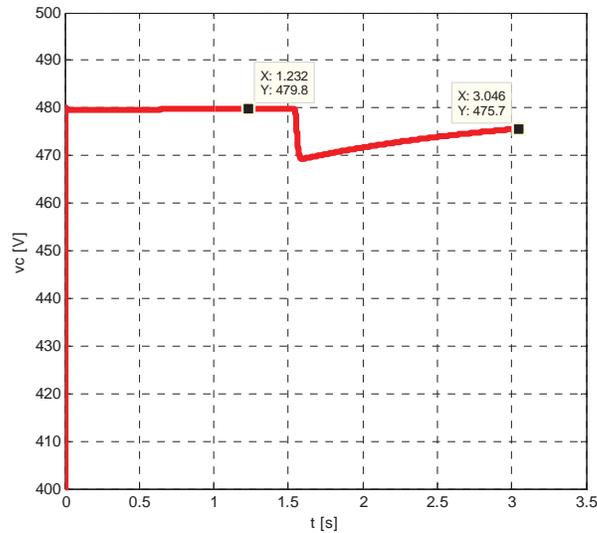
**Figura 4.4** Resultados de la simulación del controlador de potencia real.

Para simular ambos controladores desacoplados (potencia real y potencia reactiva) y el control del voltaje del capacitor, la estación convertidora del sistema de transmisión HVDC-VSC funcionó como un Statcom. En  $t = 0$  el Statcom inicia su operación cargando el capacitor de  $cd$  hasta que alcanza 480V y se establece un comando para alimentar 1000 VARs al sistema de potencia del Statcom. La referencia de potencia reactiva es cambiada de 1000 a 5000 VARs en  $t = 1.5432$  s. La Figura 4.5 muestra que la potencia reactiva alimentada al sistema desde el Statcom sigue las referencias especificadas.



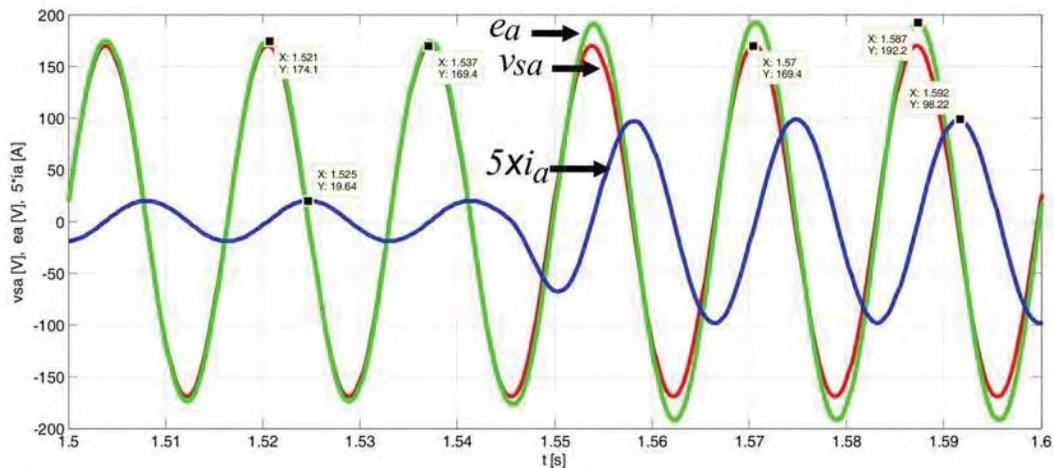
**Figura 4.5** Potencia reactiva absorbida por el sistema.

La Figura 4.6 muestra las variaciones del voltaje del capacitor. Se puede observar que el controlador del voltaje del capacitor hace las correcciones correspondientes para mantener el voltaje del capacitor constante.



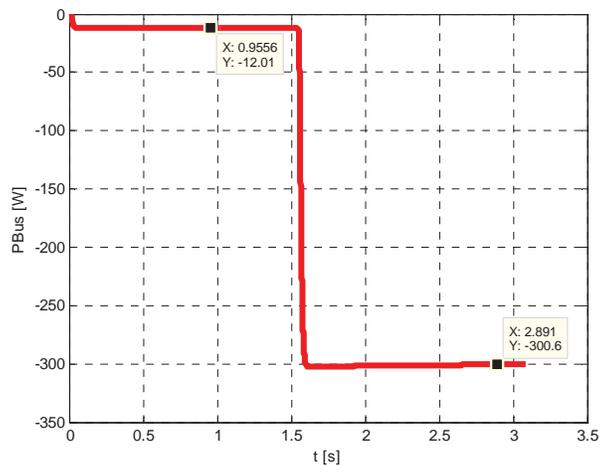
**Figura 4.6** Variaciones en el voltaje del capacitor.

La Figura 4.7 muestra los valores instantáneos del voltaje del bus ( $v_{sa}$ ), el voltaje del inversor ( $e_a$ ), y la corriente de línea ( $i_a$ ) durante la respuesta transitoria del sistema a un cambio escalón en la referencia de potencia reactiva de 1000 a 5000 VARs. Se pueden notar las variaciones en magnitud y en ángulo de fase en el voltaje de salida del VSC y en la corriente de línea, en respuesta a las acciones de control de los controladores.



**Figura 4.7** Respuesta transitoria del sistema a un cambio escalón en la referencia de potencia reactiva

La Figura 4.8 muestra la potencia real que el sistema de potencia alimenta al *Statcom* en respuesta a la acción del controlador del voltaje del capacitor.



**Figura 4.8** Potencia activa alimentada por el sistema de potencia al *Statcom*.

### Resumen del capítulo.

En este capítulo se presentó el diseño detallado del sistema de control de una estación convertidora de un sistema de transmisión *HVDC-VSC*. Los controladores fueron diseñados para ser implementados en un *DSC*. Los controladores desacoplados de potencia real y potencia reactiva fueron diseñados con el método de diseño de colocación de polos usando retroalimentación de estados. Se diseñó un controlador *PI* para el controlador del voltaje del capacitor. Este controlador fue diseñado usando el método de Bode analítico y transformado al dominio en tiempo discreto por medio de la aproximación de *Tustin*. Los resultados de la simulación digital ilustran la efectividad del sistema de control. En el siguiente capítulo se muestran las principales rutinas de software para la implementación del control de una estación convertidora de un sistema de transmisión *HVDC-VSC* en el *DSC TMS320F28335*.

# CAPÍTULO 5

## IMPLEMENTACIÓN DEL CONTROL PARA EL PROTOTIPO DE UNA ESTACIÓN DE UN SISTEMA DE TRANSMISIÓN DEL HVDC-VSC EN UN DSC.

En este capítulo se explica la estructura y las principales rutinas del programa implementado en el *DSC* de punto flotante de 32 bits *TMS320F28335* y se explica a detalle cada una de las funciones que desempeña el *DSC* en una estación convertidora del sistema de transmisión *HVDC* escalado. Esto se realiza auxiliándose de diagramas de flujo y se presentan los códigos más significativos del programa. Las funciones que desempeña el *DSC* en la estación convertidora son: sincronización del voltaje de salida del convertidor con el voltaje del sistema, adquisición y acondicionamiento de señales provenientes de la etapa de instrumentación, cálculo de las acciones de control y generación de las señales *SPWM*.

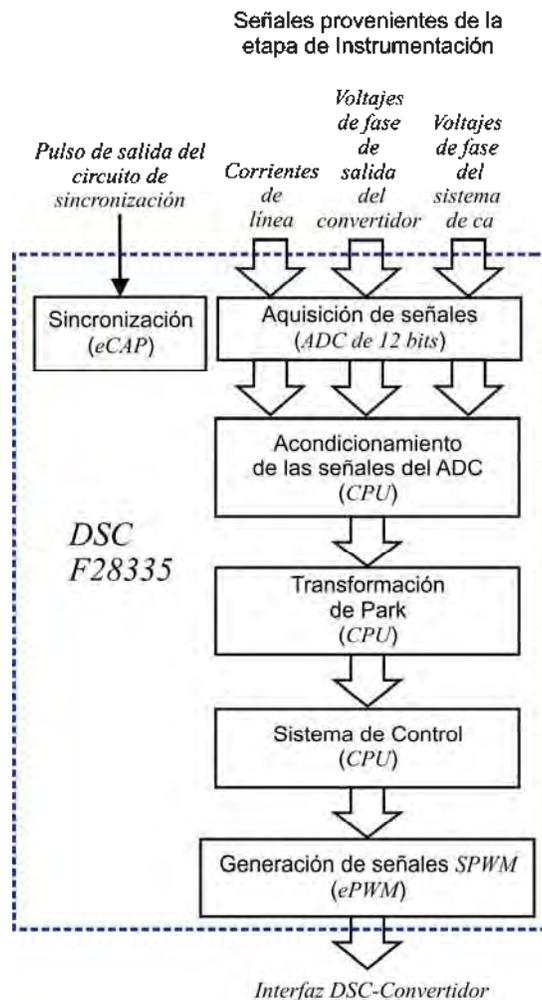
### 5.1 Funciones del DSC en la estación convertidora del sistema escalado HVDC-VSC.

Las funciones que desempeña el *DSC* en cada estación convertidora son:

- 1) Sincronización del sistema de control de la estación convertidora con el voltaje del sistema de *ca*, utilizando su módulo de captura, *eCAP*.
- 2) Adquisición de las señales de voltaje y de corriente provenientes de la etapa de instrumentación, utilizando su módulo *ADC*.
- 3) Acondicionamiento de los valores del *ADC*.
- 4) Cálculo de la transformación de *Park* de las señales adquiridas y acondicionadas.

- 5) Cálculo de las acciones de control.
- 6) Generación de las señales *SPWM*.

La Figura 5.1 muestra el diagrama de bloques de las funciones que desempeña el *DSC* en la estación convertidora, en cada bloque entre paréntesis se especifica el bloque del *DSC* asociado con la función que realiza. En las siguientes secciones se explican cada una estas funciones.



**Figura 5.1** Funciones que desempeña el *DSC* en la estación convertidora.

El programa del *DSC*, se desarrolló en lenguaje *C* en la plataforma computacional **Code Composer Studio** Versión 3.3, que es la herramienta proporcionada por *Texas Instruments* para sus *DSC* de punto flotante.

Para que el *DSC* pueda llevar a cabo sus funciones en una estación convertidora del prototipo *HVDC-VSC*, el programa está ordenado de la siguiente manera (Ver Figura 5.2):

- 1) Se inicializa el sistema de control del *DSC*, es decir, se configura la frecuencia de operación a 150MHz y se habilita el reloj de alta velocidad para el *ADC*.
- 2) Se configuran las terminales de propósito general de entrada-salida (*GPIO*), las terminales de los módulos *ePWM1*, *ePWM2*, y *ePWM3* se utilizan como salidas y la terminal del módulo *eCAP2* se utiliza como entrada.
- 3) Se inicializa la tabla de los vectores de interrupción para los módulos *ePWM1*, *ePWM4*, *eCAP2* y *Timer0*. Se inicializan los periféricos del *DSC* que se van a utilizar (*ePWM1*, *ePWM2*, *ePWM3*, *ePWM4*, *eCAP2* y *Timer0*).
- 4) Se inicializan los valores para la generación de las señales *SPWM*. Se generan y almacenan en memoria la tres tablas que contienen los valores de las señales trifásicas sinusoidales que van a ser utilizadas para la generación de las señales *SPWM*.
- 5) Se habilitan las interrupciones que se van a utilizar (*ePWM1*, *ePWM4*, *eCAP2* y *Timer0*).
- 6) El programa ejecuta un ciclo infinito, esperando que ocurra alguna de las interrupciones que fueron configuradas. Al final del programa se encuentra el código de las rutinas de atención a las interrupciones y las funciones adicionales que se necesitan en las rutinas de atención a las interrupciones.

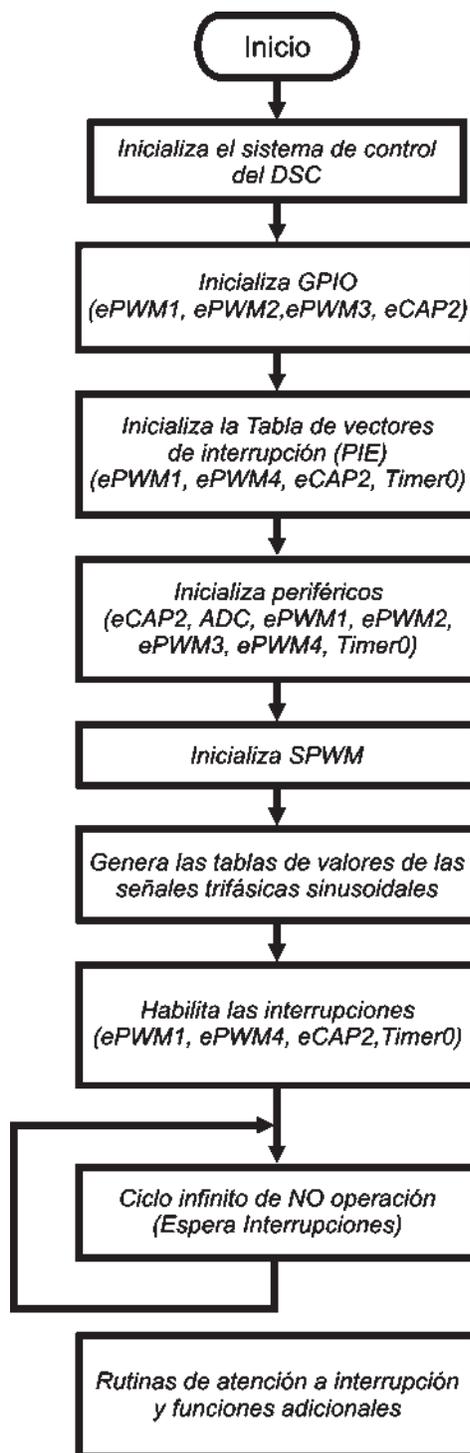


Figura 5.2 Estructura del software diseñado para el DSC.

## 5.2 Sincronización.

Para llevar a cabo el control de potencia real y de potencia reactiva, se requiere sincronizar el sistema de control con el sistema de *ca*, esto es, los voltajes de salida del convertidor deben generarse tomando como referencia el cruce por cero del voltaje de la fase *a* del sistema de *ca*. Esta función se realiza utilizando el módulo de captura *eCAP* del *DSC* [*eCAP*, 2007].

Cuando la terminal asociada con el módulo de captura *eCAP2* (*terminal 21 del conector P8*) recibe el primer flanco de subida de la señal de sincronización proveniente del filtro antirrobote de la etapa de instrumentación, (es decir inicia el semiciclo positivo de la señal sinusoidal de referencia, fase *a*), se genera la interrupción del módulo de captura *eCAP2*. En la rutina de atención a la interrupción se inicializa simultáneamente el conteo de los temporizadores de los módulos *ePWM1*, *ePWM2*, *ePWM3* y *ePWM4*. Los módulos *ePWM1*, *ePWM2* y *ePWM3* se utilizan para la generar las señales *SPWM*, de esta forma se sincronizan inicialmente las señales *SPWM* del convertidor con las señales sinusoidales trifásicas del sistema de *ca*.

Es necesario aclarar que la sincronización se realiza en cada ciclo de la señal sinusoidal de referencia, debido a que la frecuencia de la línea no es constante. Debido a esto, la interrupción del *eCAP2* siempre está habilitada para garantizar la sincronización del convertidor con el sistema. Una bandera de estado definida en el programa verifica si la sincronización es inicial o no.

La sincronización de la estación convertidora en operación se utiliza para implementar el defasamiento calculado en la rutina de control. El defasamiento de la componente fundamental de la señal *SPWM* es implementado utilizando un temporizador de propósito general de 32 bits con el que cuenta el *DSC*, el temporizador utilizado es el *Timer0*. De tal manera que a partir del inicio de un nuevo ciclo de la señal sinusoidal de referencia se mide el defasamiento de las señales *SPWM*. Cuando la terminal asociada con el *eCAP2* recibe un flanco de subida, ocurre una interrupción del *eCAP2*. En la rutina de atención a la interrupción del *eCAP2*, el valor del

defasamiento calculado en la rutina de control es cargado en el registro del periodo del *Timer0*, se inicializa el *Timer0*, se habilita su interrupción y se pone en operación. La interrupción del *Timer0* ocurre cuando la cuenta del contador del *Timer0* es igual al registro del periodo del *Timer0*. En la rutina de atención a la interrupción se inicializa la generación de las señales *SPWM*, es decir, se detienen los temporizadores (*ePWM1*, *ePWM2* y *ePWM3*), se limpian los contadores de los temporizadores, se reinicia la operación de los temporizadores y se detiene el *Timer0*. En la Figura 5.3 se muestran los diagramas de flujo de la rutina de atención a la interrupción del *eCAP2* y la rutina de atención a la interrupción del *Timer0*. Por su parte la Figura 5.4 muestra el código utilizado para la rutina de atención a la interrupción del *eCAP2* y la Figura 5.5 muestra el código utilizado para la rutina de atención a la interrupción del *Timer0*.

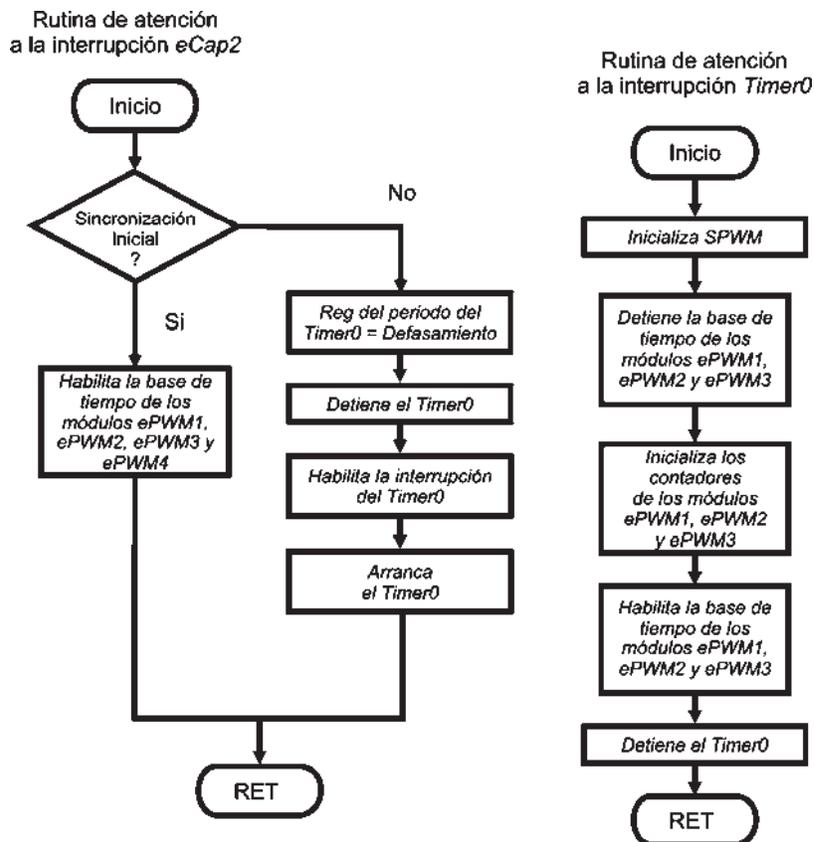


Figura 5.3 Diagramas de flujo de la rutina de atención a la interrupción del *eCAP2* y la rutina de atención a la interrupción del *Timer0*.

```

interrupt void eCap2_isr()
{
    if (Sincroniza == 1)
    {
        EALLOW;
        SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
        EDIS;
        Sincroniza = 0;
    }
    else
    {
        CpuTimer0Regs.PRD.all = Temp_long; // Registro de 32 bits
        CpuTimer0Regs.TPR.all = 0;
        CpuTimer0Regs.TPRH.all = 0;
        CpuTimer0Regs.TCR.bit.TSS = 1; // Timer is stopped:
        CpuTimer0Regs.TCR.bit.TRB = 1; // Reload all counter register with period value:

        CpuTimer0Regs.TCR.bit.SOFT = 0;
        CpuTimer0Regs.TCR.bit.FREE = 0;
        CpuTimer0Regs.TCR.bit.TIE = 1;
        CpuTimer0Regs.TCR.all = 0x4001; // Use write-only instruction to set TSS bit = 0
    }
    time1 = ECap2Regs.CAP1;
    time2 = ECap2Regs.CAP2;
    period = time2 - time1;
    ECap2Regs.ECCLR.bit.CEVT1 = 1;
    ECap2Regs.ECCLR.bit.INT = 1;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP4;
    return;
}

```

Figura 5.4 Código de la rutina de atención a la interrupción del eCAP2.

```

interrupt void cpu_timer0_isr(void)
{
    Tabla = 1;
    Conteo = 0;
    Complemen = 0;
    Comple_Conteo = 0;
    vtri = 23148;
    vtri_l = 0;

    EALLOW;
    SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;
    EDIS;
    EPwm1Regs.TBCTR = 0;
    EPwm2Regs.TBCTR = 0;
    EPwm3Regs.TBCTR = 0;
    EALLOW;
    SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
    EDIS;

    CpuTimer0Regs.TCR.all = 0x0011; // Detiene el temporizador

    // Acknowledge this interrupt to receive more interrupts from group 1
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

```

Figura 5.5 Código de la rutina de atención a la interrupción del Timer0.

### 5.3 Adquisición de las señales.

La adquisición de las señales se realiza utilizando el módulo *ADC* de *DSC* [*ADC*, 2007]. El módulo *ADC* del *TMS320F28335* contiene un convertidor analógico-digital (*ADC*) de 12 bits, así como circuitos analógicos y digitales. Los circuitos analógicos de este módulo incluyen: multiplexores analógicos, circuitos muestreo y retención (*S/H*), reguladores de voltaje, y otros circuitos de soporte analógico. Los circuitos digitales del convertidor incluyen: secuenciadores programables de conversión, registros de resultado, interfaces a circuitos analógicos, interfaz al bus de periféricos del dispositivo e interfaz a otros módulos que se encuentran en el circuito integrado.

El módulo *ADC* tiene 16 canales de entrada, configurables como dos módulos independientes de 8 canales. Los dos módulos independientes de 8 canales pueden ser puestos en cascada para formar un módulo de 16 canales. A pesar de que existen múltiples canales de entrada y dos secuenciadores, existe sólo un convertidor en el módulo *ADC*. Los dos módulos de 8 canales pueden auto secuenciar una serie de conversiones; cada módulo tiene la posibilidad de seleccionar cada uno de los ocho canales respectivos, disponibles a través del multiplexor analógico. En el modo cascada, el auto secuenciador funciona como sólo un secuenciador de 16 canales. En cada secuenciador, una vez que la conversión es completada, el valor del canal seleccionado es almacenado en su respectivo registro *ADCRESULT*. El auto secuenciador permite al sistema convertir múltiples veces el mismo canal, de esta forma el usuario puede ejecutar algoritmos de sobre muestreo. En la Figura 5.6 se ilustra el diagrama a bloques del módulo *ADC*.

El módulo *ADC* incluye las siguientes características:

- Un convertidor analógico a digital de 12 bits conectado a dos circuitos de muestreo y retención (*S/H*, *Sample/Hold*) dual.
- Modos de muestreo simultáneo o secuencial.
- Entrada analógica: 0 a 3 V.
- Tiempo de conversión pequeño, el reloj del *ADC* corre a 12.5 MHz(6.25MSPS)
- 16 canales de entrada multiplexados.

- La capacidad de auto secuenciado proporciona hasta 16 autoconversiones en una sola sesión. Cada conversión puede ser programada para seleccionar cualquiera de los 16 canales de entrada.
- El secuenciador puede ser operado como dos secuenciadores independientes de 8 estados o como un secuenciador grande de 16 estados (dos secuenciadores de 8 estados en cascada).
- Dieciséis registros de resultado (direccionables individualmente) para almacenar los valores convertidos.
- Múltiples fuentes de inicio de conversión (*SOC, Start of Conversion*):
  - SW-Inicio inicio inmediato por software
  - *ePWM* 1-6
  - *GPIO XINT2*

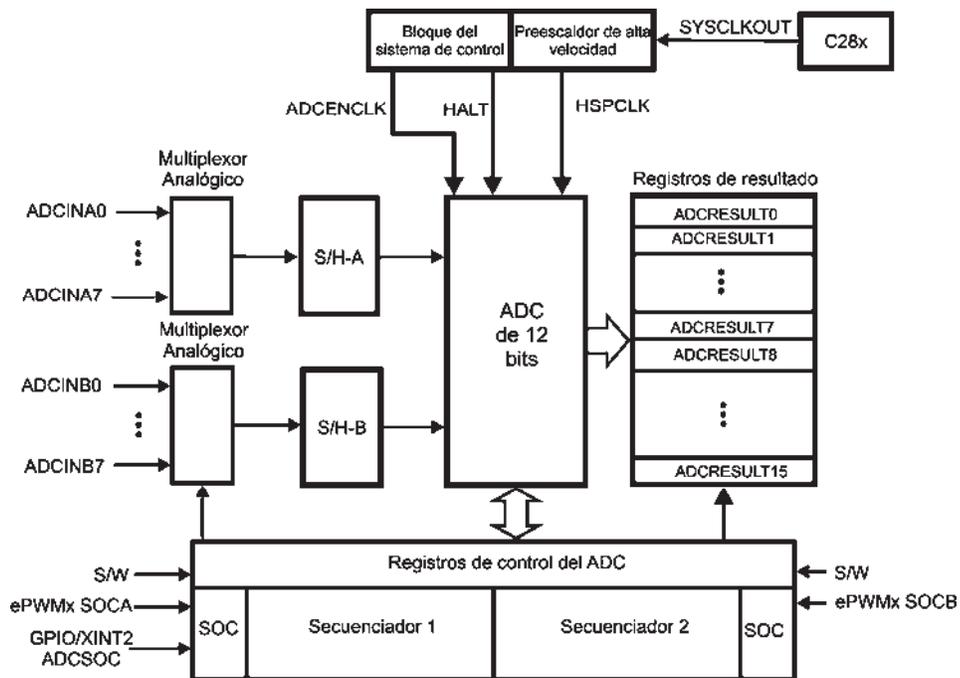


Figura 5.6 Diagrama a bloques del módulo ADC del DSC.

El ADC se configuró para operar en modo de muestreo simultáneo, con el secuenciador en modo cascada, para realizar 8 conversiones dobles y el inicio de conversión habilitado por la

interrupción del módulo *ePWM4* del *DSC*. La frecuencia de muestreo es el doble de la frecuencia de operación del *VSC*, es decir, es igual a 3240Hz. De tal manera que cuando el contador de la base de tiempo del módulo *ePWM4* es igual al periodo especificado ( $TBCTR = TBPRD=46296$ ), se genera la interrupción del *ADC*, e inicia la conversión del *ADC* (*SOC*, por sus siglas en inglés *Start of Conversion*). En la Figura 5.7 se muestra el código utilizado para la configuración del módulo del *ADC*.

```

void Inicia_Adc()
{
    AdcRegs.ADCCTRL3.bit.SMODE_SEL    = 0x1; // Simultaneous sampling mode
    AdcRegs.ADCCTRL1.bit.SEQ_CASC      = 0x1; // 1 Cascaded mode
    AdcRegs.ADCMAXCONV.all             = 0x0007; // 8 dobles conversiones
    AdcRegs.ADCCTRL1.bit.ACQ_PS        = ADC_SHCLK;
    AdcRegs.ADCCTRL3.bit.ADCCLKPS     = ADC_CHKPS;

    AdcRegs.ADCCTRL2.bit.EPWM_SOCA_SEQ1 = 1; // ePWM SOCA enable bit for SEQ1

    AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // Setup conv from ADCINA0 & ADCINB0
    AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // Setup conv from ADCINA1 & ADCINB1
    AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // Setup conv from ADCINA2 & ADCINB2
    AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // Setup conv from ADCINA3 & ADCINB3
    AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x4; // Setup conv from ADCINA4 & ADCINB4
    AdcRegs.ADCCHSELSEQ2.bit.CONV05 = 0x5; // Setup conv from ADCINA5 & ADCINB5
    AdcRegs.ADCCHSELSEQ2.bit.CONV06 = 0x6; // Setup conv from ADCINA6 & ADCINB6
    AdcRegs.ADCCHSELSEQ2.bit.CONV07 = 0x7; // Setup conv from ADCINA7 & ADCINB7
}

```

Figura 5.7. Código para la configuración del *ADC*.

#### 5.4 Acondicionamiento de los valores del *ADC*.

Cuando ha terminado la secuencia de conversión del *ADC*, los valores obtenidos de la conversión del *ADC* son almacenados en los registros de resultados de conversión del *ADC* (registros *ADCRESULT0* al *ADCRESULT10*). En la Tabla 5.1 se muestra la nomenclatura de cada variable eléctrica a medir, su terminal de entrada al *ADC* y el registro donde se almacena su conversión. Sin embargo, estos valores están expresados en la resolución del *ADC*, es decir, están en valores comprendidos entre 0 y 4096. Por lo que es necesario acondicionarlos a los niveles de voltaje del sistema de *ca* para poder utilizarlos en el cálculo de la transformación de *Park*.

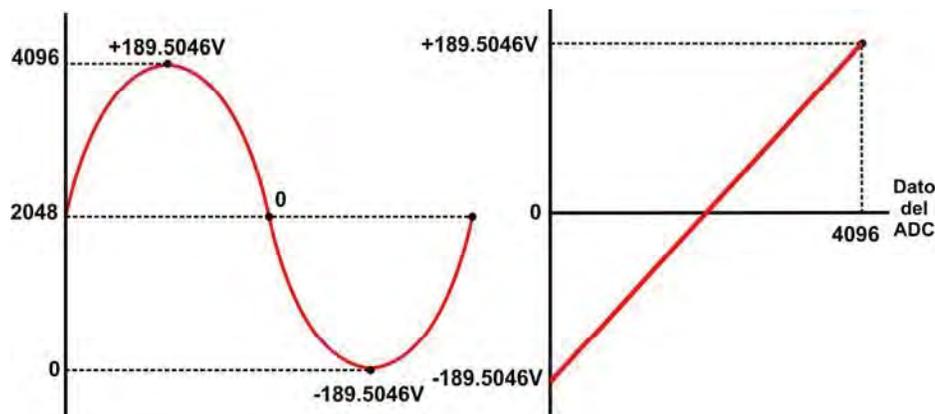
**Tabla 5.1** Resultado de la conversión del ADC.

<i>Variable</i>	<i>Nomenclatura</i>	<i>Terminal de entrada al ADC</i>	<i>Registro</i>
Voltaje de la fase <i>a</i> del sistema de <i>ca</i>	$v_{ma}$	ADCINA0	ADCRESULT0
Corriente de línea <i>a</i>	$i_{ma}$	ADCINB0	ADCRESULT1
Voltaje de la fase <i>b</i> del sistema de <i>ca</i>	$v_{mb}$	ADCINA1	ADCRESULT2
Corriente de línea <i>b</i>	$i_{mb}$	ADCINB1	ADCRESULT3
Voltaje de la fase <i>c</i> del sistema de <i>ca</i>	$v_{mc}$	ADCINA2	ADCRESULT4
Corriente de línea <i>c</i>	$i_{mc}$	ADCINB2	ADCRESULT5
Voltaje de la fase <i>a</i> del convertidor	$e_{ma}$	ADCINA3	ADCRESULT6
Voltaje de la fase <i>b</i> del convertidor	$e_{mb}$	ADCINB3	ADCRESULT7
Voltaje de la fase <i>c</i> del convertidor	$e_{mc}$	ADCINA4	ADCRESULT8
Voltaje de <i>cd</i> en un extremo del enlace	$v_{dc}$	ADCINB4	ADCRESULT9
Corriente en el enlace de <i>cd</i> .	$i_{dc1}$	ADCINA5	ADCRESULT10

En la Tabla 5.2 se muestran las equivalencias de las señales de los voltajes de fase. Por su parte la Figura 5.8 muestra la equivalencia entre el voltaje de fase y el valor de la conversión en el ADC.

**Tabla 5.2.** Equivalencias de las señales para los voltajes de fase.

-189.5046 V	+189.5046 V	Voltaje máximo de <i>ca</i>
-10.3815V	+10.3815V	Salida del transformador reductor para la medición del voltaje de fase
0	3.0V	Entrada máxima permisible en el ADC del DSC
0	4095	Valor máximo de la conversión



**Figura 5.8.** Equivalencias de las señales de los voltajes de fase y el valor de la conversión del ADC.

De la Tabla 5.2 y de la Figura 5.8 se deduce la siguiente expresión:

$$v = \frac{(2)(189.5046)}{4096} (Dato\_v) - 189.5046 \quad [V] \quad (5.1)$$

$$v = [(0.092531542)(Dato\_v)] - 189.5046 \quad [V] \quad (5.2)$$

Donde:

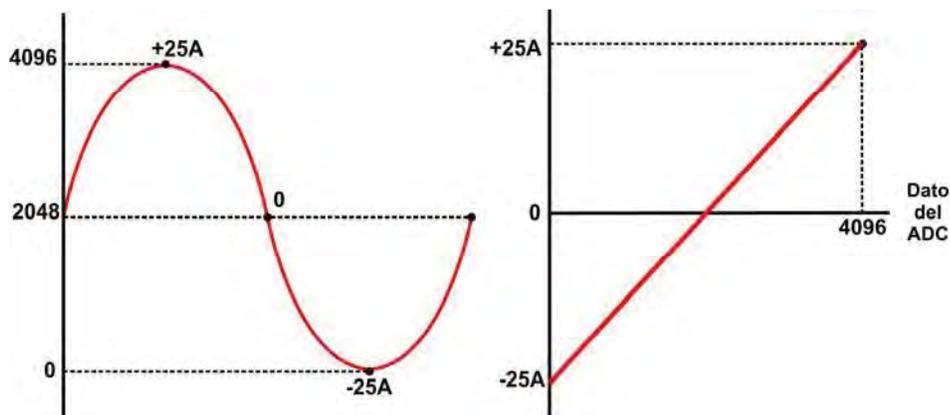
$v$  = Valor del voltaje de fase utilizado para el cálculo de la transformación de Park.

$Dato\_v$  = Valor digital del voltaje de fase resultado de la conversión del ADC.

En la Tabla 5.3 se muestran las equivalencias de las señales de las corrientes de línea. Por su parte la Figura 5.9 muestra la equivalencia entre las corrientes de línea y el valor de la conversión en el ADC.

**Tabla 5.3.** Equivalencias de las señales para las corrientes de línea.

-25A	+25A	Corriente máxima de línea
-1V	1V	Salida del sensor de corriente de efecto Hall ACS754xCB-050
0	3.0V	Entrada máxima permisible en el ADC del DSC
0	4095	Valor máximo de la conversión



**Figura 5.9.** Equivalencias de las señales de las corrientes de línea y el valor de la conversión del ADC.

De la Tabla 5.3 y de la Figura 5.9 se deduce la siguiente expresión:

$$v = \frac{(2)(25)}{4096} (Dato\_i) - 25 \quad [A] \quad (5.3)$$

$$i = 0.012207031 * Dato\_i - 25 \quad [A] \quad (5.4)$$

Donde:

$i$  = Valor de la corriente de línea utilizado para el cálculo de la transformación de *Park*.

$Dato\_i$  = Valor digital de la corriente de línea resultado de la conversión del *ADC*.

Las ecuaciones (5.2) y (5.4), son utilizadas para acondicionar los valores de la conversión del *ADC*. Esto se muestra en la Figura 5.10.

```

void Adc_Conv()
{
    while (AdcRegs.ADCST.bit.INT_SEQ1 == 0) {} // Espera que termine la secuencia de conversión
                                                // (EOS End-of-sequence)
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;
    AdcRegs.ADCCTRL2.bit.RST_SEQ1 = 1;          // Reset SEQ1

    va = ((AdcRegs.ADCRESULT0 >> 4) * 0.092531542) - 189.5046;
    ia = ((AdcRegs.ADCRESULT1 >> 4) * 0.012207031) - 25;

    vb = ((AdcRegs.ADCRESULT2 >> 4) * 0.092531542) - 189.5046;
    ib = ((AdcRegs.ADCRESULT3 >> 4) * 0.012207031) - 25;

    vc = ((AdcRegs.ADCRESULT4 >> 4) * 0.092531542) - 189.5046;
    ic = ((AdcRegs.ADCRESULT5 >> 4) * 0.012207031) - 25;

    ea = ((AdcRegs.ADCRESULT6 >> 4) * 0.092531542) - 189.5046;
    eb = ((AdcRegs.ADCRESULT7 >> 4) * 0.092531542) - 189.5046;
    ec = ((AdcRegs.ADCRESULT8 >> 4) * 0.092531542) - 189.5046;

    vdc = ((AdcRegs.ADCRESULT9 >> 4) * 0.122070312);
    idc = ((AdcRegs.ADCRESULT10 >> 4) * 0.012207031) - 25;
}

```

*Figura 5.10. Acondicionamiento de los valores de la conversión del ADC.*

### 5.5 Cálculo de la transformación de Park y las acciones de control.

El cálculo de la transformación de *Park* se realiza utilizando las ecuaciones obtenidas en el Capítulo 2, en la Sección 2.5, denominada Potencia real instantánea y potencia reactiva

instantánea. En la Figura 5.11 se muestra el código utilizado en el cálculo para calcular la transformación de *Park*.

```

void Park()
{
    vds = (0.6666667 * va) - (0.3333333 * (vb + vc));
    vqs = (0.5773503 * (vb - vc));
    delta = atan2(vqs,vds);

    eds = (0.6666667 * ea) - (0.3333333 * (eb + ec));
    eqs = (0.5773503 * (eb - ec));

    //
    vabs = sqrt(pow(vqs,2)+pow(vds,2));
    eabs = sqrt(pow(eqs,2)+pow(eds,2));

    ids = (0.6666667 * ia) - (0.3333333 * (ib + ic));
    iqs = (0.5773503 * (ib - ic));
    iabs = sqrt(pow(2,iqs) + pow(2,ids));
    theta = atan2(iqs,ids);

    phi = theta - delta;

    id_Park = iabs * cos(phi);
    iq_Park = iabs* sin(phi);

    vq = 0;
}

```

Figura 5.11 Código para calcular la transformación de *Park*.

Para el cálculo de las acciones de control se utilizan los valores resultantes de la transformación de *Park*. El cálculo de las acciones de control se realiza utilizando las ecuaciones obtenidas en el Capítulo 4. En la Figura 5.12 se muestra el código utilizado en el cálculo de las acciones de control. Como resultado de estos cálculos se obtienen el índice de modulación (*ma*) y el ángulo de defasamiento (*alfaDeg*) que debe existir entre el voltaje del sistema de *ca* y el voltaje de salida del inversor. Estos dos parámetros son incluidos en la rutina de generación de las señales *SPWM*.

```

void Action_Ctrl()
{
    error = vc2 - vc2_ant;
    idr = idr_ant - (0.00011158 * error) + (0.00011156 * error_ant); // <--- Para Capacitor de 1100uF
    error_ant = error;
    iqr_ant = iqr;
    iId = iId + idr_ant - id_ant;
    iIq = iIq + iqr_ant - iq_ant;
    idr_ant = idr;
    iDd = ud;
    iDq = uq;

    ed = 169.7 - (0.5685 * id) + (0.0399 * iId) + (3.9676 * iDd) - (1.099 * iq) - (0.0023 * iIq) - (0.2291 * iDq);
    eq = (1.099 * id) + (0.0023 * iId) + (0.2291 * iDd) - (0.5685 * iq) + (0.0399 * iIq) + (3.9676 * iDq);
    et = sqrt((ed * ed) + (eq * eq));

    alfaRad = atan2(eq,ed);
    alfaDeg = (alfaRad * 180) / 3.1416;

    ma = (2 * et) / 480;

    ud = -(0.0492 * id) + (0.0039 * iId) + (0.3878 * iDd);
    uq = -(0.0492 * iq) + (0.0039 * iIq) + (0.3878 * iDq);

    id_sig = (0.9433 * id) + iDd;
    iq_sig = (0.9433 * iq) + iDq;

    vc2_sig = vc2 - (142.8498548 * id) - (0.433501683 * iq * iq) - (4.202385 * ((iq_sig * iq_sig) - (iq * iq)));
    vc2_ant = vc2;
    vc2 = vc2_sig;
    id_ant = id;
    iq_ant = iq;
    id = id_sig;
    iq = iq_sig;
}

```

Figura 5.12 Código para calcular las acciones de control.

## 5.6 Generación de las señales SPWM.

La modulación *SPWM* analógica se lleva a cabo comparando una señal sinusoidal,  $V_{ctrl}$ , contra una señal portadora triangular  $V_{tri}$ . Si  $V_{ctrl} > V_{tri}$  el *IGBT* superior conmuta a encendido y el *IGBT* inferior conmuta a apagado. Ahora, si  $V_{ctrl} < V_{tri}$  el *IGBT* superior conmuta a apagado y el *IGBT* inferior conmuta a encendido.

Para poder implementar la modulación *SPWM* en el *DSC TMS320F28335*, es necesario generar la señal de referencia sinusoidal y la señal portadora triangular, utilizando los recursos del *DSC*.

Inicialmente se explica la forma en que se generan las señales sinusoidales trifásicas, posteriormente se explica la generación de la señal portadora triangular y finalmente explica en detalle la generación de las señales *SPWM* trifásicas.

### 5.6.1 Generación de la señal portadora triangular.

La señal triangular se va generando por medio de la interrupción del temporizador y su valor se va almacenado en una variable, más adelante se explicará esto en detalle. La señal triangular utilizada para la generación de las señales *SPWM*, inicia en el semiciclo negativo, es decir está defasada  $180^\circ$ . La frecuencia de operación de los *VSC* en los sistemas *HVDC-VSC* es inferior a 2kHz y a fin de reducir el contenido armónico en el voltaje de salida del *VSC* se seleccionó una frecuencia de operación de 27 veces la frecuencia fundamental, que es impar y múltiplo de 3 (ver sección 2.2), es decir 1620Hz. La frecuencia de la señal triangular determina la frecuencia de operación del *VSC*, esto es:

$$f_{tri} = 27 * 60Hz = 1620Hz$$

Se definen los valores medio, mínimo y máximo de la señal triangular.

El periodo de la señal triangular está dado por:

$$T_{tri} = \frac{1}{f_{tri}} = \frac{1}{1620} = 617.2839\mu s$$

La mitad del periodo corresponde a:

$$\frac{T_{tri}}{2} = \frac{617.2839\mu s}{2} = 308.6419\mu s$$

Un cuarto del periodo corresponde a:

$$\frac{T_{tri}}{4} = \frac{617.2839\mu s}{4} = 154.3209\mu s$$

El número de cuentas o pulsos de reloj que deben transcurrir para que se genere un cuarto de ciclo de la señal triangular está dado por:

$$\text{Número de cuentas} = \frac{154.3209\mu s}{6.6667ns} = 23148.1481 \cong 23148$$

En base al número de cuentas que trascurren para generar un cuarto de ciclo de la señal triangular se definen los valores medio, mínimo y máximo de la señal triangular. El valor mínimo es cero, el valor medio es 23148 y el valor máximo en 46296. Esto se ilustra en la Figura 5.13.

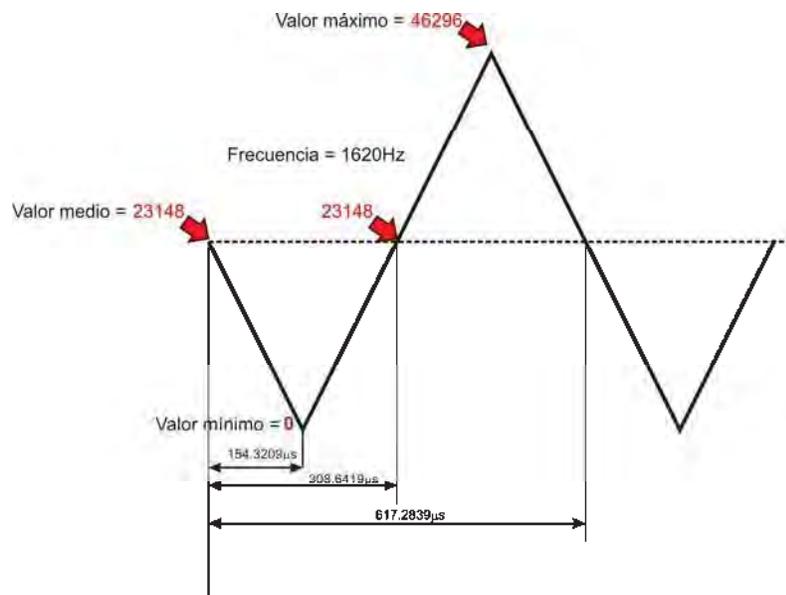


Figura 5.13. Señal portadora trifásica de 1620Hz

### 5.6.2 Generación de la señal moduladora.

Se generan tres tablas de búsqueda que contienen 500 valores de la onda seno, una por cada fase, desplazadas  $120^\circ$  una respecto a la otra. Cada vez que una interrupción del módulo *ePWM1* ocurre (cada  $33.333\mu s$ ), se obtiene un valor de la tabla. De esta manera después de

500 interrupciones, se completa un ciclo de 60Hz. Los valores almacenados en las tablas se calculan a partir de las siguientes expresiones:

$$Va = \left[ 23148 * \text{sen} \left( n * \frac{2\pi}{500} \right) \right] + 23148 \tag{5.5}$$

$$Vb = \left\{ 23148 * \text{sen} \left[ \left( n * \frac{2\pi}{500} \right) - 2.094395102 \right] \right\} + 23148 \tag{5.6}$$

$$Vc = \left\{ 23148 * \text{sen} \left[ \left( n * \frac{2\pi}{500} \right) + 2.094395102 \right] \right\} + 23148 \tag{5.7}$$

Donde

$n$  = Enésimo elemento del tabla.

De tal manera de las señales sinusoidales trifásicas están centradas en 23148. El valor pico del semiciclo positivo de las tres fases corresponde a 46296 y el valor pico del semiciclo negativo corresponde a cero. En la Figura 5.14, se muestra la relación que existe entre los valores instantáneos de las formas de onda de las señales sinusoidales trifásicas y los valores almacenados en las tablas.

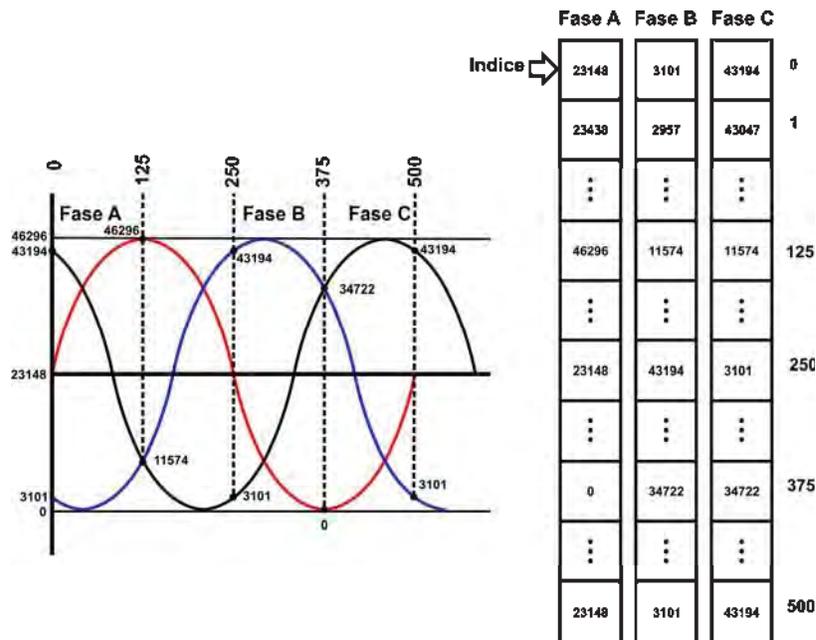


Figura 5.14. Generación de las señales sinusoidales

Para generar las señales sinusoidales trifásicas con una frecuencia de 60Hz, se utiliza un registro índice para obtener simultáneamente los valores instantáneos de las fases  $a$ ,  $b$  y  $c$ , cada  $33.3333\mu s$ . Esto es:

$$\frac{(60)^{-1}}{500} = \frac{16.6667ms}{500} = 33.3333\mu s$$

Considerando que el reloj del  $DSC$  está configurado para operar a 150MHz, cada cuenta del temporizador se realiza en  $6.6667ns$ . De tal forma que  $33.3333\mu s$  equivalen a 5000 cuentas del reloj del  $DSC$ .

$$\text{Número de cuentas} = \frac{33.3333\mu s}{6.6667ns} = 5000$$

### 5.6.3 Comparador para producir las señales SPWM.

La generación de las señales  $SPWM$  trifásicas se realiza por medio de una interrupción. Para generar la interrupción es necesario definir el modo de operación del contador de la base de tiempo, en este caso se seleccionó el modo de conteo ascendente. La interrupción se genera cuando el contador de la base de tiempo del módulo  $ePWM1$  es igual al periodo especificado ( $TBCTR = TBPRD$ ). El valor del periodo con el que se compara el contador es igual a 5000 cuentas. Por lo que el registro de periodo de la base de tiempo,  $TBPRD$ , de los tres módulos  $ePWM$  se inicializa con 5000. Los módulos  $ePWM1$ ,  $ePWM2$  y  $ePWM3$  son utilizados para las señales de las fases  $a$ ,  $b$  y  $c$  respectivamente. [ePWM, 2007].

Cada vez que ocurre una interrupción ( $TBCTR = TBPRD$ ) del módulo  $ePWM1$ , se actualiza el valor de la señal triangular y se calculan los valores de dicha señal para las dos interrupciones siguientes, estos valores se comparan con los valores de las señales sinusoidales de las fases  $a$ ,  $b$  y  $c$ , correspondientes a las dos interrupciones siguientes. Al realizar la comparación se verifica si de una interrupción a otra existe algún cambio en el estado de comparación en alguna de las fases, si  $(Vctrl_x > Vtri)$  cambia a  $(Vctrl_x < Vtri)$  o si  $(Vctrl_x < Vtri)$  cambia a

$(V_{ctrl_x} > V_{tri})$ , o si no existe ningún cambio de una interrupción a otra. Si existe algún cambio en el estado de la comparación en alguna de las fases se hace una interpolación lineal y se calcula en que cuenta del contador ascendente ocurre el cambio y esta cuenta se almacena en el registro *shadow* de comparación y se transfiere al registro activo de comparación cuando el contador llega a su cuenta máxima o bien cuando su cuenta sea cero, a fin de que se programe cuando va a ocurrir una transición en la salida *PWM* del *DSC*. En seguida se configura el modo de activación de la salida *PWM* del *DSC* de tal manera que cuando la cuenta del contador ascendente sea igual a la cuenta almacenada en el registro activo de comparación ocurra una transición en la salida *PWM*, si  $(V_{ctrl_x} > V_{tri})$  se habilita el *IGBT* de la parte alta y si  $(V_{ctrl_x} < V_{tri})$  se habilita el *IGBT* de la parte baja. De tal manera que en cuanto el contador vuelva a iniciar el conteo y su cuenta iguale al valor en el registro activo de comparación, se habiliten las salidas *PWM* del *DSC* como fueron configuradas. Si no existe algún cambio en el estado de la comparación no se realiza ninguna acción. La Figura 5.15 ejemplifica el proceso de la generación de la señal *SPWM*. Es importante aclarar que el tiempo muerto entre el disparo del *IGBT* de la parte superior y el *IGBT* de la parte inferior para cada fase se establece en la rutina de inicialización *SPWM*. Se estableció un tiempo muerto de  $0.8\mu s$  para todas las salidas.

#### 5.6.4 Control del ángulo de fase.

Una vez que el algoritmo de control calcula el ángulo de fase requerido para el intercambio de potencia real, es necesario modificar el ángulo de fase de las señales *SPWM* generadas por el *DSC*. La variación del ángulo de fase se realiza tomando como referencia la señal portadora triangular, obteniéndose una resolución de un ciclo de reloj del *DSC*, es decir  $6.6667ns$ , que corresponden teóricamente a  $0.000144^\circ$  eléctricos a  $60 Hz$ , .

Cada vez que el algoritmo de control actualiza el ángulo de fase, se calculan los nuevos valores de las variables índices de la señal portadora triangular (*vtri*) y de la señal sinusoidal correspondiente (*Tablas de búsqueda*). A continuación se explica el procedimiento utilizado, el cual está integrado en el código para la generación de las señales *SPWM*.

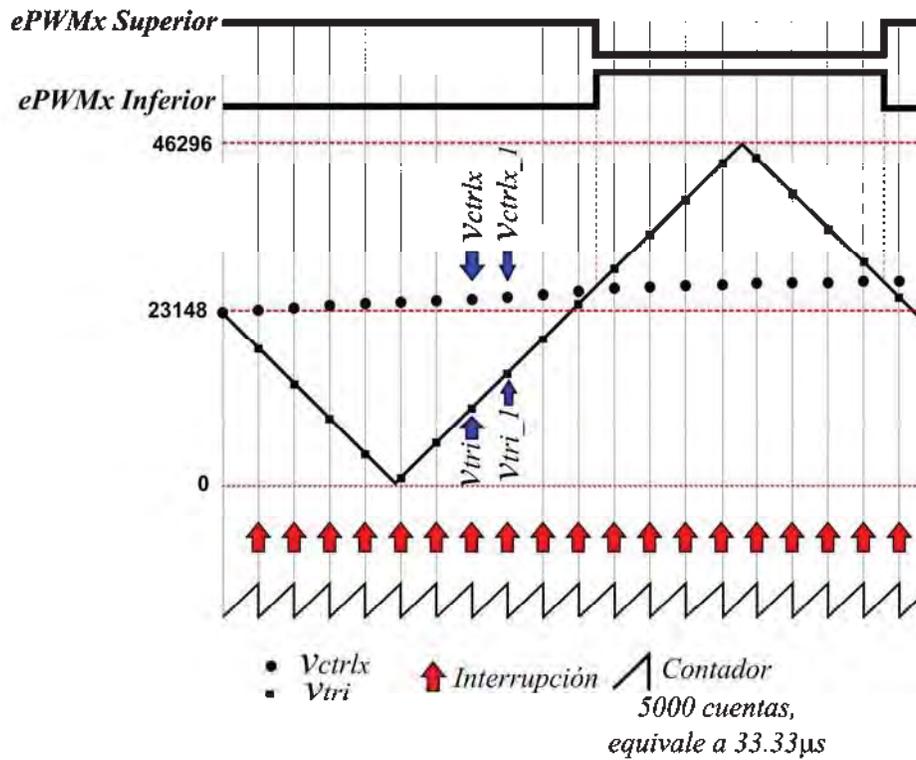


Figura 5.15 Generación de la señales SPWM en el DSC F28335.

Primeramente, se calcula:

$$\Delta\alpha_k = \alpha_k - \alpha_{k-1} \quad (5.8)$$

Donde:

$\Delta\alpha_k$  = Defasamiento de la señal SPWM.

$\alpha_k$  = Ángulo de fase actual de la señal SPWM.

$\alpha_{k-1}$  = Ángulo de fase anterior de la señal SPWM.

### Acción en adelanto

Si  $\Delta\alpha_k > 0$ , se aplica (5.9); es decir, se obtiene la parte entera del cociente del incremento de fase de las señales SPWM entre el número de cuentas de reloj que se programaron para que se genere una interrupción ( $TBCTR = TBPRD$ ) del módulo ePWM1.

Este valor se utiliza para actualizar las variables índices de la señal portadora triangular y de la señal sinusoidal correspondientes.

$$Aux = Int \left( \frac{\Delta\alpha_k}{5000} \right) \quad (5.9)$$

La actualización del índice de la señal portadora triangular se hace aplicando (5.10).

$$vtri = vtri \pm (Aux * 5000) \quad (5.10)$$

Si la señal portadora triangular está en conteo ascendente se realiza la adición en la ecuación anterior. Si el conteo es descendente se utiliza la operación de sustracción.

El índice de la señal sinusoidal se actualiza aplicando (5.11).

$$Tabla = Tabla + Aux \quad (5.11)$$

Finalmente se aplica (5.11) para actualizar el registro de periodo de la base de tiempo,  $TBPRD$  del módulo  $ePWM1$ . Este valor corresponde al valor de la cuenta en la cual ocurrirá la siguiente interrupción ( $TBCTR = TBPRD$ ) del módulo  $ePWM1$ .

$$NextRamp = -\Delta\alpha k + [(Aux + 1) * 5000] \quad (5.12)$$

**Acción en atraso.**

Si  $\Delta\alpha_k < 0$ , en el algoritmo se sustituye las ecuaciones (5.10), (5.11) y (5.12) por (5.13), (5.14) y (5.15), respectivamente.

$$vtri = vtri \pm [(Aux - 1) * 5000] \quad (5.13)$$

$$Tabla = Tabla + (Aux - 1) \quad (5.14)$$

$$NextRamp = -\Delta\alpha k + (Aux * 5000) \quad (5.15)$$

### Resumen del capítulo

En este capítulo se presentaron las principales rutinas que contiene el programa implementado en el *DSC* de punto flotante de 32 bits *TMS320F28335* para el control de una estación convertidora de un sistema de transmisión *HVDC-VSC*. Las principales rutinas presentadas fueron: sincronización del sistema de control con el sistema de *ca*, adquisición y acondicionamiento de señales provenientes de la etapa de instrumentación, cálculo de las acciones de control y generación de las señales *SPWM*. Se presenta a detalle el diseño e implementación de un algoritmo para la generación de señales *SPWM* de alta resolución para el control de *VSCs*. El diseño e implementación aprovecha los recursos integrados en el *DSC* para optimizar el hardware y para lograr una alta resolución en las señales *SPWM* generadas, tanto en lo que respecta a su magnitud, como a su ángulo de fase. El diseño incluye un método de hardware/software para sincronizar el sistema de control con el sistema de potencia de *ca*. En el siguiente capítulo se presenta la implementación del prototipo y las pruebas realizadas.

# CAPÍTULO 6

## IMPLEMENTACIÓN DEL PROTOTIPO Y PRUEBAS

En este capítulo se presentan detalles de la construcción de las etapas del prototipo que se presentaron en el Capítulo 3. Estas son: el sistema de instrumentación, la interfaz *DSC*-convertidor y el convertidor. Además se presentan varios resultados de las pruebas realizadas a las principales rutinas del *DSC* presentadas en el Capítulo 5. Por último se realizan pruebas al ensamble convertidor-tarjeta controladora de *IGBTs* en conjunto con las rutinas de software desarrolladas.

### 6.1 Construcción del sistema de instrumentación.

La construcción del sistema de instrumentación se realizó utilizando placas fotosensibles de 15cm x 25cm por lo que el espacio para la distribución de los componentes es limitado, razón por la cual se decidió separar el sistema de instrumentación en dos placas de circuito impreso. La primera placa contiene los transductores; esto es, los transformadores reductores de voltaje de montaje en circuito impreso, los sensores de corriente de efecto Hall y el amplificador de aislamiento. En la Figura 6.1 se muestra la distribución de los transductores en la placa de circuito impreso. La segunda placa contiene los circuitos para la medición de: los voltajes de fase del sistema de *ca*, los voltajes de fase de salida del convertidor, las corrientes de línea, el voltaje de *cd* y la corriente de *cd*. En la Figura 6.2 se muestra la distribución de las etapas de medición en la placa de circuito impreso.

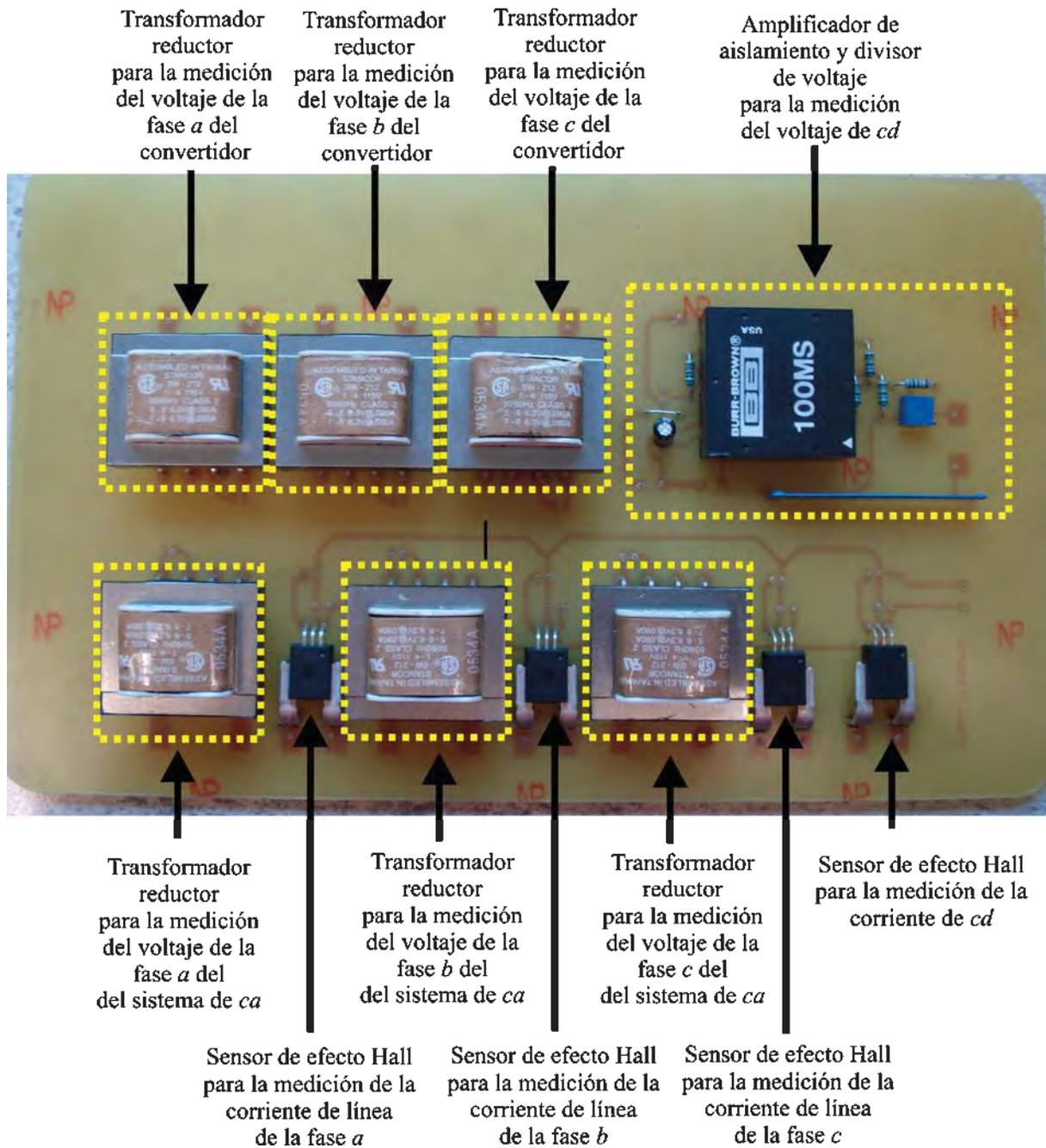


Figura 6.1. Placa de circuito impreso de los transductores del sistema de instrumentación.

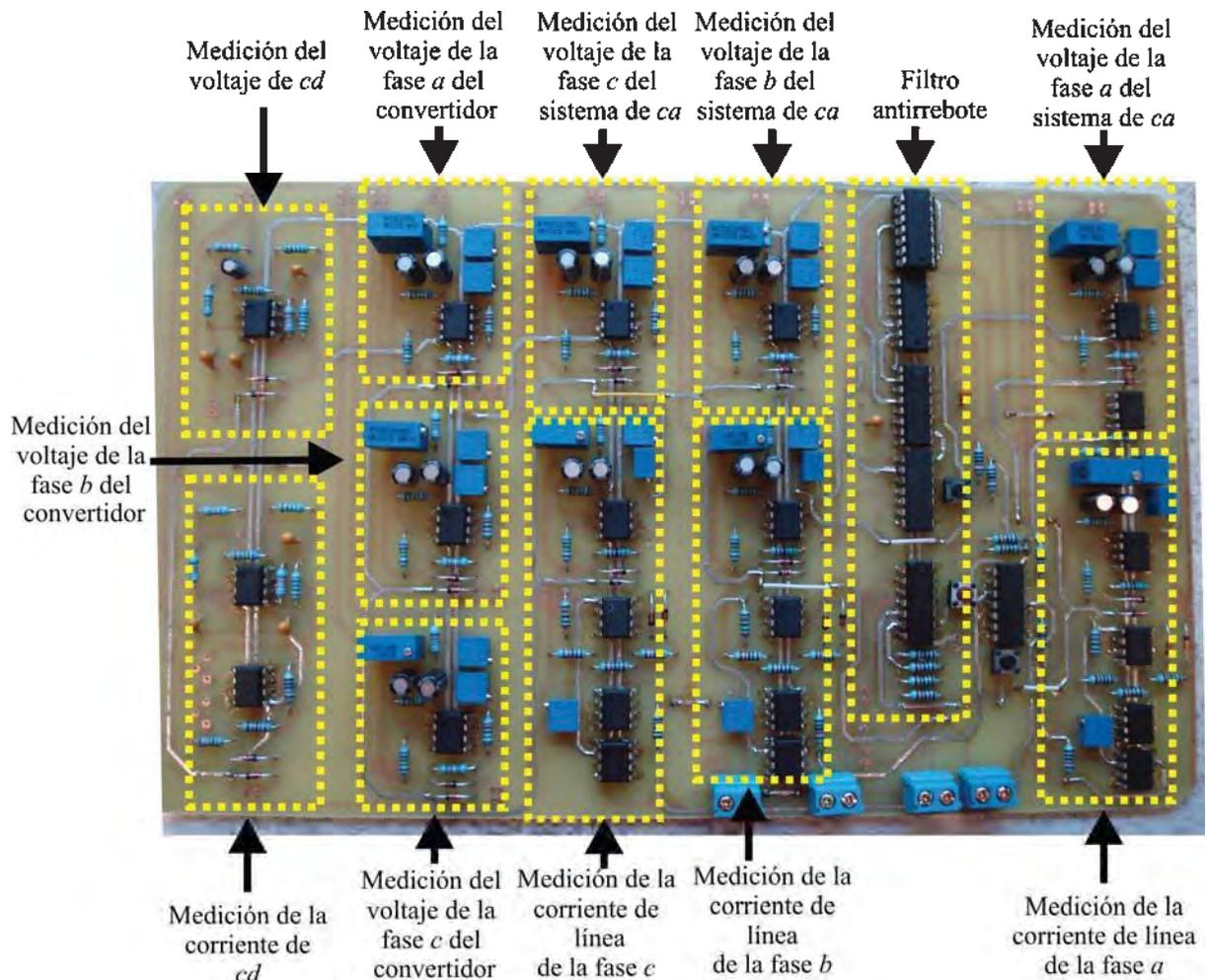


Figura 6.2. Placa de circuito impreso de los circuitos de medición del sistema de instrumentación.

## 6.2 Construcción de la interfaz DSC-convertidor.

La interfaz DSC-convertidor para una estación convertidora está integrada por tres tarjetas controladoras de IGBTs. Para el diseño del circuito impreso se consideraron las recomendaciones sugeridas por el fabricante que listan continuación.

- Reducir el efecto de las inductancias de las terminales del circuito integrado reduciendo la altura del encapsulado al PCB, es decir, no utilizar bases para los circuitos integrados.
- Las pistas de conexión al circuito manejador de compuerta (IR2110) deben ser cortas y directas.

- Utilizar capacitores de tantalio o electrolíticos de buena calidad de  $10\mu\text{F}$  y capacitores de cerámicos de  $0.1\mu\text{F}$  en la salida del reforzador de corriente. Estos capacitores se deben colocar cerca de los *MOSFETs* de salida para nulificar los efectos de las inductancias parásitas. Reducen el zumbido durante el encendido.
- Utilizar pares cortos de cables trenzados firmemente entre la salida de los reforzadores de corriente y los *IGBTs*.

Además de las consideraciones mencionadas, en el diseño de la tarjeta controladora de *IGBTs* se consideró que las señales *PWM* provenientes del *DSC* se conectaran en un lado de la placa (Lado izquierdo de la Figura 6.3) y las señales de salida a los *IGBTs* estuvieran en el lado opuesto (Lado derecho de la Figura 6.3). También se consideró respetar eléctricamente el espacio físico de aislamiento entre la entrada y salida de los opto acopladores, es decir no trazar ninguna pista entre ellos. Para de esta forma garantizar el aislamiento entre el *DSC* y la etapa de potencia. La Figura 6.3 muestra una de las placas de las tarjetas controladoras de *IGBTs*.

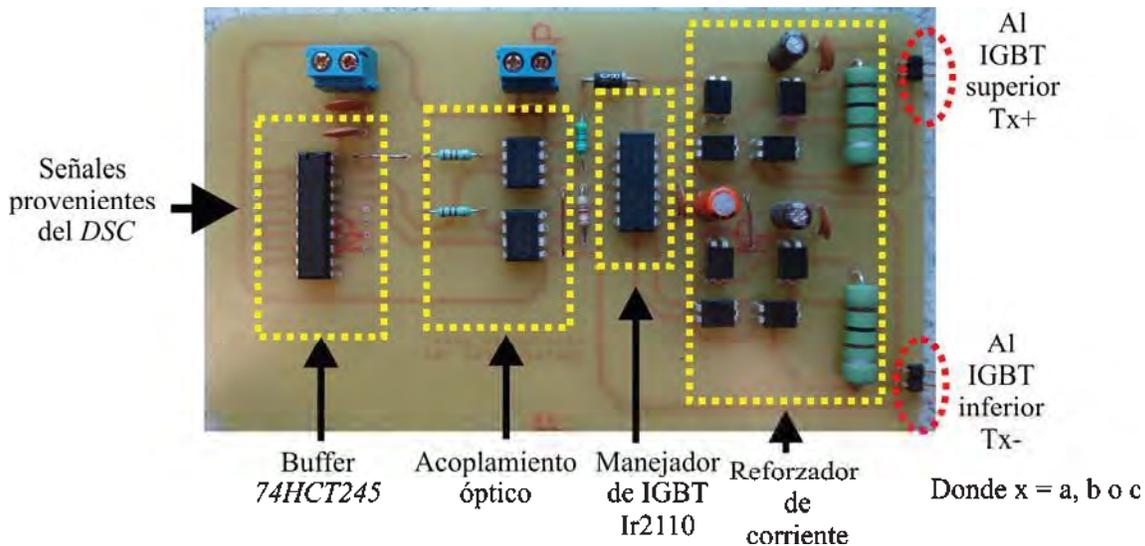


Figura 6.3 Tarjeta controladora de *IGBTs*

### 6.3. Construcción del convertidor.

Para que opere de manera segura y confiable la placa de circuito impreso del convertidor es necesario considerar el mínimo ancho de pista en función de la corriente El mínimo ancho de pista en función de la corriente está dado por: [Kraig, 2007]

$$w = \left( \frac{1}{1.4h} \right) \left( \frac{I}{k \Delta T^{0.421}} \right)^{1.379} \quad (6.1)$$

Donde

$w$  = Mínimo ancho de la pista (*mil*)

$h$  = Espesor del cobre (*oz/ft<sup>2</sup>*)

$I$  = Corriente (*A*)

$k$  = 0.048 para pistas externas y es 0.024 para pistas internas.

$\Delta T$  = Máximo incremento de temperatura permisible

Para calcular el mínimo ancho de pista que se necesita para el diseño de la placa de circuito impreso del puente de *IGBTs*, se consideran los siguientes datos. La corriente nominal de la carga es 8.8A, dando un margen de seguridad mínimo se considera una corriente de 10A. El espesor de cobre de las placas de circuito impreso que se pueden adquirir en el mercado local es de 0.5 *oz/ft<sup>2</sup>* y el máximo incremento de temperatura permisible se recomienda que sea de 10°C.

Por lo que el mínimo ancho de pista es

$$w = \left( \frac{1}{1.4(0.5)} \right) \left( \frac{10}{(0.048)(10)^{0.421}} \right)^{1.379} = 591.4408 \text{ mil}$$

Convirtiéndolo a centímetros

$$591.4408 \text{ mil} \left| \frac{2.54 \times 10^{-3} \text{ cm}}{1 \text{ mil}} \right| = 1.502259632 \text{ cm}$$

Ahora se considera un margen de seguridad de 25A.

$$w = \left( \frac{1}{1.4(0.5)} \right) \left( \frac{25}{(0.048)(10)^{0.421}} \right)^{1.379} = 3705.873287 \text{ mil}$$

Convirtiéndolo a centímetros

$$3705.873287 \text{ mil} \left| \frac{2.54 \times 10^{-3} \text{ cm}}{1 \text{ mil}} \right| = 9.4129 \text{ cm}$$

Se adquirieron algunas placas de circuito impreso de  $1 \text{ oz} / \text{ft}^2$ , calculando primero para una corriente de 10A, el mínimo ancho de pista es

$$w = \left( \frac{1}{1.4(1)} \right) \left( \frac{10}{(0.048)(10)^{0.421}} \right)^{1.379} = 295.7204 \text{ mil}$$

Convirtiéndolo a centímetros

$$295.7204 \text{ mil} \left| \frac{2.54 \times 10^{-3} \text{ cm}}{1 \text{ mil}} \right| = 0.751129816 \text{ cm}$$

Ahora calculando para una corriente de 25A, se tiene

$$w = \left( \frac{1}{1.4(1.0)} \right) \left( \frac{25}{(0.048)(10)^{0.421}} \right)^{1.379} = 1852.936643 \text{ mil}$$

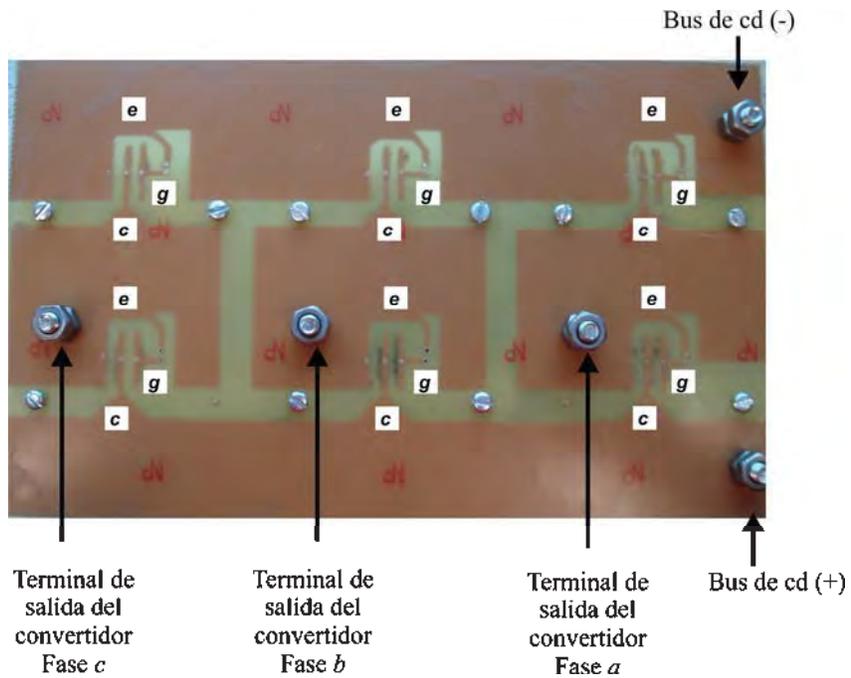
Convirtiéndolo a centímetros

$$1852.936643 \text{ mil} \left| \frac{2.54 \times 10^{-3} \text{ cm}}{1 \text{ mil}} \right| = 4.70645 \text{ cm}$$

Debido a lo anterior, se concluye que es más seguro utilizar un ancho de pista de 5 centímetros para la placa de circuito impreso convertidor, si se utiliza una placa con espesor de cobre de  $1\text{ oz}/\text{ft}^2$ . Además de que el ancho de pista puede llevar de una forma segura la corriente de carga, disminuye la inductancia parásita en la placa disminuyendo de esta forma posibles sobré impulsos de voltajes causados por un  $di/dt$ . El detalle del ancho de pista y la conexión terminales de conexión del convertidor se muestra en la Figura 6.4. De la cual se observa que todas las conexiones en el convertidor se realizan por medio de tornillos y tuercas de sujeción para garantizar un contacto adecuado con los cables de conexión que van hacia el transformador de acoplamiento. Las terminales correspondientes al bus de  $cd$  están en la parte superior e inferior de la placa, por su parte las conexiones hacia el transformador están en la parte central de la placa.

A fin de minimizar los costos de la construcción del convertidor se utilizó como disipador un perfil de aluminio de 5x10x25cm, (ancho x alto x largo) para los *IGBTs* de la parte superior del convertidor (ver Figura 6.5), debido a que la terminal correspondiente al disipador del encapsulado del *IGBT*, corresponde a la terminal del colector. Para cada uno de los *IGBTs* inferiores se utilizó un perfil de aluminio de 5x10x8 cm. El detalle de los disipadores se muestra en la Figura 6.5. También es importante señalar que la distribución de los disipadores permite el uso de ventiladores para enfriar por circulación forzada de aire a los *IGBTs*.

Con la finalidad de no aumentar inductancia adicional a la inductancia interna del emisor, la cual está especificada en 13nH medida del encapsulado a 5mm de la terminal de conexión [Datasheet *IRG4PC40UD*], los *IGBTs* se colocaron lo más cerca posible a la placa de circuito impreso realizando un dobles en escuadra de 3mm a las terminales de conexión como se muestra en la Figura 6.6.

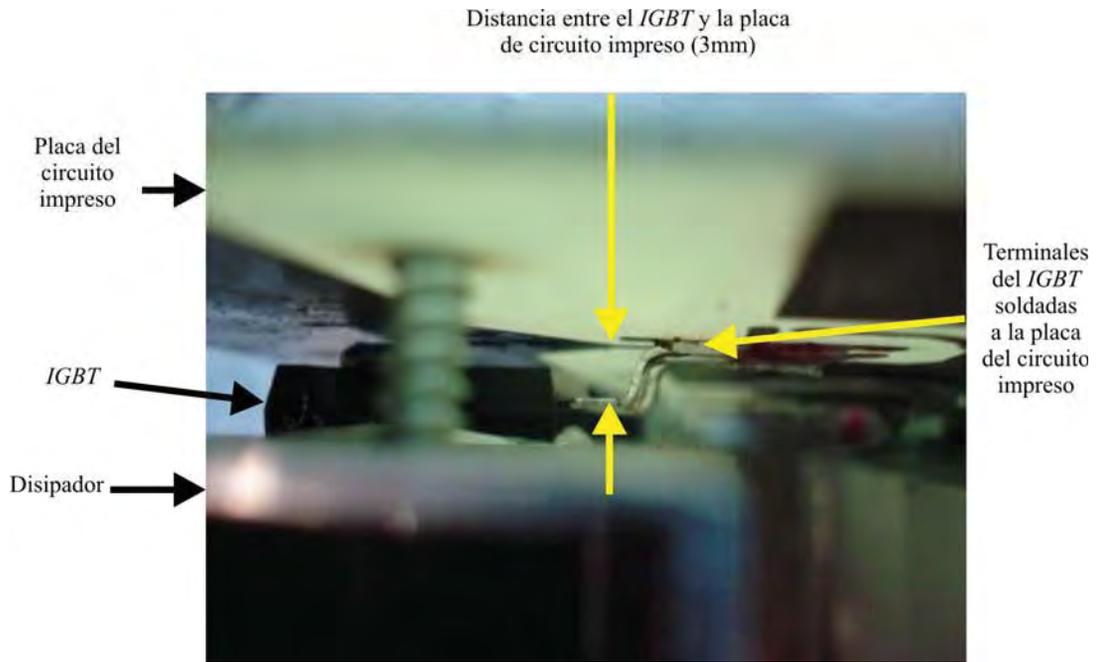


*Figura 6.4. Vista superior de la placa del convertidor.*

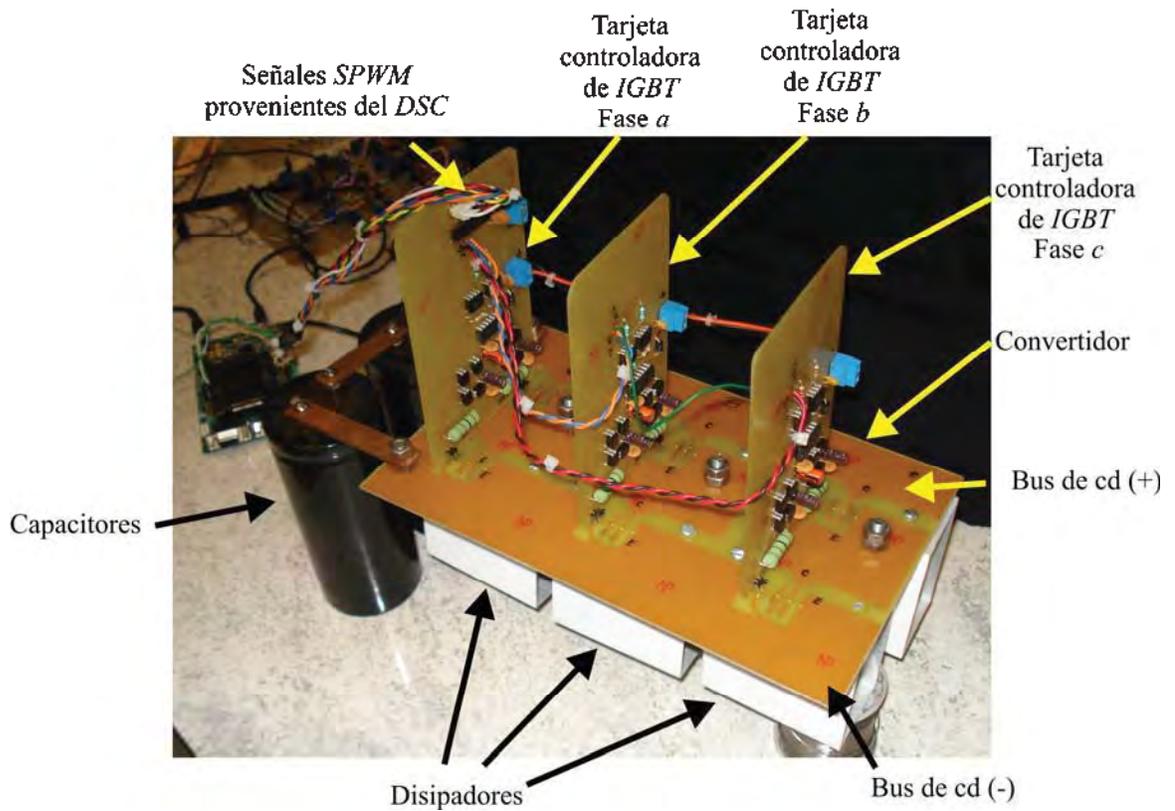


*Figura 6.5. Vista inferior de la placa del convertidor.*

La Figura 6.7 muestra el detalle del ensamble del convertidor y de las tarjetas controladoras de IGBTs, las cuales se ensamblan perpendicularmente a la placa del convertidor. Por su parte los IGBTs y los disipadores están montados en el lado opuesto de la placa del convertidor.



*Figura 6.6. Detalle del montaje de un IGBT.*



*Figura 6.7 Ensamble del convertidor-tarjetas controladoras de IGBTs.*

En la Figura 6.8 se muestra la vista superior del ensamble del convertidor.

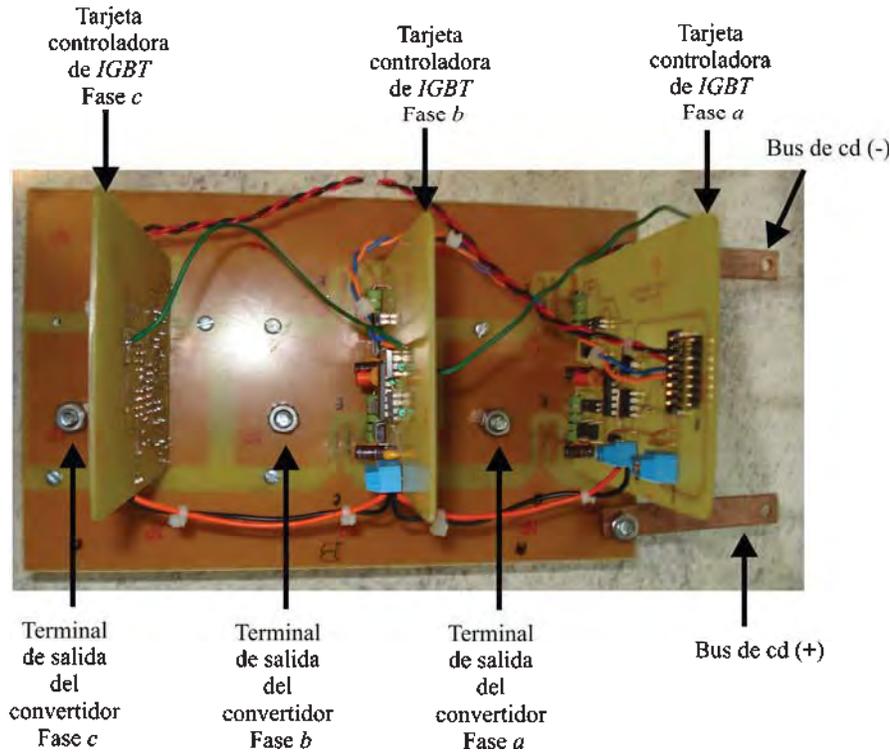


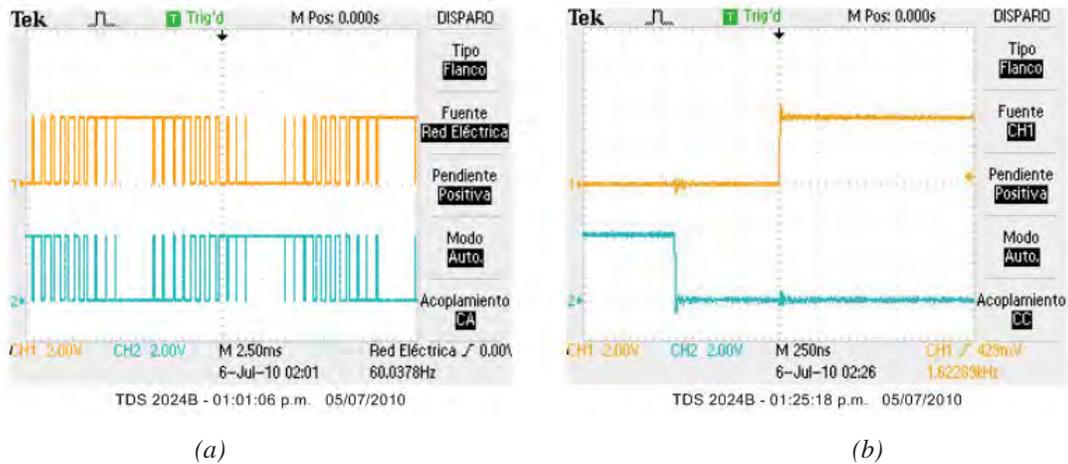
Figura 6.8 Vista superior del ensamble del convertidor-tarjetas controladoras de IGBTs.

#### 6.4 Medición de las señales SPWM generadas con el DSC.

Con la finalidad de comprobar la rutina de la generación de las señales *SPWM* en las terminales del *DSC* (ver sección 5.6), a continuación se muestran las señales *SPWM* medidas en las terminales de la tarjeta de evaluación *eZdsp F28335* [eZdsp, 2007] con el osciloscopio *Tektronix TDS 2024B*. Las formas de onda *SPWM* de las Figuras 6.9 a 6.14 fueron generadas con un  $m_a = 1.0$ .

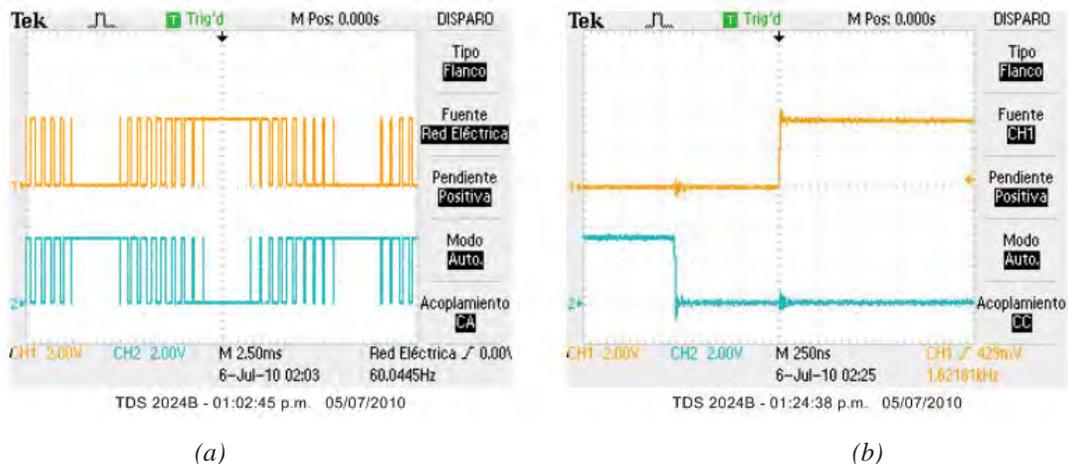
La Figura 6.9(a) muestra las señales *SPWM* correspondiente a la fase *a* para la activación del *IGBT* superior (*TA+*) y del *IGBT* inferior (*TA-*), terminales 9 y 10 del conector *P8* respectivamente. En la Figura 6.9(b) se muestra el tiempo muerto que existe entre las señales *SPWM* de la fase *a*. En la Figura 6.9 la forma de onda del canal 1 del osciloscopio corresponde a señal que activa el *IGBT* superior (*TA+*) de la rama monofásica de la fase *a*. Mientras que la forma de onda del canal 2 corresponde a la señal que activa al *IGBT* inferior (*TA-*) de la rama

monofásica de la fase  $a$ . Ambas formas de onda son complementarias, con un tiempo muerto entre ellas de  $0.65\mu\text{s}$ .



**Figura 6.9.** (a) Señales SPWM correspondientes a la fase  $a$  en las terminal 9 y 10 del conector P8 de la tarjeta de evaluación eZdsp F28335. (b) Tiempo muerto entre las señales de la fase  $a$ .

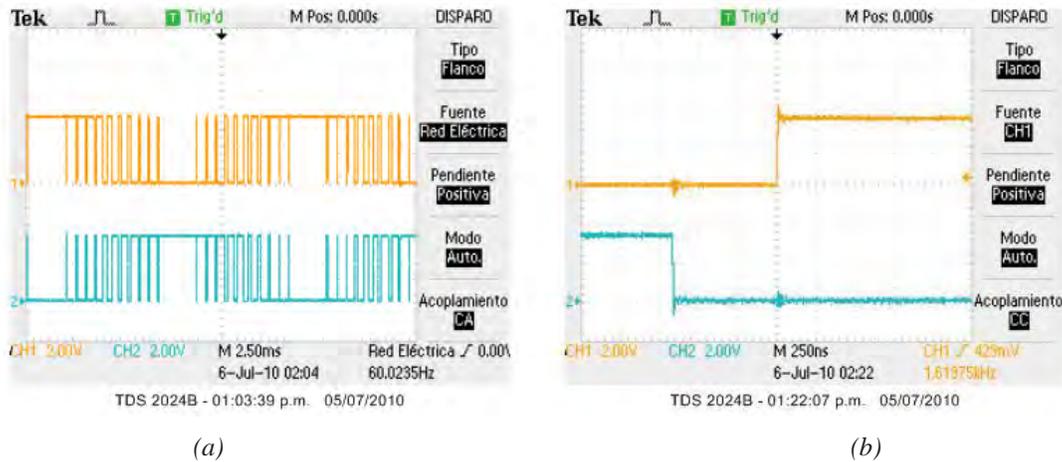
Las señales SPWM correspondientes a la fase  $b$  ( $TB+$  y  $TB-$ ) son mostradas en la Figura 6.10(a) canal 1 y canal 2 respectivamente. Ambas formas de onda son complementarias, con un tiempo muerto entre ellas de  $0.65\mu\text{s}$ . El detalle del tiempo muerto entre ellas es mostrado en la Figura 6.10(b), las formas de onda fueron medidas en las terminales 11 y 12 respectivamente del conector P8 de la tarjeta de evaluación eZdsp F28335.



**Figura 6.10** (a) Señales SPWM correspondientes a la fase  $b$  en las terminal 11 y 12 del conector P8 de la tarjeta de evaluación eZdsp F28335. (b) Tiempo muerto entre las señales de la fase  $b$ .

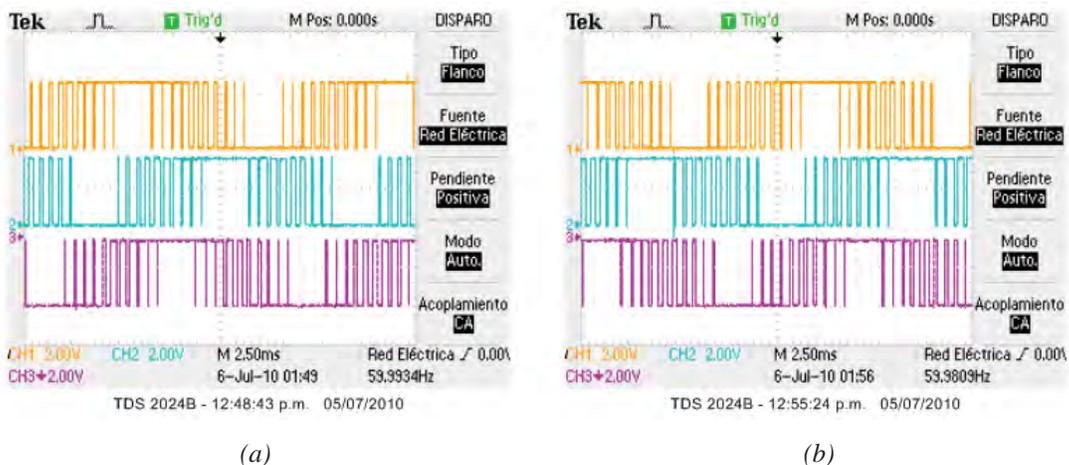
Las señales SPWM correspondientes a la fase  $c$  ( $TC+$  y  $TC-$ ) son mostradas en la Figura 6.11(a) canal 1 y canal 2 respectivamente. Ambas formas de onda son complementarias, con

un tiempo muerto entre ellas de  $0.65\mu\text{s}$ . El detalle del tiempo muerto entre ellas es mostrado en la Figura 6.11(b), las formas de onda fueron medidas en las terminales 13 y 14 respectivamente del conector *P8* de la tarjeta de evaluación *eZdsp F28335*.



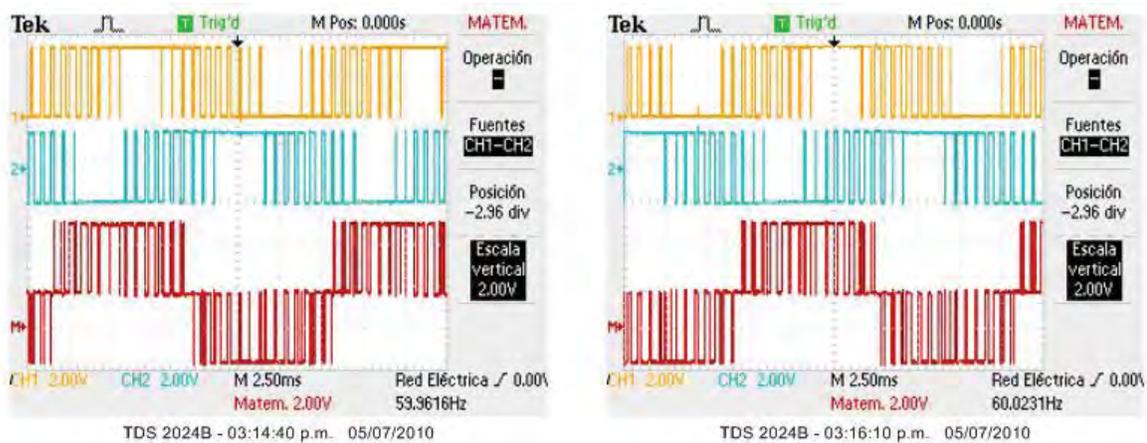
**Figura 6.11** (a) Señales SPWM correspondientes a la fase *c* en las terminal 13 y 14 del conector *P8* de la tarjeta de evaluación *eZdsp F28335*. (b) Tiempo muerto entre las señales de la fase *c*.

La Figura 6.12(a) muestra las señales trifásicas correspondientes a las fases *a*, *b* y *c*, que activan los *IGBTs* superiores de las tres fases, *TA+*, *TB+* y *TC+* respectivamente (canales 1, 2 y 3). La Figura 6.12(b) muestra las señales trifásicas correspondientes a las fases *a*, *b* y *c*, que activan los *IGBTs* inferiores de las tres fases, *TA-*, *TB-* y *TC-* respectivamente (canales 1, 2 y 3). En la Figura 6.12 se observa el defasamiento de  $120^\circ$  entre las tres fases. Los transitorios que se observan en las señales de las Figuras 6.9(b), 6.10(b) y 6.11 (b) son debidos a las conmutaciones de las terminales del *DSC*.



**Figura 6.12.** Señales SPWM trifásicas (a) en las terminales 9, 11 y 13 del conector *P8*; (b) en las terminales 10, 12 y 14 del conector *P8* de la tarjeta de evaluación *eZdsp F28335*.

En la Figura 6.13(a) se muestra las señales *SPWM* correspondientes a la fase *a* y *b* (canal 1 y 2 respectivamente) y la señal *SPWM* correspondiente al voltaje de línea a línea entre las fases *a* y *b* (función *Math* del osciloscopio *Tektronix TDS 2024B*). Por su parte la Figura 6.13(b) muestra las señales *SPWM* correspondientes a la fase *b* y *c* (canal 1 y 2 respectivamente) y la señal *SPWM* correspondiente al voltaje de línea a línea entre las fases *b* y *c*. La Figura 6.14 muestra las señales *SPWM* correspondientes a la fase *c* y *a* (canal 1 y 2 respectivamente) y la señal *SPWM* correspondiente al voltaje de línea a línea entre las fases *c* y *a*.



(a)

(b)

Figura 6.13. Señales *SPWM* de los voltajes de línea a línea entre las (a) fases *a* y *b*; (b) entre las fases *b* y *c*.

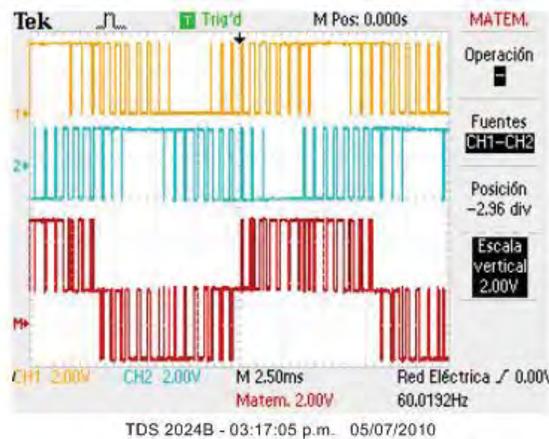


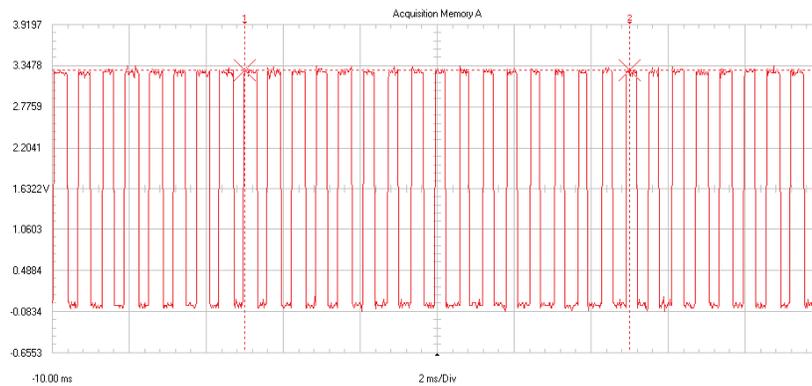
Figura 6.14. Señales *SPWM* de los voltajes de línea a línea entre las fases *c* y *a*.

### 6.5 Análisis armónico de las señales *SPWM* generadas con el DSC.

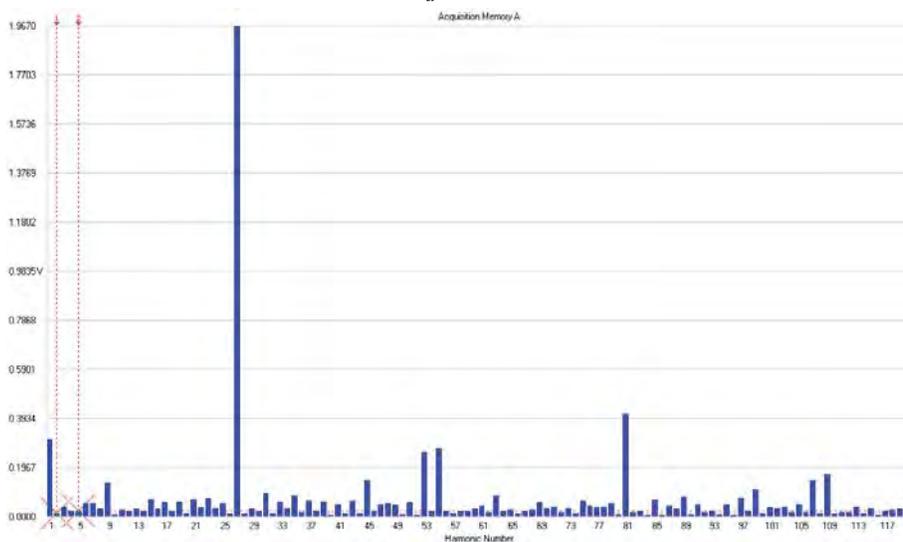
Se realizó un análisis armónico de las señales *SPWM* generadas por el *DSC*. Las Figuras 6.15, 6.17, 6.19, 6.21 y 6.23 muestran las formas de onda de la señal *SPWM* para diferentes valores del índice de modulación,  $m_a = 0.2$ ,  $m_a = 0.4$ ,  $m_a = 0.6$ ,  $m_a = 0.8$  y

$m_a = 1.0$  respectivamente, medidas con el osciloscopio *Fluke 123* en la terminal 9 del conector *P8* de la tarjeta de evaluación *eZdsp F28335*. Las Figuras 6.16, 6.18, 6.20, 6.22 y 6.24 muestran el espectro armónico de las señales *SPWM* de las Figuras 6.15, 6.17, 6.19, 6.21 y 6.23 respectivamente. El espectro armónico se obtuvo fuera de línea con la herramienta computacional *Flukeview ScopeMeter versión 4.5*.

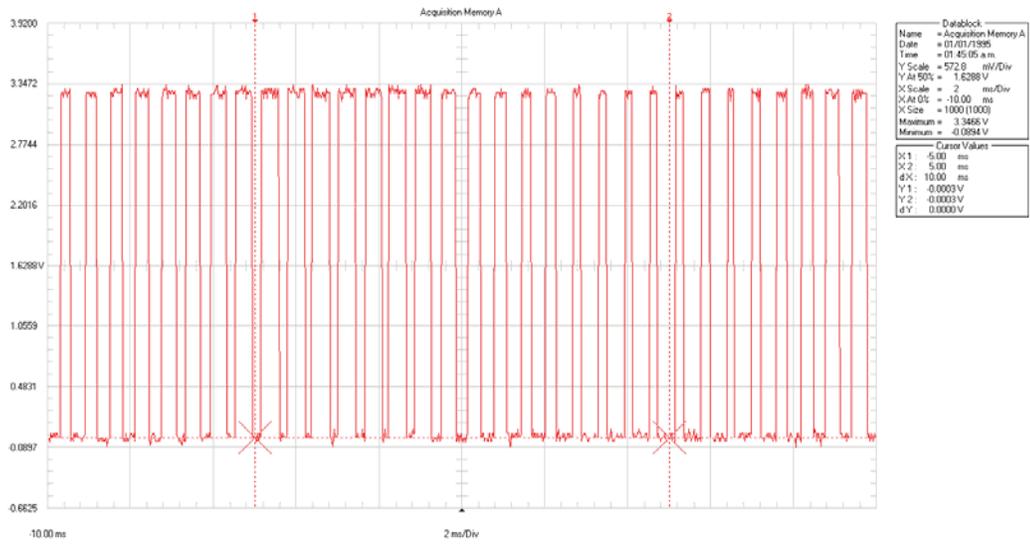
En las Figuras 6.16, 6.18, 6.20, 6.22 y 6.24 el eje horizontal corresponde a las armónicas múltiplos de la frecuencia fundamental de 60Hz. En la Tabla 6.1 se muestra la comparación entre los valores calculados de las componentes armónicas de las señales *SPWM* utilizando la Tabla 2.2 y las componentes armónicas que se obtienen de las señales *SPWM* medidas.



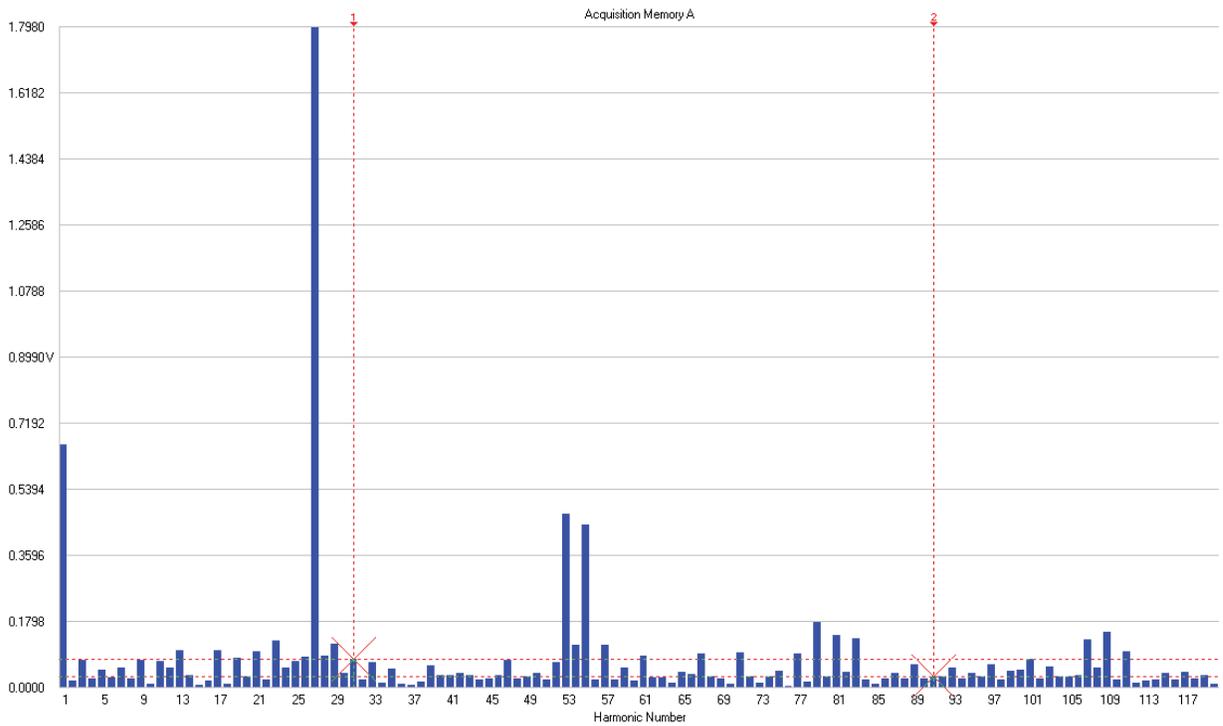
**Figura 6.15.** Señal *SPWM* en la terminal 9 del conector *P8* de la tarjeta de evaluación *eZdsp F28335* para  $m_a = 0.2$



**Figura 6.16.** Espectro armónico Señal *SPWM* en la terminal 9 del conector *P8* de la tarjeta de evaluación *eZdsp F28335* para  $m_a = 0.2$



**Figura 6.17.** Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 0.4$



**Figura 6.18.** Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 0.4$

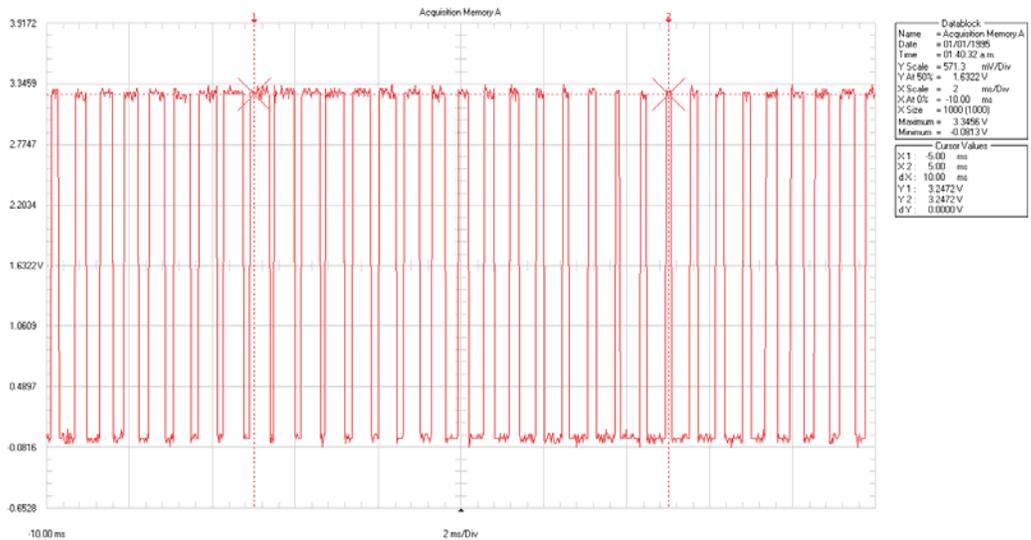


Figura 6.19. Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 0.6$

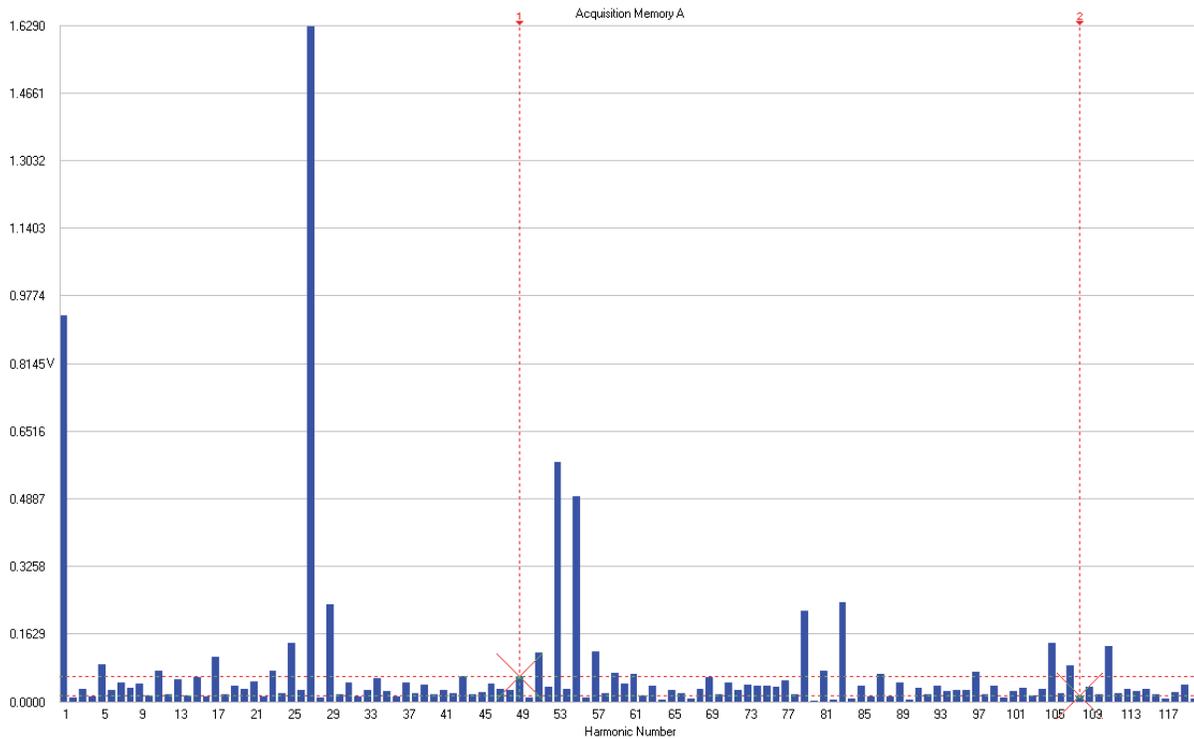


Figura 6.20. Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 0.6$

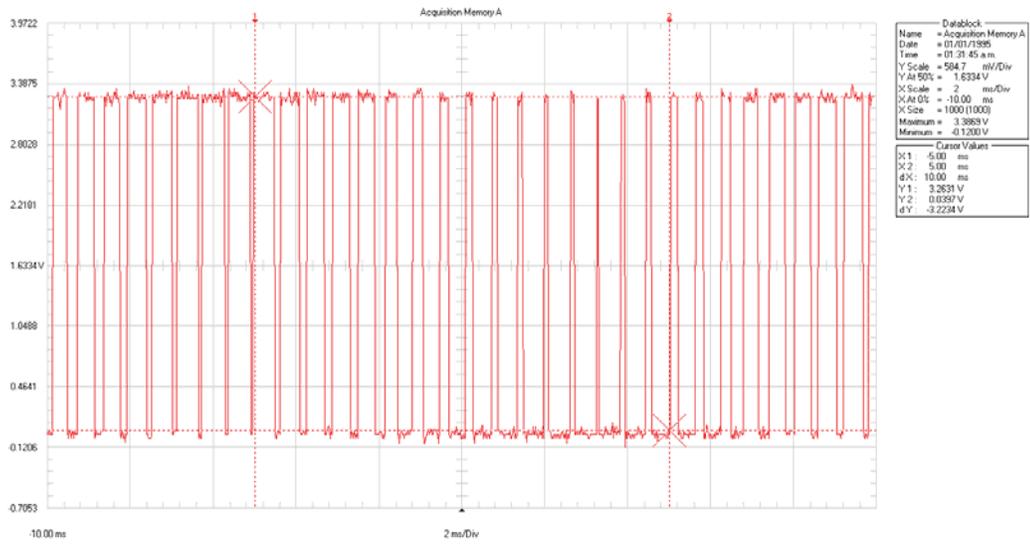


Figura 6.21. Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 0.8$

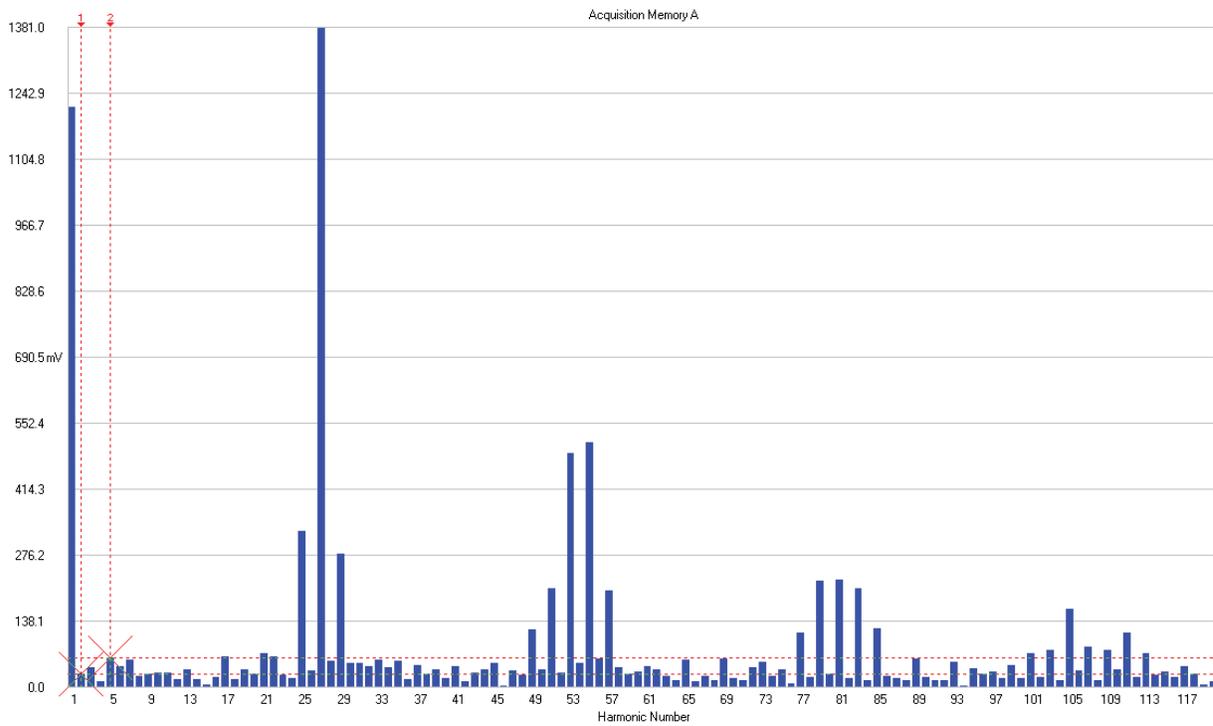


Figura 6.22. Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 0.8$

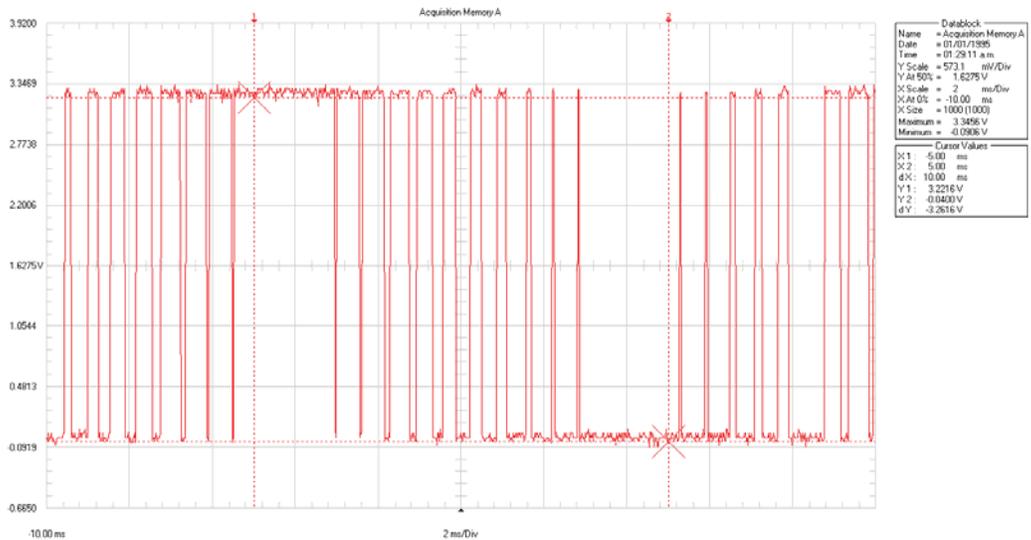


Figura 6.23. Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 1.0$

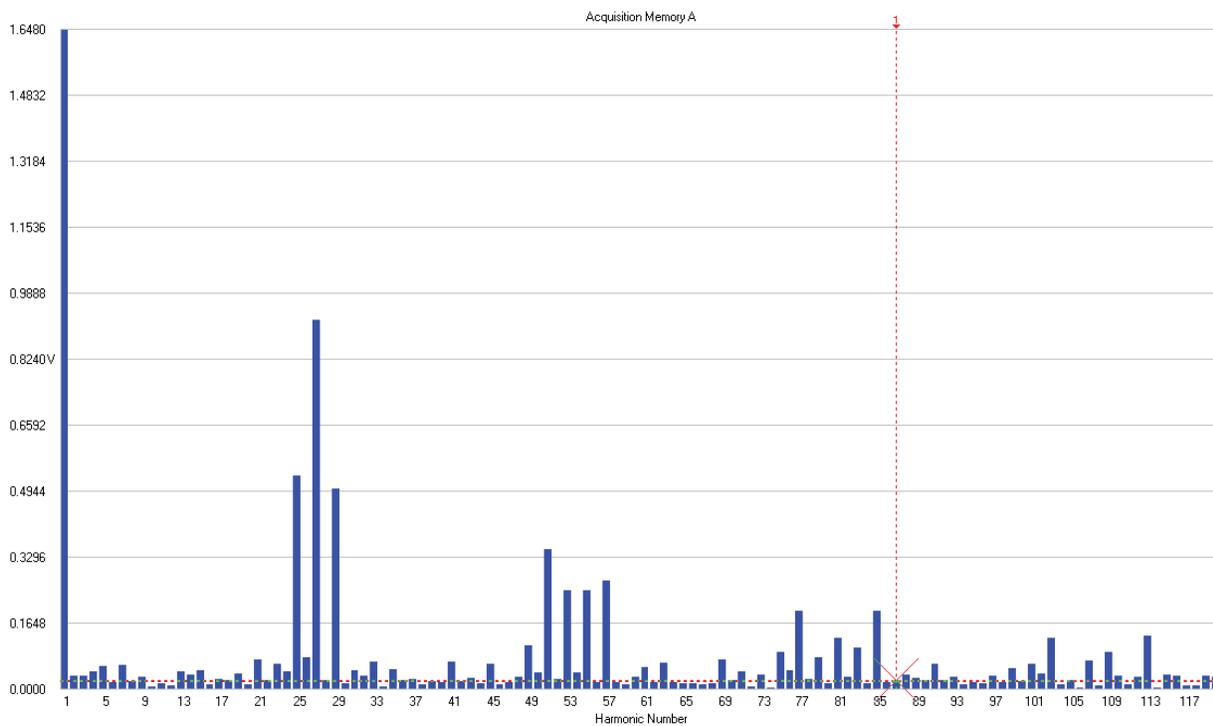


Figura 6.24. Espectro armónico Señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335 para  $m_a = 1.0$

**Tabla 6.1** Comparación de las armónicas calculadas y medidas de la señal SPWM en la terminal 9 del conector P8 de la tarjeta de evaluación eZdsp F28335.

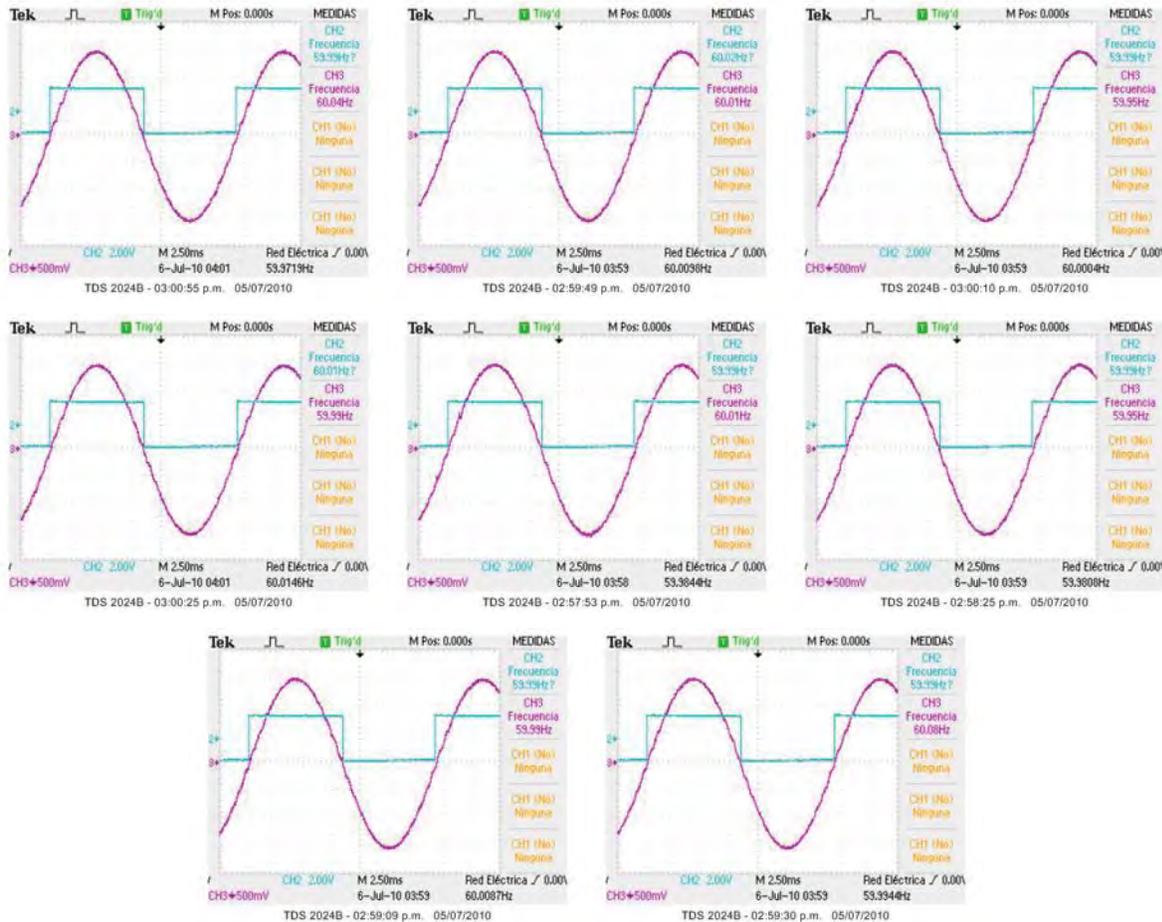
Armónica	frecuencia (Hz)	Teórico	Medido								
Fundamental	60	0.33		0.66		0.99		1.32		1.65	
$mf - 4 = 23$	1380									0.0297	
$mf - 2 = 25$	1500	0.0264		0.10065		0.21615		0.363		0.5247	
$mf = 27$	1620	2.0493		1.8975		1.6599		1.3497		0.99165	
$mf + 2 = 29$	1740	0.0264		0.10065		0.21615		0.363		0.5247	
$mf + 4 = 31$	1860									0.0297	
$2mf - 5 = 49$	2940							0.02145		0.05445	
$2mf - 3 = 51$	3060			0.0396		0.11715		0.22935		0.3498	
$2mf - 1 = 53$	3180	0.3135		0.5379		0.6105		0.5181		0.29865	
$2mf + 1 = 55$	3300	0.3135		0.5379		0.6105		0.5181		0.29865	
$2mf + 3 = 57$	3420			0.0396		0.11715		0.22935		0.3498	
$2mf + 5 = 59$	3540							0.02145		0.05445	
$3mf - 6 = 75$	4500							0.0264		0.0726	
$3mf - 4 = 77$	4620			0.0198		0.07755		0.1716		0.25905	
$3mf - 2 = 79$	4720	0.0726		0.22935		0.33495		0.2904		0.1023	
$3mf = 81$	4860	0.55275		0.20295		0.13695		0.28215		0.18645	
$3mf + 2 = 83$	4980	0.0726		0.22935		0.33495		0.2904		0.1023	
$3mf + 4 = 85$	5100			0.0198		0.07755		0.1716		0.25905	
$3mf + 6 = 87$	5220							0.0264		0.0726	
$4mf - 7 = 101$	6060							0.02805		0.0825	
$4mf - 5 = 103$	6180					0.0561		0.1386		0.19635	
$4mf - 3 = 105$	6300	0.0198		0.1155		0.2178		0.18975		0.01485	
$4mf - 1 = 107$	6420	0.26895		0.25905		0.0132		0.17325		0.1122	
$4mf + 1 = 109$	6540	0.26895		0.25905		0.0132		0.17325		0.1122	
$4mf + 3 = 111$	6660	0.0198		0.1155		0.2178		0.18975		0.01485	
$4mf + 5 = 113$	6780					0.0561		0.1386		0.19635	
$4mf + 7 = 115$	6900							0.02805		0.0825	

De la tabla 6.1 se puede concluir que las armónicas presentes en las señales SPWM generadas por el DSC son aproximadas a las armónicas calculadas. El porcentaje de error absoluto para la frecuencia fundamental (60Hz) está entre 0.06% y 8.09% para  $m_a = 0.4$  y  $m_a = 0.8$  respectivamente. Mientras que, para la armónica correspondiente a la frecuencia de

conmutación del convertidor ( $mf = 27$ ) el porcentaje de error absoluto está entre 1.873% y 7.033% para  $m_a = 0.6$  y  $m_a = 1.0$  respectivamente.

## 6.6 Sincronización de las señales SPWM generadas con el DSC con el sistema de ca.

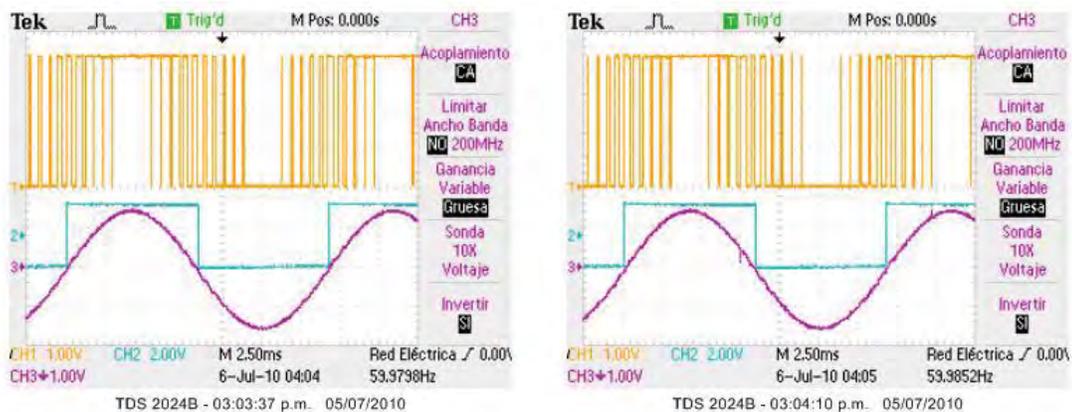
Para demostrar el funcionamiento correcto de la rutina de sincronización del *DSC* (ver sección 5.2), se midió el pulso de salida del filtro antirrobote que es el pulso de referencia de la señal sinusoidal de la fase *a* del sistema de *ca* (ver sección 3.4.1) y se comparó con la señal *SPWM* filtrada con el filtro de banda angosta utilizado en el sistema de instrumentación. La Figura 6.25 muestra estas señales, canal 2 y 3 respectivamente en varios instantes de tiempo. De las gráficas se puede observar que la señal *SPWM* filtrada está sincronizada con el pulso de referencia de la señal sinusoidal de la fase *a* del sistema de *ca*.



**Figura 6.25** Sincronización de la señal *SPWM* filtrada con el pulso de referencia de la señal sinusoidal de la fase *a* del sistema de *ca* en varios diferentes instantes de tiempo.

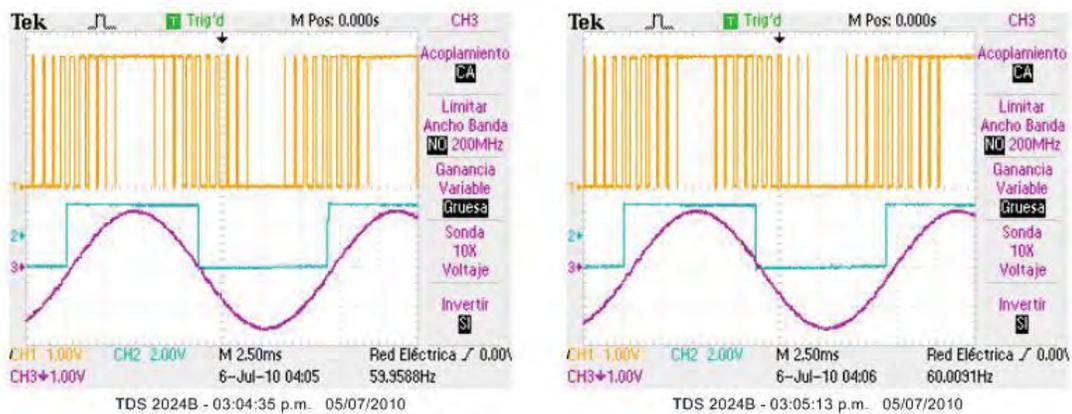
## 6.7 Control del ángulo de fase de las señales SPWM generadas con el DSC.

Para demostrar el funcionamiento de la rutina de control del ángulo de fase (ver sección 5.6.4), se midieron y compararon la señal *SPWM* generada por el *DSC*, la señal *SPWM* filtrada con el filtro de banda angosta utilizado en el sistema de instrumentación y el pulso de salida del filtro antirrebote que es el pulso de referencia de la señal sinusoidal de la fase *a* del sistema de *ca*. Se generó la señal *SPWM* con distintos ángulos de atraso,  $0.1^\circ$ ,  $1^\circ$ ,  $5^\circ$ ,  $10^\circ$ ,  $15^\circ$ ,  $30^\circ$ ,  $45^\circ$ ,  $60^\circ$ ,  $75^\circ$  y  $90^\circ$ . Esto se muestra en las figuras 6.26 y 6.27.



(a) Ángulo de defasamiento de  $0.1^\circ$

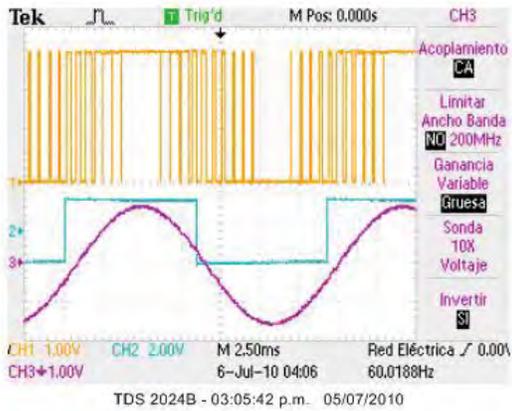
(b) Ángulo de defasamiento de  $1^\circ$



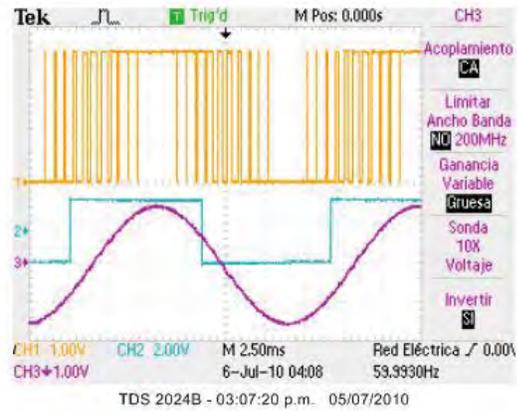
(c) Ángulo de defasamiento de  $5^\circ$

(d) Ángulo de defasamiento de  $10^\circ$

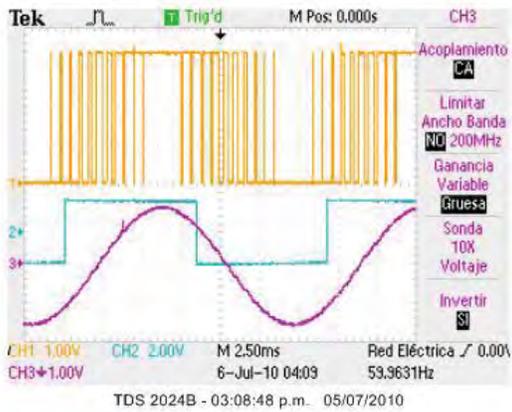
**Figura 6.26.** Señales SPWM generadas con el DSC con varios ángulos de defasamiento en atraso.



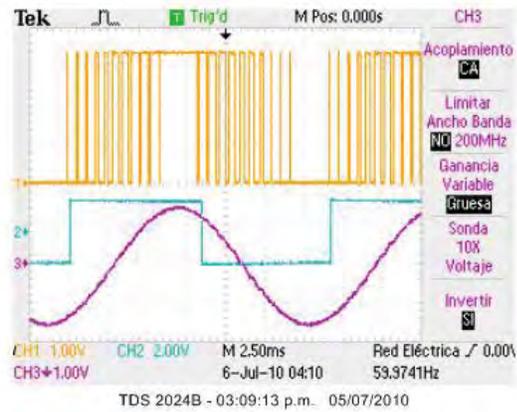
(a) *Angulo de defasamiento de 15°*



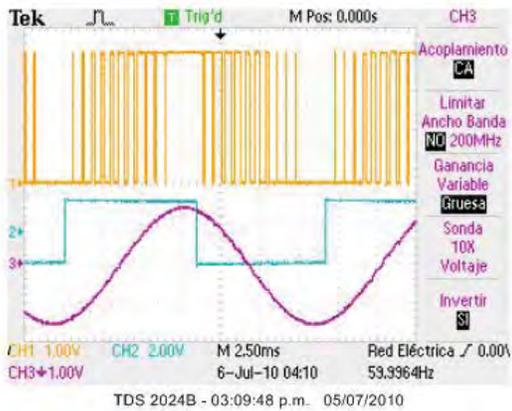
(b) *Angulo de defasamiento de 30°*



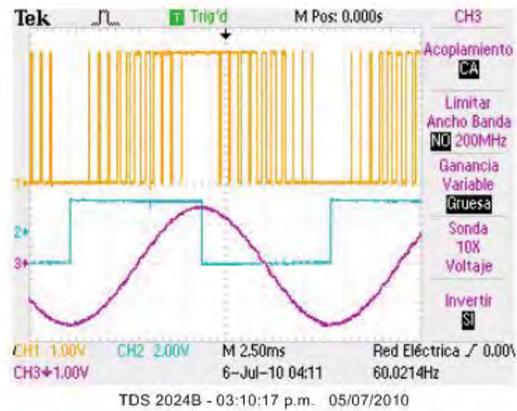
(c) *Angulo de defasamiento de 45°*



(d) *Angulo de defasamiento de 60°*



(e) *Angulo de defasamiento de 75°*

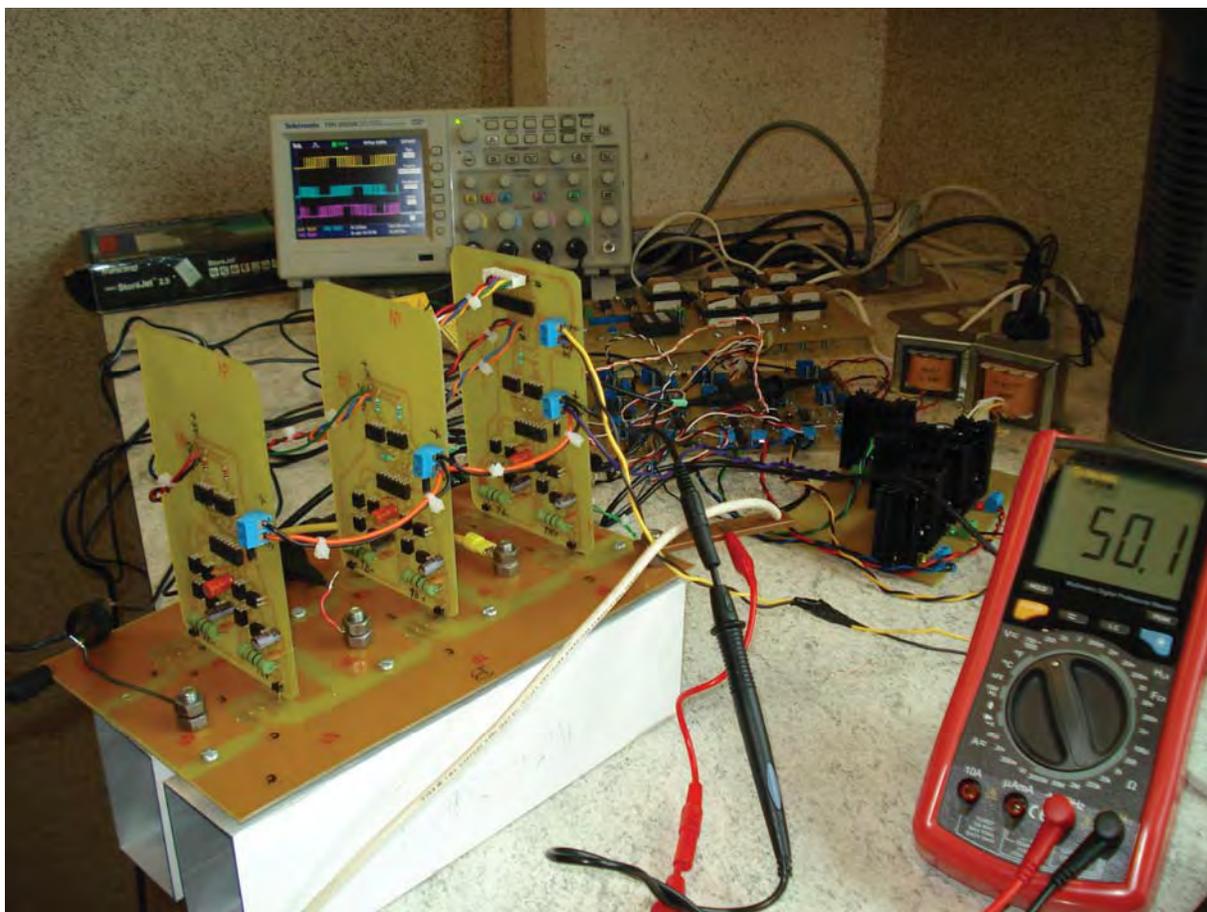


(f) *Angulo de defasamiento de 90°*

**Figura 6.27.** Señales SPWM generadas con el DSC con varios ángulos de defasamiento en atraso.

### 6.8 Medición de las señales SPWM en el convertidor.

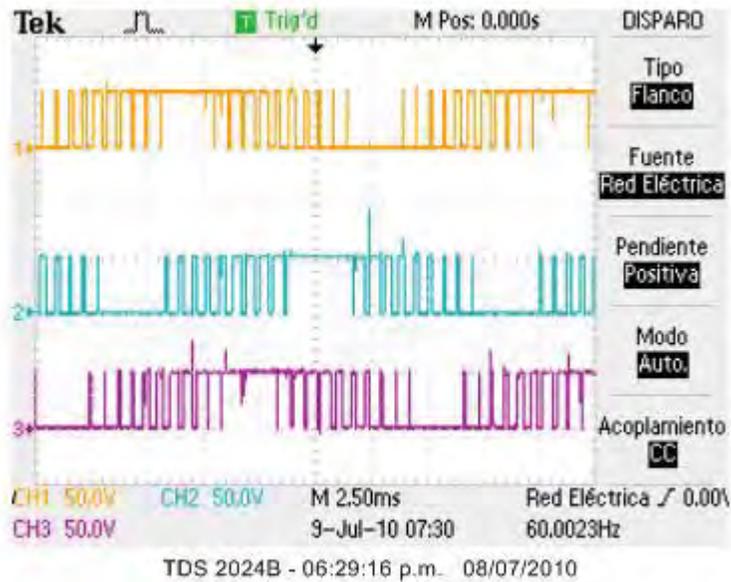
Se realizaron pruebas al ensamble convertidor-tarjetas controladoras de *IGBTs* para verificar su funcionamiento, se midieron las formas de onda de las señales *SPWM* en las terminales del convertidor con un voltaje de 50V en el bus de *cd* (ver Figura 6.8). En la Figura 6.28 se muestra una ilustración de las pruebas realizadas.



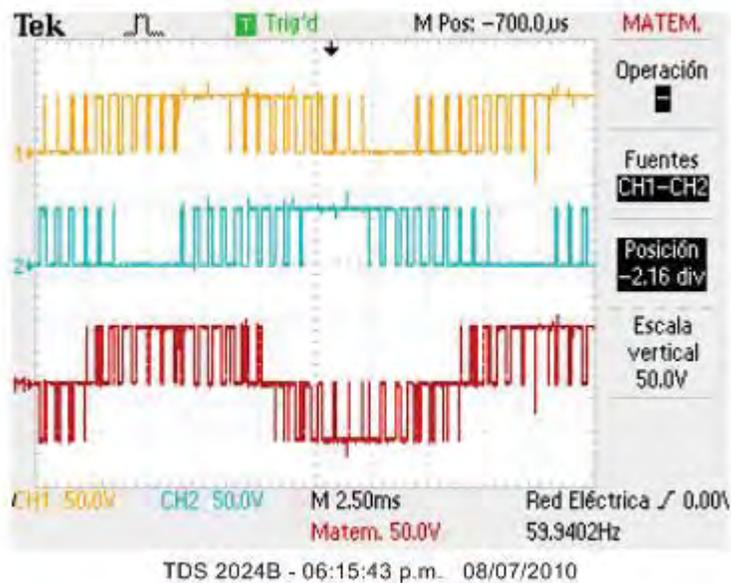
*Figura 6.28 Pruebas al ensamble convertidor-tarjetas controladoras de IGBTs*

La Figura 6.29 muestra las señales *SPWM* trifásicas en las terminales del convertidor (*a*, *b* y *c*; canales 1, 2 y 3 respectivamente). Por su parte la Figura 6.30 muestra las señales *SPWM* correspondientes a la fase *a* y *b* en las terminales del convertidor (canal 1 y 2 respectivamente) y la señal *SPWM* correspondiente al voltaje de línea a línea entre las fases *a* y *b* de las

terminales del convertidor (función *Math* del osciloscopio *Tektronix TDS 2024B*). Ambas figuras con un  $m_a = 1.0$ .

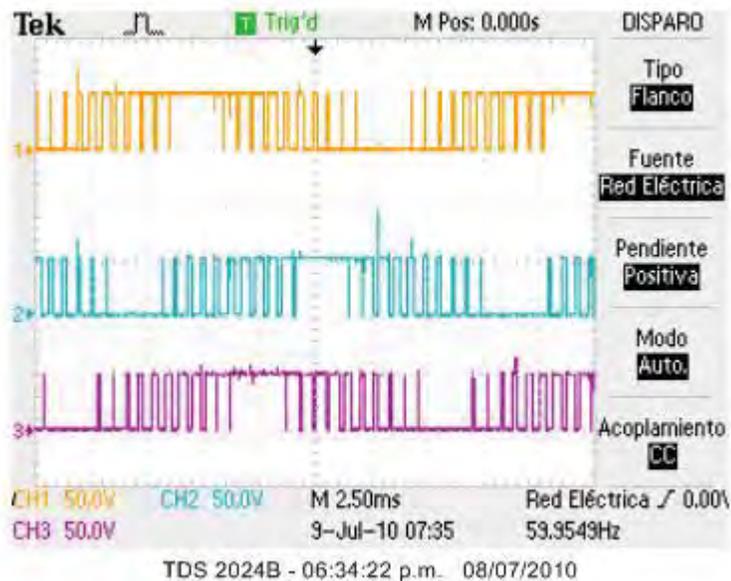


**Figura 6.29.** Señales SPWM trifásicas en las terminales de salida del convertidor con  $m_a=1.0$ .

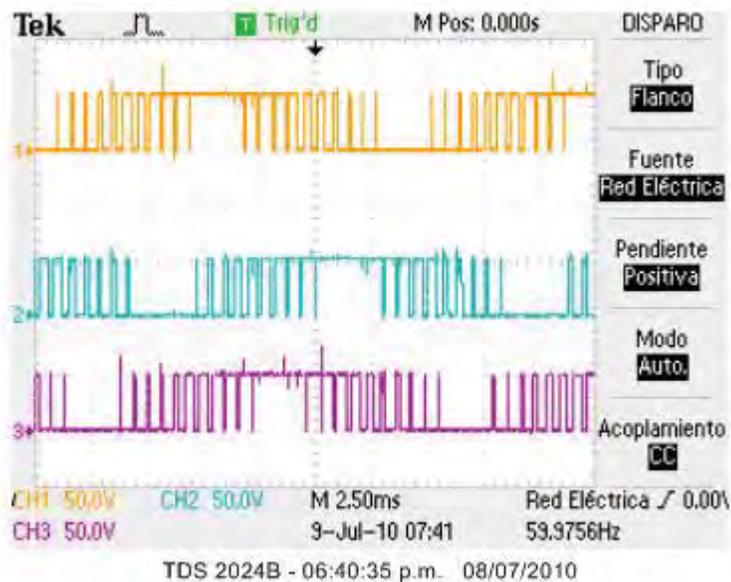


**Figura 6.30.** Señales SPWM de los voltajes de línea a línea entre las fases a y b en las terminales de salida del convertidor con  $m_a=1.0$ .

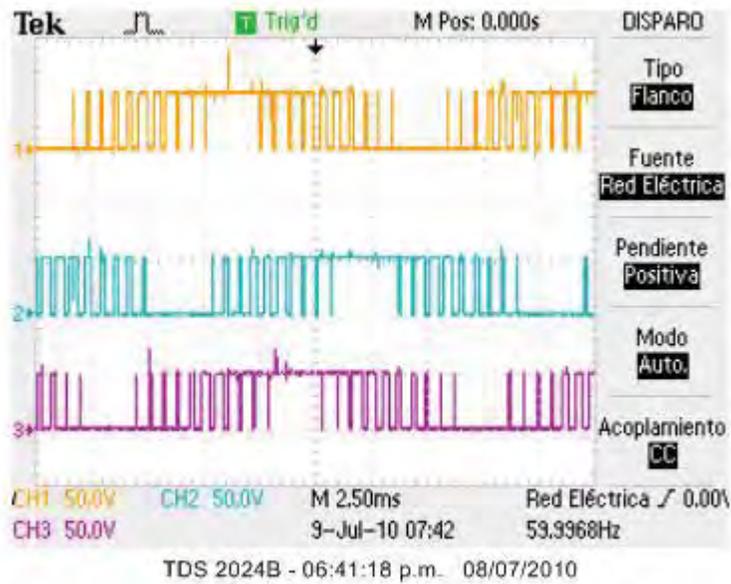
La Figura 6.31 muestra las señales SPWM trifásicas en las terminales del convertidor ( $a$ ,  $b$  y  $c$ ; canales 1, 2 y 3 respectivamente) con un ángulo de atraso de  $10^\circ$ , mientras que las figuras 6.32 y 6.33 muestran un ángulo de atraso de  $30^\circ$  y  $45^\circ$  respectivamente. Las tres figuras tienen un  $m_a = 1.0$ .



*Figura 6.31. Señales SPWM trifásicas en las terminales de salida del convertidor con un ángulo de atraso de  $10^\circ$ ,  $m_a=1.0$ .*

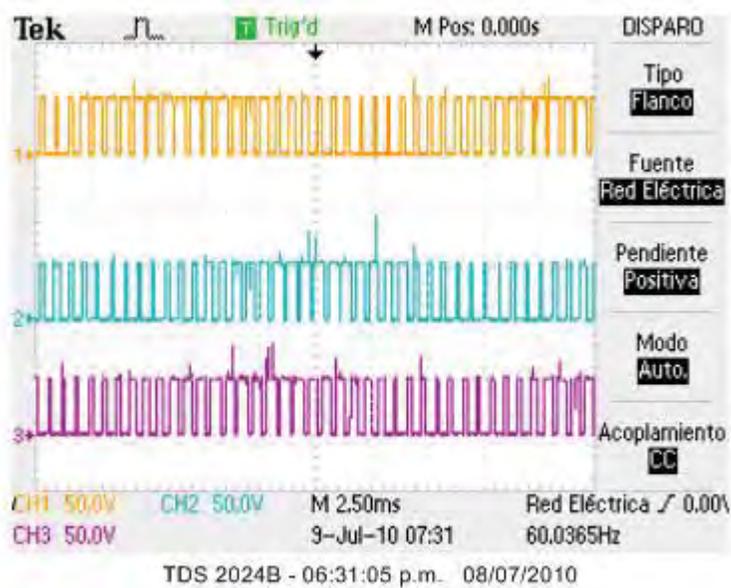


*Figura 6.32. Señales SPWM trifásicas en las terminales de salida del convertidor con un ángulo de atraso de  $30^\circ$ ,  $m_a=1.0$ .*

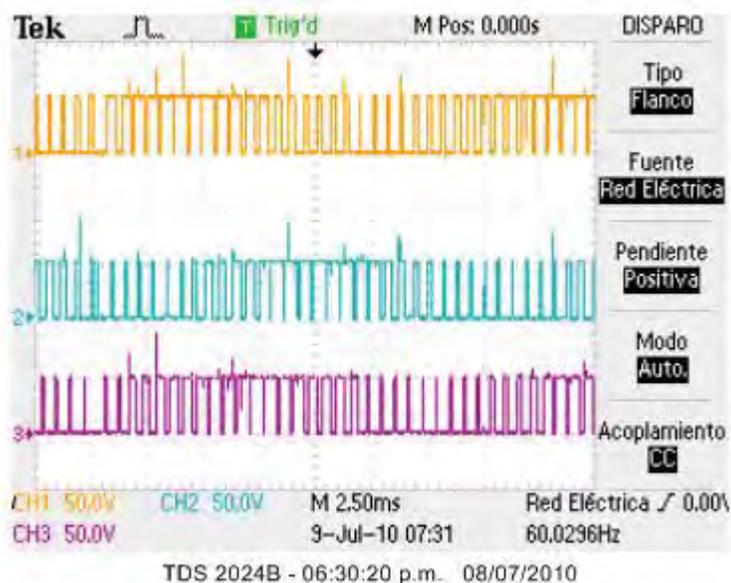


**Figura 6.33.** Señales SPWM trifásicas en las terminales de salida del convertidor con un ángulo de atraso de  $45^\circ$ ,  $m_a=1.0$ .

La Figura 6.34 muestra las señales SPWM trifásicas en las terminales del convertidor ( $a$ ,  $b$  y  $c$ ; canales 1, 2 y 3 respectivamente) con un  $m_a = 0.6$ . Por su parte la Figura 6.35 muestra las señales SPWM trifásicas en las terminales del convertidor con un  $m_a = 0.8$ .



**Figura 6.34.** Señales SPWM trifásicas en las terminales de salida del convertidor con  $m_a=0.6$ .



**Figura 6.35.** Señales SPWM trifásicas en las terminales de salida del convertidor con  $m_a=0.8$

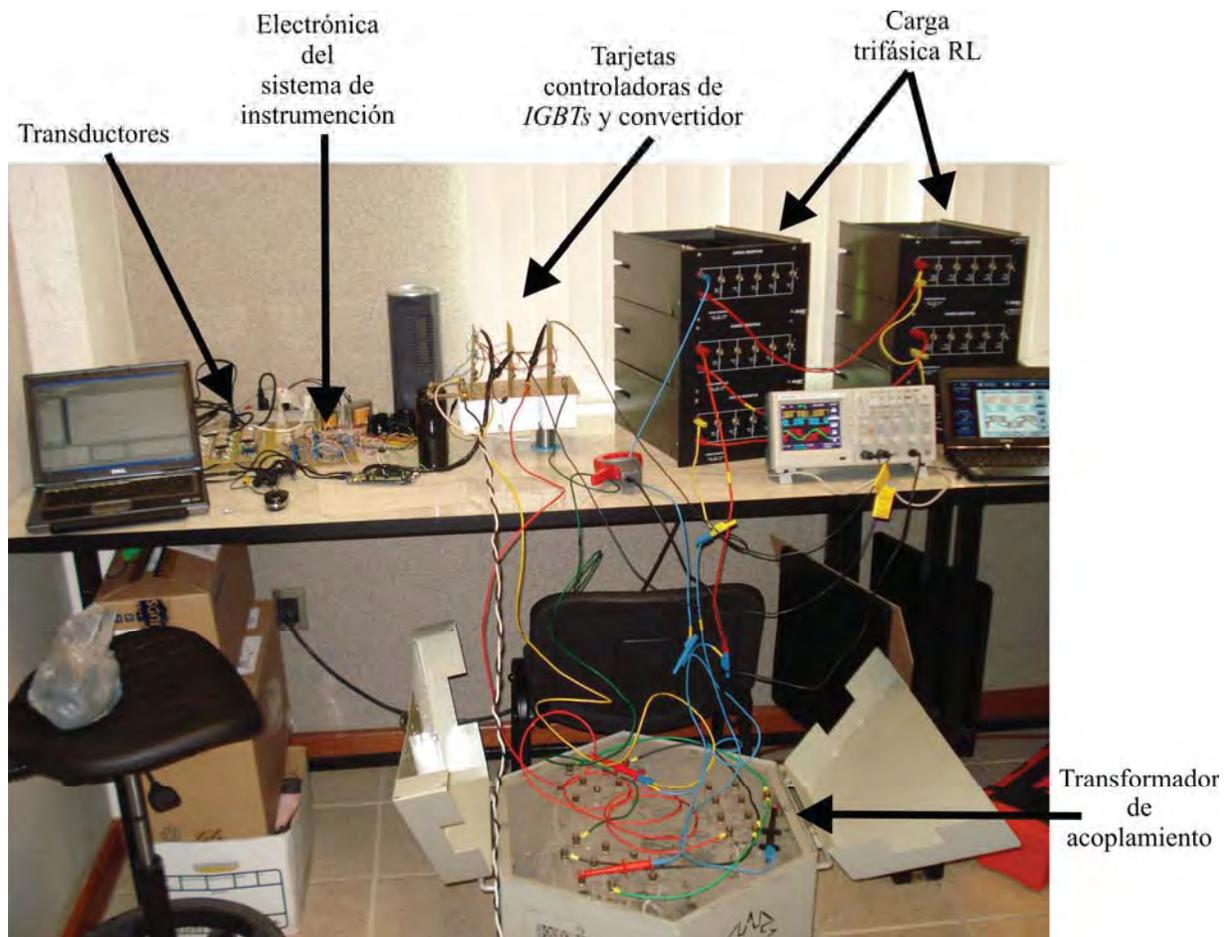
De las pruebas realizadas se puede evidenciar el correcto funcionamiento del hardware y el software implementado para las estaciones convertidoras.

Los transitorios de voltaje que se observan en las Figuras 6.29 a 6.35 pueden ser debidos a las inductancias parásitas presentes en la placa del circuito impreso del convertidor cuando ocurren las conmutaciones de los *IGBTs* o a la interferencia electromagnética (*EMI*, por sus siglas en inglés, *Electromagnetic Interference*). Es importante mencionar que al elevar el voltaje en el bus de *cd* a más de 50V, en este prototipo, se empieza a tener problemas de *EMI* y se pierde el patrón de las señales *SPWM* generadas en el *DSC*.

### 6.9 Pruebas a la estación convertidora funcionando como inversor.

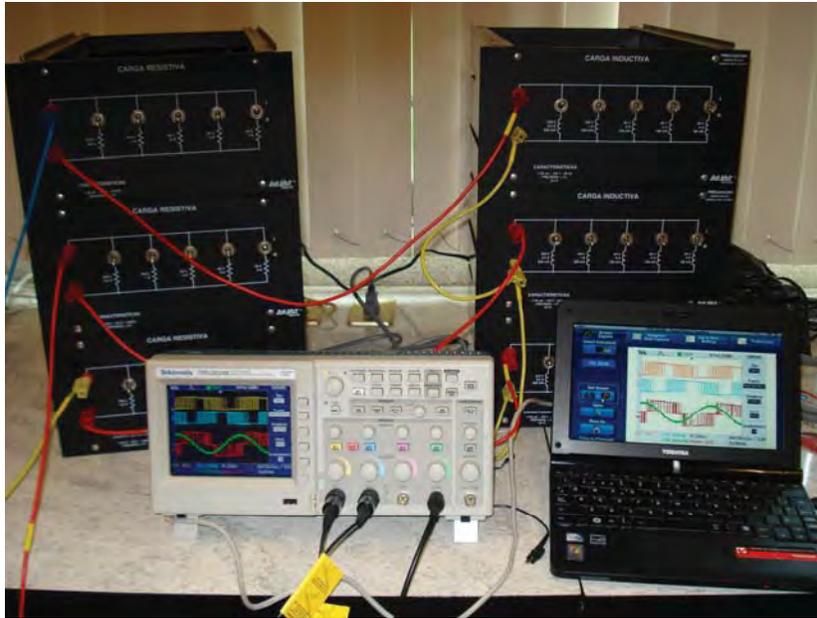
Se conectaron las terminales de salida del convertidor con el transformador de acoplamiento integrando de esta manera el hardware de la estación convertidora. El transformador de acoplamiento se conectó con una carga *RL* trifásica conectada en estrella con  $R = 30\Omega$  y  $L = 240mH$ . La Figura 6.36 muestra la conexión del convertidor con el transformador y con la carga *RL* trifásica. Por su parte la Figura 6.37 muestra el detalle de la conexión de la carga,

además se pueden apreciar las formas de onda medidas en el osciloscopio y capturadas en la computadora. Figura 6.38 muestra el detalle de la conexión del convertidor con el transformador de acoplamiento.

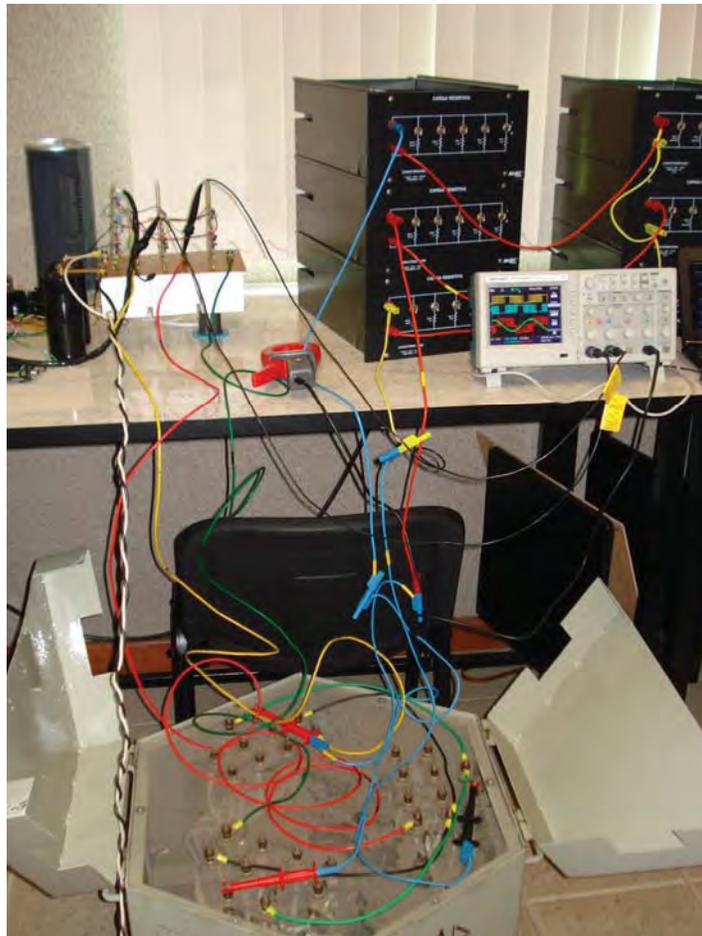


*Figura 6.36 Conexión convertidor-transformador de acoplamiento-carga trifásica RL en estrella.*

Es importante hacer notar que estas pruebas se realizaron con un voltaje de 25V en el bus de  $cd$ , el cual fue proporcionado por una fuente de alimentación. Al incrementar el voltaje del bus de  $cd$  a más de 35V, la corriente que circula por el convertidor se incrementa y el problema de  $EMI$  se acentúa, esto modifica la generación de las señales  $SPWM$  en las terminales de salida del  $DSC$  y por lo tanto la conmutación de los  $IGBTs$  del convertidor. Además, la  $EMI$  hace que se interrumpa la comunicación, a través del puerto  $USB$ , entre la computadora personal y el  $DSC$ .

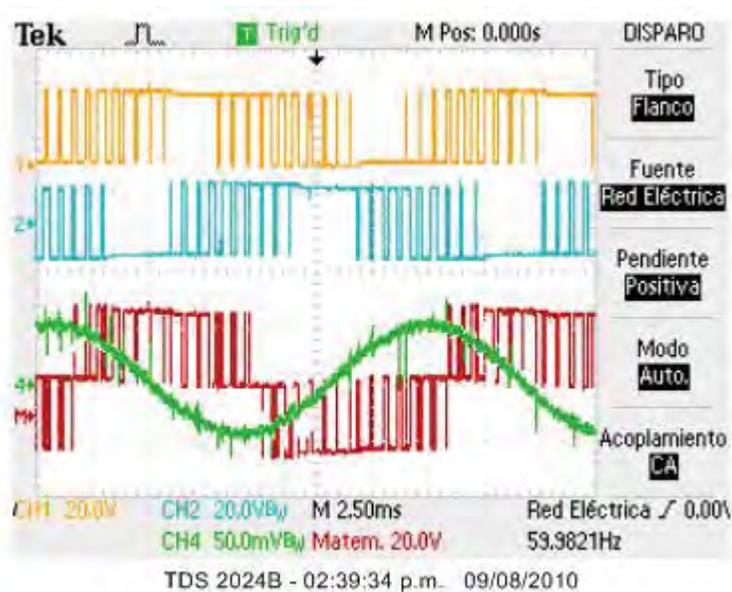


*Figura 6.37 Detalle de la conexión en estrella de la carga RL trifásica.*



*Figura 6.38 Detalle de la conexión del convertidor con el transformador de acoplamiento.*

En la Figura 6.39, las formas de onda del canal uno y dos (*CH1* y *CH2*) corresponden a los voltajes de salida de las fases *a* y *b* del convertidor medidas en sus terminales de salida, el voltaje de línea a línea entre las fases *a* y *b* de las terminales del convertidor se despliega en el osciloscopio *Tektronix TDS 2024B* utilizando la función *Math*. El canal 4 (*CH4*) muestra la corriente de línea medida en la fase *a* de la carga *RL* trifásica conectada en estrella. Todas las señales *SPWM* fueron generadas con un  $m_a = 1.0$ . Como se puede apreciar en la Figura 6.39 la corriente es casi sinusoidal, esto es debido a que la inductancia de acoplamiento funciona como un filtro a 60Hz.



**Figura 6.39.** Señales *SPWM* de los voltaje de las fases *a*, *b* en las terminales de salida del convertidor, el voltaje de línea a línea entre las fase *a* y *b* y la corriente en la fase *a* de la carga *RL* trifásica conectada en estrella, con  $m_a=1.0$ .

## Resumen del capítulo

En este capítulo se presentan los detalles de cómo quedó construido el hardware del prototipo, el análisis armónico de las señales *SPWM* generadas con el *DSC*, la sincronización de las señales *SPWM* generadas con el *DSC* con el sistema de *ca*, la medición de las señales *SPWM* en el convertidor y las pruebas realizadas a la estación convertidora operando como inversor.

# CAPÍTULO 7

## CONCLUSIONES Y TRABAJOS FUTUROS.

En este capítulo se presentan las conclusiones del trabajo de tesis y se plantean algunas propuestas de trabajos futuros.

### 7.1 Conclusiones.

El objetivo del trabajo de tesis fue diseñar y construir un prototipo de laboratorio de una estación convertidora de un sistema de transmisión de corriente directa en alto voltaje basado en convertidores de fuente de voltaje.

Las principales aportaciones del trabajo de investigación presentado en esta tesis pueden ser resumidas como sigue:

- El trabajo de tesis contiene los principios básicos para comprender el funcionamiento, operación y control de los sistemas de transmisión *HVDC-VSC*.
- El trabajo de tesis contiene la documentación detallada del diseño e implementación del hardware y el software para el control de una estación convertidora de un sistema de transmisión *HVDC-VSC*. El diseño del prototipo se realizó de forma modular lo que permite su reproducción y perfeccionamiento de las partes de forma individual.
- Se presentó la utilización de un *DSC* de punto flotante de 32 bits de alto desempeño para la adquisición de datos y para el control de una estación convertidora para un sistema de transmisión *HVDC-VSC*. El sistema de control se implementó en un *DSC* de alto desempeño, lo que permite la optimización de los tiempos de ejecución de las

principales rutinas de software desarrolladas. El programa se realizó en lenguaje *C* lo que su portabilidad y migración hacia nuevas plataformas de hardware del fabricante.

- Se desarrolló e implementó un algoritmo novedoso de modulación *SPWM* de alta resolución utilizando los recursos del *DSC*. Éste permite variar con alta resolución la magnitud y el ángulo de fase del voltaje de salida del *VSC*, que son los parámetros que determinan el intercambio de potencia reactiva y de potencia real respectivamente, entre el sistema de *ca* y el *VSC*.
- Se desarrollaron e implementaron el hardware y un algoritmo para hacer la sincronización del sistema de control con el sistema de *ca* haciendo uso de los recursos del *DSC*.
- Se diseñaron los controladores desacoplados de potencia real y potencia reactiva para una estación convertidora *HVDC-VSC*, así como el controlador del voltaje del capacitor del lado de *cd* del convertidor. Esto permite que la estación convertidora funcione como estación transmisora (modo rectificador) o como estación receptora (modo inversor).

Después de presentar el trabajo realizado en los capítulos que integran esta tesis, se llegó a las siguientes conclusiones:

- El prototipo opera adecuadamente en lazo abierto en el modo inversor con un bajo voltaje en el bus de *cd*.
- Debido a los problemas de interferencia electromagnética (*EMI*) que se presentaron no fue posible realizar pruebas dinámicas en el modo inversor. La *EMI* es un fenómeno complejo que se presenta al desarrollar hardware.
- La simulación digital de los controladores demuestra que operan eficientemente.

- El análisis armónico realizado a las señales *SPWM* generadas por el *DSC* demuestra que el algoritmo opera eficientemente.
- Las mediciones realizadas en el laboratorio demuestran el adecuado funcionamiento del algoritmo de sincronización del prototipo con el sistema de *ca*.

## 7.2 Trabajos futuros.

A continuación se plantean algunos trabajos futuros:

- Construcción de la segunda estación convertidora *HVDC-VSC* y probar el enlace con las dos estaciones convertidoras.
- Desarrollar una interfaz usuario-prototipo en una plataforma computacional gráfica, para utilizar el software y el hardware desarrollados en este trabajo, con la finalidad de llevar a cabo experimentos de forma manual o automatizada en un computadora personal.
- Investigar el funcionamiento dinámico del prototipo y del enlace ante disturbios en el sistema de *ca*.
- Implementar otras técnicas de control modificando únicamente la rutina de control del *DSC* utilizando las otras rutinas desarrolladas en el trabajo de tesis, así como la estructura del hardware.
- Trabajar en la investigación de la reducción de la interferencia electromagnética con la finalidad de que el prototipo de la estación convertidora sea capaz de trabajar a un voltaje de 500V en el lado de *cd*.

## REFERENCIAS.

- [ACS754xCB-050] Datasheet ACS754xCB-050, Allegro MicroSystems.
- [ADC, 2007] “TMS320x28xxx, 28xxx, Analog-to-digital Converter (ADC) Module”, Referente Guide, October 2007.
- [AN-978] “Application Note AN-978 HV Floating MOS-Gate Driver ICs”. International Rectifier.
- [Anaya L. O., 2003] Olimpo Anaya Lara. “Digital Control of a Multilevel NPC Dynamic Voltage Restorer for Power Quality Enhancement,” Ph.D. dissertation, Department of Electronics and Electrical Engineering University of Glasgow, October 2003.
- [Asplund et al, 1997] Asplund, G. Eriksson, K. Svensson, K. “DC Transmission based on Voltage Source Converters,” presented at CIGRE SC14 Colloquium, South Africa 1997.
- [Asplund et alt, 2003] Gunnar Asplund, Lennart Carlsson, Ove Tollerz, “Part I. 50 Years HVDC, ABB- from pioneer to World leader,” ABB Review 1/2003. pp. 6-13.
- [Astrom y Wittenmark,1997] K.J. Astrom and B. Wittenmark, *Computer-Controlled Systems Theory and Design*, Prentice Hall, 1997
- [Bahrman et al, 2003] Bahrman, M.P., Johansson J.G., Nilsson B. A. “Voltage Source Converter Transmission Technologies -The Right Fit for The Application,” presented at IEEE PES General Meeting, Toronto, Canada, July 2003.
- [Barrera C. E., 1991] Edmundo Barrera Cardiel. “An HVDC Transmission System Model for a Physically Based Power System Laboratory,” Ph.D. dissertation, The University of Texas at Arlington. August 1991.
- [Burr-Brown 3656] Transformer Coupled Isolation amplifier 3656. Burr-Brown.
- [Chang y Wu, 1995] Wei-Nan Chang; Chi-Jui Wu “Developing Static Reactive Compensators in a Power System Simulator

- for Power Education. *IEEE Transactions on Power Systems*, vol. 10, No. 4. pp. 1734-1741, November 1995.
- [Corzine y Crow, 2005] Corzine K. A.; Crow M.L. “Power Engineering Laboratory Facilities at the University of Missouri-Rolla,” presented at Power Engineering General Meeting 2005. 12-16 June 2005 Pages 1187-1191. vol. 2
- [Cross Sound Cable HVDC Light Project] “Cross Sound Cable HVDC Light Project”. ABB Power Technologies. Power Systems. Pamphlet no POW-0036.
- [Data sheet 6N136] Datasheet 6N136, Fairchild Semiconductor.
- [Datasheet *IRG4PC40UD*] Datasheet IRG4PC40UD, International Rectifier.
- [DirectLink HVDC Light Project] “DirectLink HVDC Light Project”. ABB Power Technologies AB. HVDC Division. Pamphlet no POW-0025.
- [Dong et al, 2004] L. Dong, M. L. Crow, Z. Yang, C. Shen, L. Zhang, S. Atcitty, “A Reconfigurable FACTS System for University Laboratories,” *IEEE Transactions on Power Systems*, Vol. 19, No. 1, February 2004. pp. 120-128.
- [Dong, 2004] Liangying Dong, “Control Interaction Mitigation and Location for FACTS Devices,” Ph.D. dissertation University of Missouri-Rolla, 2004
- [DT 92-2A] Satyavrat Laud. “Application Note AN-1092 Understanding HVIC Datasheet Specifications.”
- [Duran, 1998] Salvador Durán Pérez, “Diseño de Controladores Mediante un Enfoque de Bode Analítico”, Tesis de Licenciatura en Ingeniería eléctrica, Universidad Michoacana de San Nicolás de Hidalgo, Mayo, 1998
- [Eagle Pass HVDC Light Project]. “Eagle Pass HVDC Light Project”. ABB Power Technologies AB. A02-0174 E.
- [eCAP, 2007] “TMS320x28xxx, 28xxx, Enhanced Capture (eCAP) Module”, Reference Guide, September 2007
- [Ekanayake et al, 1996] J. B. Ekanayake, N. Jenkins. “A three-level

- Advanced Static VAR Compensator,” *IEEE Transactions on Power Delivery*, Vol.11, No. 1, January 1996. pp. 540-545.
- [ePWM, 2007] “TMS320x28xxx, 28xxx, Enhanced Pulse width Modulator (ePWM) Module”, Referente Guide, October 2007.
- [eZdsp, 2007] “eZdsp F28335 Technical Reference”. Development systems. Spectrum Digital Incorporated, 2007.
- [Franklin, Powell, 1997] Franklin Gene F, Powell J. David, *Digital Control of Dynamic Systems*, Addison Wesley, Third Edition 1997.
- [Faulkenberry, 1982] Luces M. Faulkenberry. *Introduction to Operational Amplifiers with Linear Integrated Circuit Applications*, John Wiley & Sons Inc, 2nd edition, 1982.
- [Gao et al, 2009] Yanping Gao, Xianqiang Lv, Xianjiu Guo, “Development and research of HVDC light system based on DSP,” presented at Second International Workshop on Knowledge Discovery and Data Mining 2009, 23-25 Jan. 2009 page(s): 319 – 322 Moscow.
- [García-González y García-Cerrada, 1999] García-González, P.; García-Cerrada, A. “Control system for a PWM-based STATCOM,” presented at Power Engineering Society Summer Meeting, 1999. vol. 2, pp. 1140-1145. Edmonton, Alta. 1999.
- [García-González y García-Cerrada, 2000] García-González, P.; García-Cerrada, A. “Control system for a PWM-based STATCOM,” *IEEE Transactions on Power Delivery*, Vol. 15, No. 4, pp. 1252-1257. October 2000
- [García González, 2000] Pablo García González, Modelado, control y Aplicación de dispositivos FACTS Basados en Inversores de Fuente de Tensión. Tesis Doctoral. Universidad Pontificia Comillas de Madrid en la escuela Técnica Superior de Ingeniería del Departamento de Electrónica y Automática. 2000.
- [Gilje y Carlsson, 2006] Gilje S., Carlsson L. “Valhall Re-development project, power form shore,” Stavanger, Norway,

- 2006.
- [Görner y Bohl, 2010] Raphael Görner, Mie-Lotte Bohl, Sustainable links. ABB Review 1/2010, Smart Grids pp 20-23.
- [Gotland HVDC Light Project] “Gotland HVDC Light Project”. ABB Power Technologies AB Power Systems. Pamphlet no POW-0034.
- [HVDC Classic-Reference List, 2010]. HVDC Classic- Reference List. ABB Company, April, 2010.
- [HVDC Light, 2010] “It’s time to connect- with offshore wind supplement”. ABB AB Grid Systems – HVDC. POW-0038 rev 6, 2010-04
- [IR2110] Datasheet IR2110, International Rectifier.
- [Jacobson et al, 2005] Björn Jacobson; Paulo Fischer de Toledo; Gunnar Asplund. “500 MW City Center Infeed with Voltage Source Converter Based HVDC,” presented at 40th Meeting of Study Committee B4 and Colloquium on Role of HVDC, FACTS and Emerging Technologies in Evolving Power Systems, Bangalore, India, Sept. 17 - 24, 2005.
- [Jones et al, 2006] Peter Jones; Lars Stendus “The Challenges of Offshore Power System Construction Troll A, Electrical Power Delivered Successfully to an Oil and Gas Platform in the North Sea,” presented at EWEC 2006 European Wind Energy Conference & Exhibition, Athens, Greece, Feb. 27 - March 3, 2006.
- [Kiraly] Laszlo Kiraly. “High Current Buffer for control ic’s”. International Rectifier Design Tips.
- [Kraig, 2007] Kraig Mitzner. *Complete PCB design using OrCAD Capture and Layout*. Newnes, 2007.
- [Lipo et al, 2007] D. Grahame Holmes, Thomas A. Lipo. *Pulse Width Modulation for Power Converters, Principles and Practice*. Wiley inter-science, 2003.
- [Masdi et al, 2006] Masdi, H. ; Mariun, N. ; Bashi, S.M. ; Mohamed, A. ; Yusuf, S. ; “Design of a Prototype D-Statcom using DSP Controller for Voltage Sag Mitigation”, presented at International Conference on Power

- Electronics and Drives Systems, 2005. PEDS 2005. pp.569-574, Kuala Lumpur, 2006.
- [Mishra, 2006] Mishra, M.K. ; Karthikeyan, K. ; Linash, P.K. ; A “Development and Implementation of DSP Based DSTATCOM to Compensate Unbalanced Nonlinear Loads,” presented at IEEE Power Indian Conference 2006, New Delhi
- [Mohan et al, 2002] Ned Mohan, Tore M. Undeland, Williams P. Robbins, *Power Electronics: Converters, Applications, and Design*, Wiley, Second Edition 2002,.
- [Mohan et al, 2003] R. Mohan Mathur; Rajiv K. Varma, *Thyristor-Based Controllers for Electrical Transmission Systems*, Wiley inter-science, New York, 2002.
- [MurrayLink HVDC Light Project]. “MurrayLink HVDC Light Project”. ABB Power Technologies AB Power Systems. Pamphlet no POW-0035.
- [Mwinyiwiwa et al, 1997] Bakari Mwinyiwiwa; Zbigniew Wolanski; Boon-Teck Ooi; “Multilevel STATCOM with Third Harmonic Elimination on the DC Link Capacitor Voltajes,” presented at Power Electronics Specialists Conference, 1997. PESC '97 Record., 28th Annual IEEE, vol.1, pp. 317 – 322, St. Louis, MO, June 1997.
- [Mwinyiwiwa et al, 1998, a] Mwinyiwiwa, B.; Boon-Teck Ooi; Wolanski, Z.; “UPFC using multiconverter operated by phase-shifted triangle carrier SPWM strategy,” *IEEE Transactions on Industry Applications*, Volume 34, Issue 3, May-June 1998 Page(s):495 – 500.
- [Mwinyiwiwa et al, 1998, b] Mwinyiwiwa, B. ; Wolanski, Z. ; Boon-Teck Ooi , “Microprocessor-Implemented SPWM for Multiconverters with Phase-Shifted Triangle Carriers”, presented at IEEE Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., New Orleans, LA, vol. 2, pp. 1542-1549, October 1997.
- [Mwinyiwiwa et al, 2000, a] Bakari Mwinyiwiwa, Bin Lu, Boon-Teck Ooi. “Multiterminal Unified Power Flow Controller”, *IEEE Transactions on Power Electronics*, Vol. 15,

No. 6. pp. 1088-1093, November 2000.

- [Mwinyiwiwa et al, 2000, b] Mwinyiwiwa, B.; Lu, B.; Ooi, B.T.; Galiana, F.D.; McGillis, D.; Marceau, R.; Joos, G.; “Multi-terminal UPFC for power system deregulation,” presented at Power Engineering Society Winter Meeting, 2000. IEEE Volume 4, 23-27 Jan. 2000 Page(s):2916 - 2921 vol.4.
- [Ogata, 1996] Katsuhiko Ogata, *Sistemas de Control en Tiempo Discreto*, Pearson Educación, Segunda Edición, México 1996.
- [Ogata, 1998] Katsuhiko Ogata, *Ingeniería de Control Moderna*, Prentice Hall, Tercera Edición, Mexico 1998.
- [Phillips, 1985] Charles L. Phillips, “Analytical Bode Design of Controllers”, *IEEE Transactions on Education*, vol. E-28. No. 1Feb. 1985.
- [Saeedifard, M. et al, 2009] Saeedifard, M. ; Iravani, R. ; Josep Pou ; A space vector Modulation Strategy for a Back-to-Back Five-Level HVDC Converter System. *IEEE Transactions on Industry Electronics*, Vol. 56, No. 2, February 2009. pp. 452-466.
- [Schauder , Mehta 1993] C. Schauder, H. Mehta. “ Vector análisis and control of advanced static VAR compensators. *IEE Proceedings-c*, Vol.140, No 4, July 1993.
- [Shoults y Barrera-Cardiel, 1992] Shoults, R.R.; Barrera-Cardiel, E.; “Use of a graphical user interface approach for digital and physical simulation in power systems control education: application to an HVDC transmission system model,” *Transactions on Power Systems*, Vol. 7, No. 4, November 1992. pp. 1598-1603.
- [SW-212] Datasheet Printed Circuit Transformer. Part SW-212. Stancor.
- [Tewari, 2002] Ashish Tewari, *Modern Control Design with Matlab and Simulink*, John Wiley and Sons, 2002.
- [Tjaereborg HVDC Light Project] “Tjaereborg HVDC Light Project”. ABB Power Technologies AB. HVDC Division. Pamphlet no POW-0022.

- [Troll HVDC Light Project]. “Troll HVDC Light Project”. ABB Power Technologies AB. Grid System/HVDC Power Systems. Pamphlet no POW-0033 rev 2.
- [Workshop, 2009] TMS320C28x MCU Workshop, Workshop Guide and Lab Manual, Feb. 2009
- [Xu, 2000] Lie Xu, “HVDC Transmission System with voltage source converters and simultaneous VAR compensation,” Centre for Economic Renewable Power Delivery, Department of Electronics and Electrical Engineering University of Glasgow, December 2000.
- [Xu et al, 2000] Xu, L. ; Anaya-Lara, O. ; Agelidis, V.G. ; Acha, E. “Development of Prototype Custom Power Devices for Power Quality Enhancement,” presented at Ninth International Conference on Harmonics and Quality of Power, 2000. vol. 3, pp. 775-783, 2000.
- [Yang et al, 2001] Z. Yang, C. Shen, L. Zhang, M. L. Crow, and S. Atcitty, “Integration of a StatCom and battery energy source,” *IEEE Transactions on Power Systems*, vol. 16, pp. 254-260, May 2001.