



UNIVERSIDAD MICHOACANA DE SAN



NICOLÁS DE HIDALGO

DIVISIÓN DE ESTUDIOS DE POSGRADO DE  
LA FACULTAD DE INGENIERÍA ELÉCTRICA

***“ANÁLISIS DINÁMICO DE CONTROLADORES  
BASADOS EN FUENTES DE VOLTAJE  
CONTROLADAS”***

TESIS

QUE PARA OBTENER EL GRADO DE  
MAESTRO EN INGENIERÍA ELÉCTRICA

PRESENTA  
ING. MARÍA DE LOURDES ALCARAZ VEGA

ASESOR  
DR. CLAUDIO RUBÉN FUERTE ESQUIVEL

MORELIA, MICHOACÁN

DICIEMBRE DEL 2006

---

## *Resumen*

---

En la presente tesis se hace una descripción detallada de la teoría y del modelado dinámico de tres dispositivos pertenecientes a los Sistemas Flexibles de Transmisión de Corriente Alterna (SIFLETCA) que es equivalente al enunciado del idioma inglés Flexible Alternating Current Transmission Systems (FACTS). El diseño de los dispositivos se basa en *fuentes de voltaje controladas* utilizando el control de lazo abierto para el desarrollo del presente trabajo y son llamados: Compensador Serie Estático Síncrono (Static Synchronous Series Compensator), Compensador Estático Síncrono (Static Synchronous Compensator) y el Controlador Unificado de Flujos de Potencia (Unified Power Flow Controller). Las simulaciones transitorias se realizan por medio del programa ATP-EMTP (Alternative Transients Program-Electro-Magnetic Transients Program) para ilustrar las funciones básicas de los controladores, el análisis de su respuesta dinámica al ocurrir un cambio en la operación del sistema y evaluar el comportamiento de los dispositivos en función de las configuraciones utilizadas en el convertidor.

---

## *Abstract*

---

The thesis presents a detailed description of the theory and dynamic models of three devices pertaining to Flexible Alternating Current Transmission System (FACTS). The design of the devices is based on controlled voltage sources converters using an open loop control. The controllers considered in the present work are: Static Synchronous Series Compensator (SSSC), Static Synchronous Compensator (STATCOM) and the Unified Power Flow Controller (UPFC). The dynamic analysis is carried out by using the ATP-EMTP (Alternative Transients Program-Electro-Magnetic Transients Program) to show up the basic functions of the controllers. The analysis consists of the evaluation of the controllers dynamic behaviors due to changes in the electric system operating points, taking into account several configurations of the converters.

---

# CONTENIDO

---

<i>Resumen</i> .....	i
<i>Abstract</i> .....	ii
<i>Simbología y Abreviaciones</i> .....	vi
<i>Lista de Figuras</i> .....	xii
<i>Lista de Tablas</i> .....	xvi

## **CAPÍTULO 1 INTRODUCCIÓN**

1.1 Introducción.....	1
1.2 Estado del arte.....	3
1.3 Justificación y motivación.....	4
1.4 Objetivos.....	5
1.5 Estructura de la tesis.....	5

## **CAPÍTULO 2 PRINCIPIO DE OPERACIÓN DE LA FUENTE DE VOLTAJE CONTROLADA**

2.1 Introducción.....	7
2.2 Dispositivos semiconductores de potencia.....	9
2.2.1 El tiristor con apagado por compuerta (Gate Turn Off (GTO)).....	10
2.3 Concepto básico del convertidor.....	10
2.4 Operación del convertidor de onda completa.....	12
2.5 Operación del convertidor trifásico de onda completa.....	15
2.6 Convertidor alimentado a tres niveles de voltaje.....	18
2.7 Conclusiones.....	20

## **CAPÍTULO 3 MODELADO DINÁMICO DEL COMPENSADOR SERIE ESTÁTICO SÍNCRONO**

3.1 Introducción.....	22
3.2 Principio de operación del compensador serie estático síncrono (CSES) y características.....	22
3.2.1 Característica de potencia transmitida contra ángulo de transmisión.....	25

3.2.2	Capacidad para incrementar potencia activa.....	26
3.2.3	Inmunidad a la resonancia.....	27
3.2.4	Rango de control y potencia nominal.....	28
3.3	Descripción modular del controlador.....	28
3.3.1	Convertidor de 24 pulsos alimentado por voltaje.....	29
3.3.2	Transformador.....	31
3.3.3	Módulo de control.....	34
3.4	Casos de estudio.....	36
3.4.1	CSES con el inversor 24 pulsos y variaciones de reactancia en serie con la línea de transmisión.....	37
3.4.2	Comportamiento del CSES cuando opera bajo las configuraciones del inversor de 12, 24 y 48 pulsos.....	40
3.4.3	Comparación de algunas formas de onda con la configuración del inversor de 12, 24 y 48 pulsos.....	43
3.5	Conclusiones.....	48

## ***CAPÍTULO 4*    MODELADO DINÁMICO DEL COMPENSADOR ESTÁTICO SÍNCRONO**

4.1	Introducción.....	49
4.2	Principio de operación del compensador estático síncrono (CES).....	50
4.2.1	La característica V-I del CES.....	54
4.3	Descripción modular del controlador.....	55
4.3.1	Convertidos de 12 pulsos alimentado por voltaje.....	55
4.3.2	Transformadores.....	58
4.3.3	Módulo de control.....	63
4.4	Casos de estudio.....	66
4.4.1	Operación básica del CES con un inversor de 12 pulsos con control de corriente de lazo interno y control de voltaje de lazo externo.....	67
4.4.2	Operación básica del CES con un inversor de 24 pulsos con control de corriente de lazo interno y control de voltaje de lazo externo.....	74
4.4.3	Comparación de algunas formas de onda utilizando el convertidor de 12, 24 y 48 pulsos.....	78
4.5	Conclusiones.....	82

## ***CAPÍTULO 5*    MODELADO DINÁMICO DEL CONTROLADOR UNIFICADO DE FLUJOS DE POTENCIA**

5.1	Introducción.....	83
5.2	Principio de operación del controlador unificado de flujos de potencia (CUFP) y las capacidades convencionales de control de transmisión.....	84
5.2.1	La regulación de voltaje.....	87
5.2.2	La compensación serie.....	87
5.2.3	Control del ángulo de fase.....	87
5.2.4	La multifunción del control de flujos de potencia.....	87
5.3	Descripción modular del controlador.....	88
5.3.1	Convertidores multinivel.....	89
5.3.2	Transformador.....	91
5.3.3	Módulo de Control.....	92
5.4	Casos de estudio.....	95
5.4.1	El CUFP con inversores de 24 pulsos alimentados a tres niveles.....	95
5.4.2	Comparación de algunas formas de onda del CUFP utilizando el inversor de 24 y 48 pulsos.....	99
5.5	Conclusiones.....	108

## ***CAPÍTULO 6*    CONCLUSIONES GENERALES, APORTACIONES Y TRABAJOS FUTUROS**

6.1	Conclusiones generales.....	109
6.2	Aportaciones.....	110
6.3	Trabajos futuros.....	110

<b>APÉNDICE A</b>	Secuencia de disparos de los tiristores en un inversor de 24 pulsos.....	112
-------------------	--	-----

<b>APÉNDICE B</b>	Modelado de sistemas de control en el ATP-EMTP.....	115
-------------------	---	-----

<b>APÉNDICE C</b>	Formulación utilizada en ATP-EMTP.....	123
-------------------	--	-----

<b>APÉNDICE D</b>	Archivo de datos.....	141
-------------------	-----------------------	-----

<b>BIBLIOGRAFÍA</b> .....	168
---------------------------	-----

---

## *Simbología y Abreviaciones*

---

$V_d$	Voltaje de entrada al convertidor rms (En la simbología las itálicas mayúsculas son valores rms)
$I_d$	Corriente de directa
$a, b$ y $c$	Fases de corriente alterna
$V_a$	Voltaje de la fase $a$
$V_b$	Voltaje de la fase $b$
$V_c$	Voltaje de la fase $c$
$V_{kj}$	Voltaje de fase a fase
$i_{ab}$	Corriente alterna instantánea (En la simbología las itálicas minúsculas son valores instantáneos)
$\theta$	Ángulo de desfasamiento
$t_i$	Instante de tiempo
$N$	Punto medio hipotético del capacitor de $DC$
$i_a$	Corriente alterna de la fase $a$
$\gamma$	Periodo durante el cual el voltaje de salida es cero
$\gamma_D$	Periodo durante el cual el voltaje de salida es cero en el inversor en derivación
$\gamma_S$	Periodo durante el cual el voltaje de salida es cero en el inversor serie
$D_i$	Diodo
$\sigma$	Periodo variable en cada medio ciclo
$P$	Potencia
$X$	Reactancia
$X_{eff}$	Reactancia efectiva
$X_L$	Reactancia de la Línea
$X_C$	Reactancia del capacitor
$k_{comp}$	Grado de compensación serie
$V_s$	Voltaje en el nodo de envío
$V_r$	Voltaje en el nodo de recepción
$V_C$	Voltaje de inyección de la compensación fasorial

$I$	Corriente de línea
$P_k$	Potencia transmitida en función del grado de compensación $k_{comp}$
$V_q(\zeta)$	Magnitud de voltaje de compensación inyectado
$P_q$	Potencia transmitida en función de la inyección de voltaje $V_q$
$\zeta$	Parámetro de control de la magnitud de voltaje de compensación inyectado
$\delta$	Ángulo de transmisión
$I_{max}$	Corriente de línea máxima
$X_s$	Reactancia inductiva en el lado de envío
$X_r$	Reactancia inductiva en el lado recepción
$n$	Número de inversores de seis pulsos
$NP$	Número de pulsos del inversor
$\bar{V}_{A1,1}, \bar{V}_{B1,1}, \bar{V}_{C1,1}$	Fasores asociados al inversor $AIBICI$
$K_{ij}$	Coefficiente de proporción de las fases para fijar el valor angular de desfaseamiento
$K$	Variable de acuerdo al número de inversores de 6 pulsos
$X_q^*$	Reactancia de compensación demandada
$v_l$	Voltaje trifásico instantáneo
$I_d$	Componentes de directa en el CSES
$I_q$	Componentes de cuadratura en el CSES
$\theta_{ir}$	Ángulo relativo
$\theta_i$	Ángulo de fase de la corriente de línea
$X_q^*$	Reactancia de compensación demandada
$V_q^*$	Magnitud de voltaje demandado
$\theta_v$	Ángulo de fase
$V_{DC}^*$	Voltaje demandado por el capacitor del enlace de $DC$
$K_{inv}$	factor de ganancia
$v_{DC}$	Voltaje de corriente directa
$\theta_2$	Ángulo para operar la configuración lógica de compuerta de los tiristores en el CSES
$\beta$	Error amplificado



$\omega_{ff}$	Frecuencia para mejorar el desempeño del sincronizador de señales
$\Theta$	Señal de salida del sincronizador de señales (PLL)
$\omega$	Valor resultante del punto de suma
$V_1$	Valor eficaz de la componente fundamental de voltaje
$V_h$	$h$ -ésimo componente armónico de voltaje eficaz
$V$	Magnitud de voltaje del sistema
$E$	Voltaje interno de la máquina
$Q$	Potencia reactiva
$C_s$	Capacitor precargado
$V_{A,1}$	Fasor del voltaje fundamental del polo $AI$
$V_{B,1}$	Fasor del voltaje fundamental del polo $BI$
$V_{C,1}$	Fasor del voltaje fundamental del polo $CI$
$V_{D,1}$	Fasor del voltaje fundamental del polo $DI$
$V_{E,1}$	Fasor del voltaje fundamental del polo $EI$
$V_{F,1}$	Fasor del voltaje fundamental del polo $FI$
$V_A^{(1)}$	Voltaje de línea a neutro de la fase $A$ de secuencia positiva
$V_B^{(1)}$	Voltaje de línea a neutro de la fase $B$ de secuencia positiva
$V_C^{(1)}$	Voltaje de línea a neutro de la fase $C$ de secuencia positiva
$V_A^{(2)}$	Voltajes de línea a neutro de la fase $A$ de secuencia negativa
$V_B^{(2)}$	Voltajes de línea a neutro de la fase $B$ de secuencia negativa
$V_C^{(2)}$	Voltajes de línea a neutro de la fase $C$ de secuencia negativa
$V_{ij}^{(1)}$	Fasor de voltaje de fase a fase de secuencia positiva
$V_a^{(1)}$	Voltaje de línea a neutro de la fase $a$ de secuencia positiva
$V_a^{(2)}$	Voltajes de línea a neutro de la fase $a$ de secuencia negativa
$N_1$	Número de espiras en el devanado de alto voltaje
$N_2$	Número de espiras en el devanado de bajo voltaje
$m$	Componente armónica impar
$V_K$	Voltaje de fase en la carga

$v_{A,1}$	Componente fundamental de secuencia positiva del inversor <i>ABC</i>
$v_{A,5}$	Componente del quinto armónico de secuencia negativa del inversor <i>ABC</i>
$v_{A,7}$	Componente del séptimo armónico de secuencia positiva del inversor <i>ABC</i>
$v_A$	Voltaje de la fase <i>A</i> del inversor <i>ABC</i>
$v_{D,1}$	Componente fundamental de la secuencia positiva del inversor <i>DEF</i>
$v_{D,5}$	Componente del quinto armónico de secuencia negativa del inversor <i>DEF</i>
$v_{D,7}$	Componente del séptimo armónico de secuencia positiva del inversor <i>DEF</i>
$v_D$	Voltaje de la fase <i>D</i> del inversor <i>DEF</i>
$v_D^*$	Voltaje modificado de la fase <i>D</i>
$v_{D,1}^*$	Componente fundamental del voltaje modificado de la fase <i>D</i>
$v_{D,5}^*$	Componente del quinto armónico del voltaje modificado de la fase <i>D</i>
$v_{D,7}^*$	Componente del séptimo armónico del voltaje modificado de la fase <i>D</i>
$i_I$	Medición instantánea de corrientes trifásicas a la salida del inversor
$I_{1q}^*$	Corriente reactiva de referencia.
$I_{1d}$	Componente real en el control del CES
$I_{1q}$	Componente de cuadratura en el control del CES
$\theta_I$	Ángulo para operar la configuración lógica de compuerta de los tiristores en el CES
$V_{1dq}$	Magnitud de voltaje
$V_{pq}$	Magnitud controlable de Voltaje
$\beta_1$	Ángulo de fase controlable para la regulación de voltaje
$\sigma_1$	Ángulo de desfaseamiento en el CUF
$\phi$	Ángulo entre el voltaje de salida del inversor serie <i>E2APU</i> de la fase <i>a</i> y la corriente de línea <i>IAPU</i>
SIFLETCA	Sistemas Flexibles de Transmisión de Corriente Alterna
IEEE	Institute of Electrical and Electronics Engineers

CEV	Compensador estático de VAR
TD	Transformador Desfasador
CSCT	Compensador Serie Controlado por Tiristores
CSES	Compensador Serie Estático Síncrono
CES	Compensador Estático Síncrono
CFPI	Controlador de Flujos de Potencia Interlínea
CUFP	Controlador Unificado de Flujos de Potencia
VAR	Potencia reactiva
EPRI	Electric Power Research Institute
AC	Corriente Alterna
ATP-EMTP	Alternative Transients Program-Electro-Magnetic Transients Program
BJTs	Transistores de unión bipolar
MOSFETs	Transistores de efecto de campo tipo MOS
GTOs	Tiristores con apagado por compuerta
IGBTs	Transistores bipolares de compuerta aislada
KV	Kilovolts
KA	Kiloamperes
DC	Corriente directa
VSI2	Convertidor alimentado por voltaje neutralizado de armónicos del CSES
MC2	Transformador neutralizador de armónicos del CSES
T2	Transformador de acoplamiento del CSES
ES2 y ES22	Interruptores electrónicos
MS2	Interruptor mecánico del CSES
PLL	Sincronizador de señales trifásico
PI	Proporcional e integral
XQREF	Reactancia de referencia serie
VDCPU	Voltaje del capacitor del enlace de corriente directa
E2APU	Voltaje de salida del inversor de la fase $a$ en el CSES
IAPU	Corriente línea de la fase $a$
PQPU	Flujos de potencia real
QQPU	Flujos de potencia reactiva
E2PU	Voltaje del inversor

THD <sub>v</sub>	Distorsión armónica total de voltaje
THD <sub>i</sub>	Distorsión armónica total de corriente
VS11	Convertidor alimentado por voltaje neutralizado de armónicos del CES
MC1	Transformador neutralizador de armónicos del CES
T1	Transformador de acoplamiento del CES
MS1	Interruptor mecánico del CES
<i>Kfactor</i>	Factor de decaimiento
I1QREF	Corriente reactiva de referencia
I1Q	Corriente reactiva obtenida de la medición trifásica instantánea
ALPHA	Desfasamiento necesario entre el voltaje salida del inversor y el voltaje de la línea de transmisión
E1APU	Voltaje de salida del inversor de la fase <i>a</i> en el CES
V1APU	Voltaje de la línea de transmisión
I1APU	Corriente del inversor de la fase <i>a</i>
V1REF	Voltaje de línea de referencia en el <i>NODO 1</i>
V1DQ	Voltaje de línea en el <i>NODO 1</i>
MS3	Interruptor mecánico del CUFP
MS4	Interruptor mecánico del CUFP
V12APU	Voltaje en las terminales del transformador de acoplamiento <i>T2</i> (voltaje en la reactancia de dispersión)
QINVPU	Potencia intercambiada en las terminales del transformador de acoplamiento <i>T2</i>
PRPU	Potencia activa en el nodo de recepción
QRPU	Potencia reactiva en el nodo de recepción

---

## *Lista de Figuras*

---

Figura 2.1 Tiristor Gate turn-off (GTO).....	10
Figura 2.2 Principio del convertidor alimentado por voltaje (operación de una sola válvula).....	11
Figura 2.3 Convertidor de onda completa.....	13
Figura 2.4 Esquema del Convertidor trifásico de onda completa.....	16
Figura 2.5 Operación del convertidor de tres niveles.....	19
Figura 3.1 Sistema básico de dos máquinas, con un capacitor serie compensando la línea y su diagrama fasorial.....	23
Figura 3.2 Sistema básico de dos máquinas, con una fuente de voltaje síncrona serie compensando la línea y su diagrama fasorial.....	24
Figura 3.3 Función paramétrica del grado de compensación capacitiva serie.....	26
Figura 3.4 Función paramétrica del voltaje de compensación serie ( $V_q$ ) proporcionada por el CSES.....	26
Figura 3.5 Modelo del Compensador Serie Estático Síncrono en ATP-EMTP.....	29
Figura 3.6 Configuración del inversor de 24 pulsos, conectado al transformador neutralizador de armónicos y a una carga.....	30
Figura 3.7 Transformador neutralizador de armónicos con conexión zigzag, para un inversor de 24 pulsos.....	32
Figura 3.8 Compensador Serie Estático Síncrono de 24 pulsos, con conexión de los transformadores en zigzag y estrella-delta.....	33
Figura 3.9 Diagrama de control del Compensador Serie Estático síncrono.....	34
Figura 3.10 Estructura trifásica del sincronizador de señales (PLL).....	36
Figura 3.11 Modelo del Compensador Serie Estático Síncrono en ATP-EMTP.....	37
Figura 3.12 Variación de reactancia demanda por el CSES.....	38
Figura 3.13 Respuesta del Compensador Serie Estático Síncrono en los modos de operación inductivo y capacitivo, con un inversor de 24 pulsos.....	38
Figura 3.14 Formas de onda del Compensador Serie Estático Síncrono.....	40
Figura 3.15 Voltaje trifásico inyectado por el CSES.....	41
Figura 3.16 Inyección de voltaje serie de la fase $a$ del CSES.....	42
Figura 3.17 Potencia activa y reactiva en el nodo de recepción con el cambio de modo de operación y la configuración del inversor de 12, 24 y 48 pulsos.....	43
Figura 3.18 Voltaje de salida de la fase $a$ ( $E_{2APU}$ ) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.....	43
Figura 3.19 THD y espectro armónico del voltaje de salida de la fase $a$ ( $E_{2APU}$ ) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.....	44
Figura 3.20 Corriente de salida de la fase $a$ ( $I_{APU}$ ) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.....	45
Figura 3.21 THD y espectro armónico de la corriente de salida de la fase $a$ ( $I_{APU}$ ) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.....	46

Figura 3.22 Comportamiento del voltaje de <i>DC</i> en el CSES.....	47
Figura 3.23 Vista expandida del comportamiento del voltaje de <i>DC</i> en el CSES con el inversor de 12, 24 y 48 pulsos.....	47
Figura 4.1 Generación de potencia reactiva por un compensador síncrono rotatorio.....	50
Figura 4.2 Diagramas fasoriales de corriente y voltaje.....	51
Figura 4.3 Generación de potencia reactiva por un inversor alimentado por voltaje.....	53
Figura 4.4 Características V-I del CES.....	54
Figura 4.5 Modelo del Compensador Estático Síncrono en ATP-EMTP.....	55
Figura 4.6 Formas de onda de corriente y voltaje de un inversor de 48 pulsos generando potencia reactiva.....	56
Figura 4.7 Configuración del inversor de 12 pulsos, conectado al transformador neutralizador de armónicos y a una carga.....	57
Figura 4.8 CES de 12 pulsos, utilizando transformadores estrella-delta.....	58
Figura 4.9 Diagrama de devanados y fasores de voltaje para un transformador trifásico conectado en estrella-delta, donde la conexión en estrella es el lado de alto voltaje.....	59
Figura 4.10 Transformador neutralizador de armónicos con conexión estrella-delta para un inversor de 12 pulsos. ....	61
Figura 4.11 Técnica de cancelación de la componente del quinto y séptimo armónico.....	62
Figura 4.12 Diagrama de control de corriente de lazo interno del Compensador Estático Síncrono.....	64
Figura 4.13 Diagrama de control de voltaje de lazo externo del Compensador Estático Síncrono.....	65
Figura 4.14 Modelo del Compensador Estático Síncrono en ATP-EMTP con el control de corriente de lazo interno.....	66
Figura 4.15 Modelo del Compensador Estático Síncrono en ATP-EMTP. con el control de voltaje de lazo interno.....	67
Figura 4.16 Respuesta del Compensador Estático Síncrono con el inversor de 12 pulsos y operado con control de corriente de lazo interno.....	68
Figura 4.17 Formas de onda de un Compensador Estático Síncrono con un inversor de 12 pulsos operando con control de corriente de lazo interno.....	70
Figura 4.18 Respuesta del Compensador Estático Síncrono con el inversor de 12 pulsos operando con el control de voltaje de lazo externo.....	73
Figura 4.19 Respuesta del Compensador Estático Síncrono con el inversor	

de 24 pulsos operando con control de corriente reactiva.....	75
Figura 4.20 Formas de onda de un Compensador Estático Síncrono con un inversor de 24 pulsos operando con control de corriente reactiva.....	76
Figura 4.21 Formas de onda del Compensador Estático Síncrono operando el control de voltaje. Las variables son la corriente de reactiva, la corriente de reactiva de referencia, voltaje de corriente directa en el capacitor y ángulo de desfase.....	77
Figura 4.22 Voltaje de salida de la fase <i>a</i> ( <i>EIAPU</i> ) del CES con la configuración del inversor de 12, 24 y 48 pulsos.....	78
Figura 4.23 THD y espectro armónico del voltaje de salida la fase <i>a</i> ( <i>EIAPU</i> ) del CES con la configuración del inversor de 12, 24 y 48 pulsos.....	79
Figura 4.24 Corriente de salida de la fase <i>a</i> ( <i>IIAPU</i> ) del CES con la configuración del inversor de 12, 24 y 48 pulsos.....	79
Figura 4.25 THD y espectro armónico de la corriente de salida de la fase <i>a</i> ( <i>IIAPU</i> ) del CES con la configuración del inversor de 12, 24 y 48 pulsos.....	80
Figura 4.26 Ángulo del voltaje del inversor con respecto al voltaje de la línea ( <i>ALPHA</i> ).....	80
Figura 4.27 Vista expandida de la Figura 4.26.....	81
Figura 4.28 Voltaje de capacitor dinámicamente ajustado en relación al voltaje del inversor, para el inversor de 12, 24 y 48 pulsos.....	81
Figura 4.29 Vista expandida de la Figura 4.28.....	82
Figura 5.1 Representación conceptual del CUFP.....	84
Figura 5.2 Estructura del CUFP.....	85
Figura 5.3 Características de control del CUFP.....	86
Figura 5.4 Modelo de control del CUFP en ATP-EMTP.....	88
Figura 5.5 Configuración del inversor de 24 pulsos alimentado a tres niveles de voltaje, y conectado al transformador neutralizador de armónicos y una carga.....	89
Figura 5.6 Transformador neutralizador de armónicos con conexión estrella-delta para un inversor 24 pulsos.....	90
Figura 5.7 CES de 24 pulsos, utilizando transformadores estrella-delta e inversores multinivel.....	92
Figura 5.8 Diagrama de control del Compensador Estático Síncrono.....	93
Figura 5.9 Diagrama de control del Compensador Serie Estático Síncrono.....	94
Figura 5.10 Modelo de control del CUFP en ATP-EMTP.....	95
Figura 5.11 Respuesta del Controlador Unificado de Flujos de Potencia con el inversor de 24 pulsos alimentado a tres niveles de voltaje, opera en modo de inyección de voltaje.....	97
Figura 5.12 Formas de onda de la corriente de línea, voltaje inyectado y el voltaje de salida del inversor serie de la fase <i>a</i> .....	99
Figura 5.13 Voltaje de salida de la fase <i>a</i> ( <i>EIAPU</i> ) del inversor conectado en	

	derivación de 24 pulsos con $\gamma_D = 0^\circ$ y $\gamma_D = 3.75^\circ$ en el CUFP.....	100
Figura 5.14	Voltaje de salida de la fase $a$ ( $E1APU$ ) del inversor conectado en derivación de 48 pulsos con $\gamma_D = 0^\circ$ y $\gamma_D = 1.875^\circ$ en el CUFP.....	100
Figura 5.15	THD <sub>v</sub> y espectro armónico del voltaje de salida de la fase $a$ ( $E1APU$ ) del inversor conectado en derivación de 24 y 48 pulsos en el CUFP.....	101
Figura 5.16	Corriente de la fase $a$ ( $I1APU$ ) del inversor conectado en derivación de 24 pulsos con $\gamma_D = 0^\circ$ y $\gamma_D = 3.75^\circ$ en el CUFP.....	102
Figura 5.17	Corriente de la fase $a$ ( $I1APU$ ) del inversor conectado en derivación de 48 pulsos con $\gamma_D = 0^\circ$ y $\gamma_D = 1.875^\circ$ en el CUFP.....	103
Figura 5.18	THD <sub>i</sub> y espectro armónico de corriente de la fase $a$ ( $I1APU$ ) del inversor conectado en derivación de 24 y 48 pulsos en el CUFP.....	103
Figura 5.19	Voltaje de salida de la fase $a$ ( $E2APU$ ) del inversor conectado en serie de 24 pulsos en el CUFP.....	104
Figura 5.20	Voltaje de salida de la fase $a$ ( $E2APU$ ) del inversor conectado en serie de 48 pulsos en el CUFP.....	105
Figura 5.21	THD <sub>v</sub> y espectro armónico del voltaje de salida de la fase $a$ ( $E2APU$ ) del inversor conectado en serie de 24 y 48 pulsos.....	105
Figura 5.22	Corriente de salida de la fase $a$ ( $IAPU$ ) del inversor conectado en serie de 24 pulsos en el CUFP.....	106
Figura 5.23	Corriente de la fase $a$ ( $IAPU$ ) del inversor conectado en serie de 48 pulsos en el CUFP.....	107
Figura 5.24	THD <sub>i</sub> y espectro armónico de corriente de la fase $a$ ( $IAPU$ ) del inversor conectado en serie de 24 y 48 pulsos.....	107



---

## *Lista de Tablas*

---

Tabla 2.1 Cuatro modos de operación en un ciclo del convertidor de onda completa.....	15
Tabla 3.1 Valores de reactancia con la configuración del inversor de 24 pulsos.....	37
Tabla 3.2 Valores de reactancia para la configuración del inversor de 12, 24 y 48 pulsos.....	40
Tabla 4.1 Valores de corriente reactiva.....	67
Tabla 4.2 Valores de Voltaje de línea de referencia.....	70
Tabla 5.1 Valores del voltaje inyectado de referencia.....	96

---

# *CAPÍTULO 1*

## **INTRODUCCIÓN**

---

### **1.1 Introducción**

Debido a diferentes factores políticos, económicos, ambientales, etc., la expansión de los recursos de transmisión no ha evolucionado al ritmo de la creación de nuevas centrales eléctricas y del incremento de la demanda de energía. Un claro ejemplo de lo anterior es el problema asociado al tiempo requerido para conseguir los permisos necesarios de derechos de vía en los países industrializados, debido a cuestiones de tipo ambiental. Esta problemática en la construcción de líneas de transmisión implica inmovilizar capitales que podrían invertirse en otros proyectos [Piedrahita y Salgado 2002] y [Gyugyi 1999].

En base a lo anterior, se han buscado las formas de optimizar la utilización de los recursos de transmisión existentes. La tecnología de los Sistemas Flexibles de Transmisión de Corriente Alterna (SIFLETCA) que es equivalente al enunciado del idioma inglés Flexible Alternating Current Transmission Systems (FACTS) ofrece oportunidades sin precedentes para lograr este objetivo, sin degradar la seguridad y confiabilidad del sistema, al controlar la cantidad de flujo de potencia en líneas específicas y respondiendo de manera casi instantánea a los fenómenos dinámicos de tipo electromecánico que acontecen en el sistema. De acuerdo al IEEE (Institute of Electrical and Electronics Engineers), la definición de SIFLETCA es la siguiente: “Un sistema flexible de transmisión de corriente alterna es aquel que incorpora controladores estáticos y otros basados en electrónica de potencia en el lado de alto voltaje de la red de transmisión para mejorar su control e incrementar su capacidad de transferencia de potencia.” [Hingorani y Gyugyi 2000] y [Coronado et al. 2001].

Los controladores SIFLETCA abren nuevas oportunidades en el control de potencia y el incremento de la capacidad disponible, debido a la posibilidad de controlar la corriente a través de una línea a un costo razonable operando las líneas de transmisión cerca de sus límites térmicos, lo que anteriormente no era conveniente debido a la seguridad del sistema. Asimismo, el desarrollo de estos dispositivos también ha tenido repercusiones importantes en el aspecto económico de las compañías suministradoras a causa del ambiente competitivo actual (desregulación). En este contexto, el potencial de esta tecnología se basa en la posibilidad de controlar la ruta del flujo de potencia y la habilidad de conectar redes que no estén adecuadamente interconectadas, dando la posibilidad de comerciar energía entre agentes distantes lo que antes era difícil [Coronado et al. 2001].

Existen diferentes formas de clasificar los dispositivos SIFLETCA; una de ellas es en función de la conexión de los dispositivos [Hingorani y Gyugyi 2000]: controladores serie, controladores en derivación, controladores serie-serie y controladores serie-derivación. La otra es tomando como referencia la función de sus principales elementos, en donde se tienen dos grupos: El primer grupo utiliza elementos reactivos y transformadores cambiadores de taps controlados por tiristores convencionales (sin capacidad de apagado) en arreglos similares a los de los dispositivos controlados mecánicamente [Coronado et al. 2001]. Dentro de este grupo se encuentran el Compensador estático de VAR (CEV), el Compensador Serie Controlado por Tiristores (CSCT) y el Transformador Desfasador (TD).

El segundo grupo utiliza convertidores de voltaje autocomutados que actúan con fuentes estáticas de voltaje síncrono. A este grupo corresponden: el Compensador Serie Estático Síncrono (CSES), el Compensador Estático Síncrono (CES), el Controlador Unificado de Flujos de Potencia (CUFP) y el Controlador de Flujos de Potencia Interlínea (CFPI) [Piedrahita y Salgado 2002] y [Coronado et al. 2001].

Esta tesis se remite exclusivamente al análisis dinámico básico del CSES, CES y CUFP. Estos son dispositivos de control extremadamente rápidos para las redes ya que son capaces de modificar las variables de estado del sistema en cuestión de ciclos [Sen 1998].

## 1.2 Estado del arte

El concepto de SIFLETCA incluye a los compensadores estáticos de VAR, los cuales han sido utilizados desde los años 70 [Gyugyi 1998] y [Coronado et al. 2001].

En 1976 Gyugyi describió la posibilidad de generar directamente potencia reactiva controlable, sin el uso de capacitores o reactores, mediante convertidores de potencia, iniciando así el desarrollo del CES [Hingorani y Gyugyi 2000].

En la década de 1980, el Electric Power Research Institute (EPRI) de EE.UU formuló un concepto integral de controladores, cuya operación se basaba en elementos conmutados electrónicamente, denominados dispositivos SIFLETCA. De este concepto se propusieron y construyeron diversos controladores capaces de regular el flujo de potencia y el voltaje de transmisión por medio de una acción de control rápida capaz de amortiguar oscilaciones dinámicas [Gyugyi 1998] y [Gyugyi 2000]. En 1980 fue posible el desarrollo del CES [Cavaliere 2001]. Han pasado quince años desde que el primer CES se puso en funcionamiento en Estados Unidos [Shen et al. 2000]. En la actualidad continua el creciente interés en la configuración del modelado del circuito principal, funcionamiento y particularmente en su control. Razón por la cual, diversos grupos de investigación continúan haciendo propuestas al respecto, un ejemplo de ello son: [Mori et al. 1993], [Hatziadoniu y Chalkiadakis 1998], [Sen 1998], [Shen et al. 2000] y [Norouzi y Sharaf 2003].

En 1986 Hingorani describe un avance de los controladores SIFLETCA, visualizando una conversión de los controles electromecánicos convencionales utilizados en el sistema de corriente alterna (AC) hacia la tecnología del control basada en tiristores [Hingorani 1988] y [Zhang y Ding 1997].

En 1989 Gyugyi propone el compensador serie basado en una fuente convertidora de voltaje conmutada por medio de tiristores con apagado por compuerta (Gate Turn Off (GTO)) [Hingorani y Gyugyi 2000]. Este dispositivo se denominó CSES y sus aplicaciones prácticas se han reportado en [Gyugyi et al. 1997], [Sen 1998] y [Arnez y Zanetta 2003].

Gyugyi propone en 1991 el concepto del CUFP [Hingorani y Gyugyi 2000] y en el siguiente año se publica de manera formal la implementación basada en dos fuentes de voltaje controladas y un enlace de voltaje de directa, así como la formulación general para el control simultáneo en cualquier combinación de los parámetros básicos del sistema de

potencia (el voltaje de transmisión, impedancia, y ángulo de la fase) [Gyugyi 1992]. En 1994 se realizó un estudio enfocado a las fuentes de voltaje controladas empleadas para la compensación dinámica y control del flujo de potencia en los sistemas de transmisión. La fuente de voltaje controlada se implementó con un inversor multipulso utilizando tiristores GTO con capacidad de generar internamente la potencia reactiva necesaria para la compensación de la red. Esta fuente también se puede acoplar con un dispositivo de almacenamiento de energía apropiado para tener intercambio de potencia real con el sistema del AC [Gyugyi 1994]. En años posteriores se realizó una recopilación de los controladores SIFLETCA controlados por tiristores y los basados en fuentes de voltaje controladas (convertidores) [Gyugyi 1998]. La instalación del primer CUFP en el mundo fue en la subestación Inez en Kentucky. Se implementó con dos fuentes de voltaje controladas de  $\pm 160$  MVA basadas en inversores con tiristores GTO, esta instalación es la primera demostración práctica del concepto del CUFP [Schauder et al. 1998]. En el año 2000, Gyugyi presenta aplicaciones reales de los dispositivos SIFLETCA basados en fuentes de voltaje controladas, donde, aparte de proporcionar las características funcionales cuando son aplicados para la compensación reactiva en derivación y serie, también ofrece la expansibilidad modular y la convertibilidad funcional para adaptarse al cambio de operación y requerimientos de la red y así aprovechar la máxima utilización de los recursos de transmisión [Gyugyi 2000].

### **1.3 Justificación y motivación**

La creciente aplicación de los dispositivos SIFLETCA en los sistemas eléctricos de potencia existentes se debe a sus características y posibilidades que presentan, tales como: aumentar la capacidad de la transmisión de líneas y el control del flujo de potencia en las rutas de la transmisión designadas [Gyugyi 1994]. Por lo anterior, es necesario contar con herramientas computacionales adecuadas para hacer posible la simulación digital, las cuales permitan cuantificar el efecto de estos dispositivos en la operación de un sistema eléctrico.

Con la finalidad de lograr lo anterior, en esta tesis se desarrollan modelos matemáticos que representan el comportamiento dinámico de los dispositivos CSES, CES y CUFP. Cada modelo es autónomo e incluye todos los componentes necesarios para representar al controlador. El control del sistema en el modelo ha sido implementado

utilizando valores en por unidad; lo que permite una representación del controlador y la red eléctrica en un solo marco de referencia, el cual puede ser resuelto de manera unificada.

Actualmente el ATP-EMTP (Alternative Transients Program-Electro-Magnetic Transients Program) es un paquete de simulación que puede ser empleado en un elevado número de aplicaciones que abarcan desde el cálculo de sobretensiones transitorias, operación de sistemas de protección, hasta el análisis de sistemas de control en redes eléctricas de potencia y distribución. Esto último, ha motivado que en esta tesis se aplique este programa para evaluar el impacto de los dispositivos SIFLETCA en la operación transitoria de un sistema eléctrico en base a los modelos propuestos en este trabajo.

## **1.4 Objetivos**

Los objetivos principales de la presente tesis son los siguientes.

- Analizar y desarrollar el modelado dinámico del dispositivo llamado CSES en una red simple de dos nodos. Implementado con fuentes de voltaje controladas de diferentes número de pulsos (12, 24 y 48 pulsos) y la conexión del transformador neutralizador de armónicos en zigzag-estrella utilizando el programa de simulación ATP-EMTP.
- Analizar y desarrollar el modelado dinámico del controlador llamado CES. Implementado con fuentes de voltaje controladas con la configuración del inversor de 12, 24 y 48 pulsos y la conexión del transformador neutralizador de armónicos en estrella-delta.
- Analizar y desarrollar el modelado dinámico del dispositivo llamado CUFP. Implementado con fuentes de voltaje controladas con la configuración del inversor de 24 y 48 pulsos alimentado a tres niveles de voltaje y la conexión del transformador neutralizador de armónicos en estrella-delta.

## **1.5 Estructura de la tesis**

El Capítulo 1 lo constituye la presente introducción.

En el Capítulo 2 se presenta una introducción del principio de operación de las fuentes de voltaje controladas enfocándose al convertidor trifásico y al convertidor alimentado a tres niveles de voltaje.

En el Capítulo 3 se describe el principio de operación y el modelo dinámico del CSES. Se detalla los componentes principales del dispositivo como son inversores, transformadores y el módulo de control. Se presenta las simulaciones de los casos de estudio y comparaciones así como sus conclusiones.

En el Capítulo 4 se describe la teoría y modelo dinámico del CES, detallado igualmente que en el capítulo anterior. Se presenta las simulaciones de los casos de estudio y comparaciones así como sus conclusiones.

En el Capítulo 5 se describe la teoría y modelo dinámico del CUFP y se presenta las simulaciones y conclusiones.

En el Capítulo 6 se presentan las conclusiones generales del trabajo, sus aportaciones y recomendaciones para el desarrollo de trabajos en esta área de investigación.

---

## *CAPÍTULO 2*

# **PRINCIPIO DE OPERACIÓN DE LA FUENTE DE VOLTAJE CONTROLADA**

---

### **2.1 Introducción**

En los últimos años las restricciones del medio ambiente, las dificultades de derecho de vía, junto con otros problemas sociales, legislativos y de costos, ha demorado la construcción de medios de generación y, en particular, de nuevas líneas de la transmisión. Lo anterior ha propiciado la búsqueda de nuevas prácticas operativas de transmisión de potencia eléctrica y nuevos dispositivos controladores que permitan utilizar los recursos de transmisión existentes de manera más eficiente, dando lugar a los dispositivos SIFLETCA [Gyugyi 1998]. Estos dispositivos controladores surgen como parte de la evolución de la electrónica de potencia y tecnología de semiconductores de potencia, ofreciendo ventajas de alta velocidad y confiabilidad en su proceso de conmutación y, lo que es más importante, la posibilidad de mejorar las características de transmisión y control de energía eléctrica.

Esta nueva generación de controladores de transmisión de energía eléctrica fundamenta su operación en fuentes de voltaje controladas basadas en convertidores estáticos de potencia *AC-DC-AC*. La conversión se realiza mediante una serie de interruptores de potencia que conmutan para generar la señal deseada. La secuencia de conmutación que siguen los interruptores es impuesta por la técnica de control empleada y será la que determine la forma de la onda de salida [Martín 2003]. La técnica de control consiste en un algoritmo de modulación realizado a nivel software.

Las principales técnicas de control para las fuentes de voltaje controladas son [Mohan N. et al. 2003]:



- Ondas cuadradas. En esta técnica, el voltaje de *DC* de entrada se controla para controlar la magnitud del voltaje de salida de *AC*, y por consiguiente se tiene que controlar sólo la frecuencia del voltaje de salida. Una de las ventajas es que los interruptores sólo cambian dos veces su estado por ciclo, lo anterior, es importante en altos niveles de potencia.
- Modulación de ancho pulso (PWM). En esta técnica, el voltaje de *DC* de entrada es constante en magnitud, y por consiguiente, se debe controlar la magnitud y la frecuencia del voltaje de salida de *AC*. Una de las ventajas es que logra eliminar armónicos cercanos a la frecuencia fundamental de la señal de salida, con frecuencias de conmutación de los interruptores mayores. Estas estrategias consiguen generar una forma de onda de salida sinusoidal en lugar de escalonada.

Además, el control del proceso de conmutación hace posible tener un ajuste simultáneo de la amplitud y ángulo de fase del voltaje de salida de *AC* del convertidor con un voltaje constante de *DC*. Esta característica de control permite considerar al voltaje de salida mencionado como una fuente síncrona de voltaje modulado. La potencia activa intercambiada entre la red eléctrica y el convertidor es controlada al ajustar el ángulo de fase existente entre el voltaje medido en el nodo de alto voltaje de *AC* al cual está conectado el controlador y el voltaje a frecuencia fundamental generado por el convertidor. Esta potencia activa siempre es suministrada por el sistema cuando el controlador no tiene conectada una fuente de energía en el lado de *DC*. El flujo de potencia reactiva se controla por la diferencia existente entre las magnitudes de estos voltajes, generando o absorbiendo de forma automática la potencia reactiva sin la utilización de capacitores o reactores. [Song y Johns 1999], [Gyugyi 2000] y [Coronado et al. 2001]. Los dispositivos SIFLETCA que operan mediante una fuente de voltaje controlada son el CESS, CES, CFPI y el CUPF [Song y Johns 1999] y [Hingorani y Gyugyi 2000].

Con la finalidad de modelar los dispositivos SIFLETCA mencionados, es necesario entender la conformación y funcionamiento de la fuente de voltaje controlada. De tal manera, que en este capítulo se presenta una descripción general de los semiconductores de potencia utilizados en la estructura del convertidor AC-DC-AC y el concepto básico de la operación ideal del convertidor en las topologías de puente completo trifásico de dos niveles y de tres niveles, a baja frecuencia.

## 2.2 Dispositivos semiconductores de potencia

Para entender claramente el funcionamiento de la topología del convertidor es necesario conocer las características del dispositivo semiconductor de potencia que se utiliza. Los dispositivos pueden ser clasificados de acuerdo al grado de controlabilidad en los tres grupos siguientes [Song y Johns 1999] y [Mohan N. et al. 2003]:

- *Diodos*. Los diodos son una familia de dispositivos de dos-capas con conducción unidireccional. El diodo conduce en dirección de ánodo a cátodo, cuando el ánodo es positivo con respecto al cátodo, bloqueándose la conducción en dirección inversa cuando su cátodo es positivo con respecto al ánodo. No tiene compuerta para controlar la conducción en polarización directa. El diodo es un componente importante para varios controladores SIFLETCA [Hingorani y Gyugyi 2000].
- *Tiristores*. Los tiristores son una familia de dispositivos de cuatro-capas. El tiristor conduce en polarización directa cuando su ánodo es positivo con respecto al cátodo y se aplica una señal de voltaje o corriente (pulso) a la compuerta controlada. Algunos tiristores se diseñan sin la capacidad de apagado por la compuerta controlada, y entonces para que el tiristor pase del estado de conducción al estado de no conducción solo se logra cuando la corriente se pone en cero por otros medios [Hingorani y Gyugyi 2000].
- *Interruptores Controlables o dispositivos autoconmutados*. Los interruptores controlables son los dispositivos que pueden ser encendidos y apagados por señales de control [Mohan N. et al. 2003]. En la categoría de interruptores controlables se incluyen: Transistores de unión bipolar (BJTs), Transistores de efecto de campo tipo MOS (MOSFETs), Tiristores con apagado por compuerta (GTOs) y Transistores bipolares de compuerta aislada (IGBTs)

El dispositivo que se emplea en la fuente de voltaje controlada para los controladores SIFLETCA son los Tiristores GTO. A continuación se describe este dispositivo de conmutación.

## 2.2.1 El tiristor con apagado por compuerta (Gate Turn Off (GTO))

En la Figura 2.1 se ilustra el tiristor GTO que puede ser encendido por un pulso de corriente de duración corta aplicado a la compuerta, el cual puede dejarse de aplicar una vez que el GTO está en el estado de conducción. Sin embargo, a diferencia del tiristor convencional, el GTO puede ser apagado mediante la aplicación de un voltaje negativo entre la compuerta y el cátodo, provocando un flujo de corriente de compuerta negativa suficientemente grande. La corriente de compuerta negativa necesita fluir solamente durante unos cuantos microsegundos (durante el tiempo de apagado) pero debe tener una magnitud muy grande, típicamente hasta de un tercio de la corriente de ánodo. El voltaje de conducción de un GTO (2-3 Volts) es ligeramente mayor que el empleado en los tiristores. Los tiempos de conmutación de los GTO están en el rango de 3 a 25 microsegundos y tienen la capacidad de manejar altos voltajes y altas corrientes de hasta 4.5 KV y 3 KA, respectivamente [Mohan N. et al. 2003].

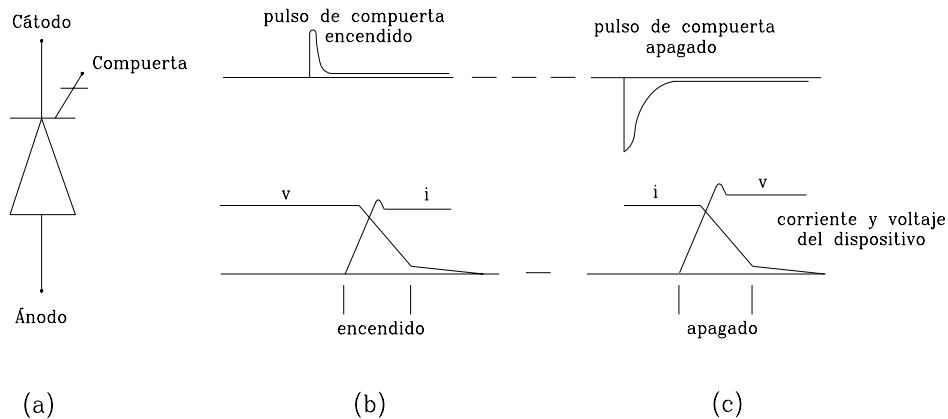


Figura 2.1 Tiristor Gate turn-off (GTO).

(a) Símbolo GTO.

(b) Encendido.

(c) Apagado.

## 2.3 Concepto básico del convertidor

La Figura 2.2(a) ilustra el funcionamiento básico de un convertidor alimentado por voltaje. La topología de las válvulas internas del convertidor se representa como una caja con el símbolo de la válvula dentro. Esta válvula está compuesta por un tiristor GTO y un diodo conectados en paralelo. En el lado de corriente directa (DC), el voltaje es unipolar y es mantenido cerca de un nivel de referencia por el capacitor. Este capacitor es de un valor

bastante grande para soportar tanto la corriente de carga /descarga asociada a la secuencia de conmutación de las válvulas del convertidor, como el desfase del ángulo de fase de la conmutación de las válvulas, sin un cambio significativo en el valor de voltaje de  $DC$ . Para propósitos de discusión en este capítulo, el voltaje del capacitor de  $DC$  se asumirá constante. En el lado de  $DC$ , la corriente puede fluir en cualquier dirección, por lo que puede intercambiar potencia de  $DC$  con el sistema de  $DC$  en cualquier dirección. En el lado de  $AC$ , el voltaje es generado por el convertidor enlazado al sistema de  $AC$  por medio de un inductor. Esta interfase inductiva con el sistema de  $AC$  (normalmente a través de un inductor serie y/o un transformador) es esencial para asegurar que el capacitor de  $DC$  no esté en cortocircuito y evitar que se descargue rápidamente en una carga capacitiva, tal como una línea de la transmisión.

Básicamente un convertidor alimentado de voltaje genera el voltaje de  $AC$  de un voltaje de  $DC$ , por lo que a menudo se le llama un inversor, aún cuando tiene la capacidad para transferir potencia en cualquier dirección. Asimismo, este convertidor tiene la característica de controlar la magnitud, el ángulo de fase y la frecuencia del voltaje de salida mediante un patrón de encendido de las válvulas.

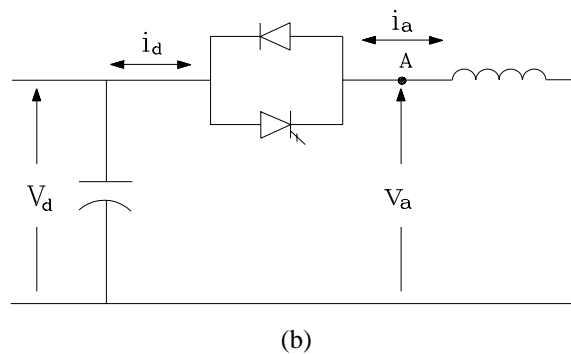
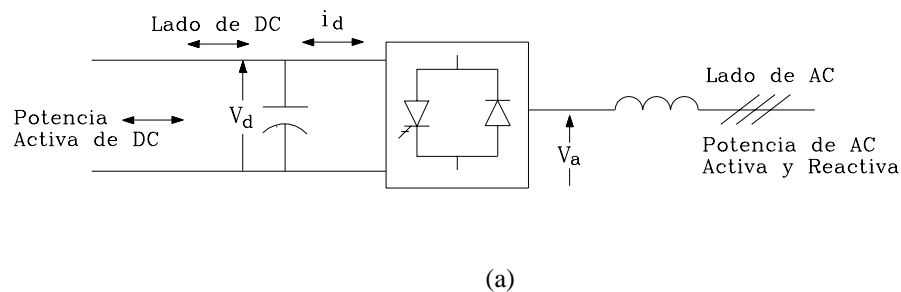


Figura 2.2 Principio del convertidor alimentado por voltaje (operación de una sola válvula).  
 (a) Concepto convertidor alimentado por voltaje.  
 (b) Operación de una sola válvula.

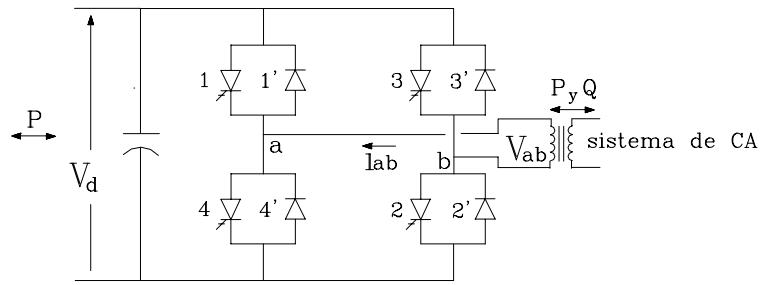
En la Figura 2.2(b) se ilustra la operación de una sola válvula del convertidor. Se asume que el valor de voltaje de  $DC$  ( $V_d$ ) es mantenido constante por el capacitor de  $DC$  cuya terminal positiva está conectada al ánodo de la válvula. Cuando el tiristor GTO se enciende, la terminal positiva de  $DC$  se conecta a la terminal de  $AC$  (el nodo  $A$ ), y el voltaje de salida de  $AC$  es de un valor  $V_a = +V_d$ . Si la corriente fluye de  $+V_d$  al nodo  $A$  (a través del tiristor GTO), la potencia fluiría del lado de  $DC$  al de  $AC$  (acción inversor). Sin embargo, si la corriente fluye del nodo  $A$  hacia  $+V_d$  a través del diodo, aún cuando el tiristor GTO esté cerrado, la potencia fluiría del lado de  $AC$  al de  $DC$  (acción rectificador). De tal manera, que la válvula compuesta por el GTO y el diodo permite que el flujo de potencia pueda fluir en cualquier dirección, el tiristor GTO se ocupa de la acción del inversor, y el diodo de la acción del rectificador. Esta capacidad de actuar como un rectificador o como un inversor con el flujo de corriente instantánea en dirección positiva (de  $AC$  a  $DC$ ) o dirección negativa, respectivamente, es el concepto básico del convertidor alimentado por voltaje [Hingorani y Gyugyi 2000].

## 2.4 Operación del convertidor de onda completa

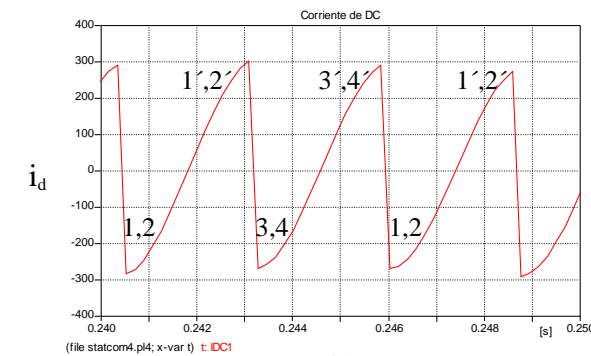
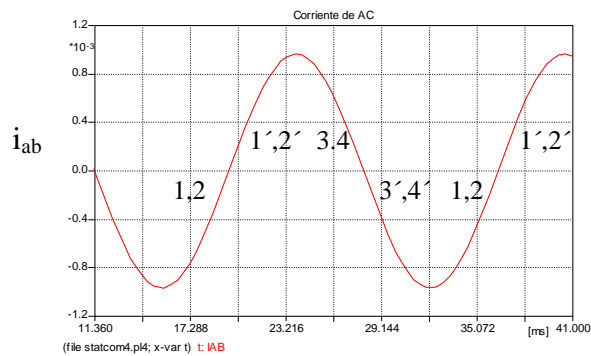
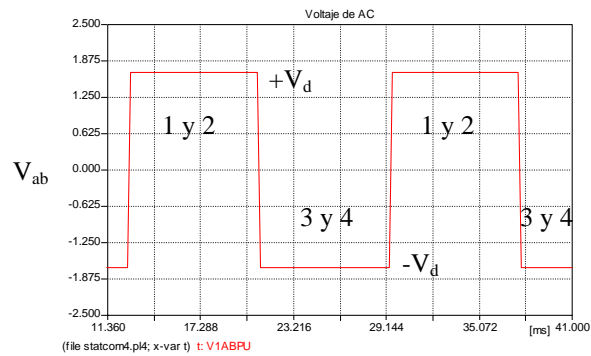
Aunque los controladores SIFLETCA generalmente utilizan convertidores trifásicos, el convertidor monofásico de onda completa también puede ser utilizado en algunos diseños. En cualquier caso, es importante entender el funcionamiento del convertidor monofásico de onda completa para comprender el principio de operación de la fuente de voltaje controlada [Hingorani y Gyugyi 2000].

En la Figura 2.3 se ilustra el convertidor monofásico de onda completa que consta de cuatro válvulas, un capacitor de  $DC$  para proporcionar un voltaje de  $DC$  constante, y dos puntos de conexión de corriente alterna  $a$  y  $b$ . La designación de los números de las válvulas representa su secuencia de conmutación para convertir el voltaje de  $DC$  a voltaje de  $AC$ .

En la primera forma de onda de la Figura 2.3(b) se ilustra cuando los dispositivos 1 y 2 conducen. En este caso el voltaje en los puntos de conexión de  $AC$  es  $V_{ab} = +V_d$  para un medio ciclo. En el medio ciclo complementario los dispositivos 3 y 4 conducen y los dispositivos 1 y 2 no conducen, tal que el voltaje de  $AC$  es  $V_{ab} = -V_d$ . Esta forma de



(a)



(b)

Figura 2.3 Convertidor de onda completa.  
 (a) Circuito de onda completa.  
 (b) Formas de onda de la operación.

onda del voltaje ocurre independientemente del ángulo de fase, magnitud y forma de onda del flujo de corriente alterna ( $i_{ab}$ ). El flujo corriente alterna es el resultado de la interacción del voltaje de AC generado por el convertidor con el voltaje de AC e

impedancia del sistema. El flujo de corriente anterior se ilustra en la segunda forma de onda de la Figura 2.3(b), la cual es de tipo sinusoidal con un ángulo  $\theta$  adelantado con respecto a la forma de onda cuadrada de voltaje.

A continuación se realiza una descripción de la Figura 2.3 tomando en cuenta el circuito y las formas de onda iniciando en el instante de tiempo  $t_1$  [Hingorani y Gyugyi 2000].

1. Para el instante  $t_1$  a  $t_2$ , los dispositivos 1 y 2 conducen y los dispositivos 3 y 4 no conducen,  $i_{ab}$  es negativa y  $V_{ab}$  es positivo. El flujo de corriente del dispositivo 1 entra a través de la fase  $a$  de AC, y sale del lado de AC por la fase  $b$  a través del dispositivo 2, con flujo de potencia de DC a AC (acción inversor).
2. Para el instante  $t_2$  a  $t_3$ , la corriente se invierte, se hace positiva y ahora los flujos son a través de los diodos 1' y 2' con un flujo de potencia de AC a DC (acción rectificador). Durante este intervalo, los dispositivos 1 y 2 están todavía conduciendo y el voltaje  $V_{ab}$  es  $+V_d$ , pero estos dispositivos no pueden conducir en dirección inversa.
3. Para el instante  $t_3$  a  $t_4$ , los dispositivos 1 y 2 no conducen y los dispositivos 3 y 4 conducen,  $V_{ab}$  se vuelve negativo mientras  $i_{ab}$  es todavía positiva. Ahora la corriente fluye a través de los dispositivos 3 y 4 con flujos de potencia de DC a AC (modo inversor).
4. Para el instante de tiempo  $t_4$  a  $t_5$ , los dispositivos 3 y 4 todavía conducen, 1 y 2 no conducen,  $V_{ab}$  es negativo, el flujo de la corriente  $i_{ab}$  se invierte y circula a través de los diodos 3' y 4' ocasionado un flujo de potencia de AC a DC (modo rectificador).

Para el instante  $t_5$ , el ciclo empieza de nuevo como para  $t_1$ . La Tabla 2.1 resume los cuatro modos de operación en un ciclo.

En la Figura 2.3(b), también se ilustra la forma de onda del flujo de corriente  $i_d$  en el nodo de corriente directa, en el lado positivo fluye de AC a DC (modo rectificador) y en el lado negativo fluye de DC a AC (modo inversor).

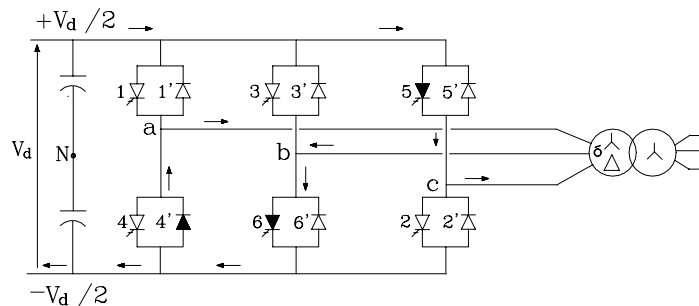
Tabla 2.1 Cuatro modos de operación en un ciclo del convertidor de onda completa

Dispositivos	$V_{ab}$	Flujo de corriente	Dispositivos conduciendo	Conversión
1 y 2 encendidos 3 y 4 apagados	Positiva	Negativa	1 y 2	Inversor
1 y 2 encendidos 3 y 4 apagados	Positiva	Positiva	1' y 2'	Rectificador
1 y 2 apagados 3 y 4 encendidos	Negativa	Positiva	3 y 4	Inversor
1 y 2 apagados 3 y 4 encendidos	Negativa	Negativa	3' y 4'	Rectificador

## 2.5 Operación del convertidor trifásico de onda completa

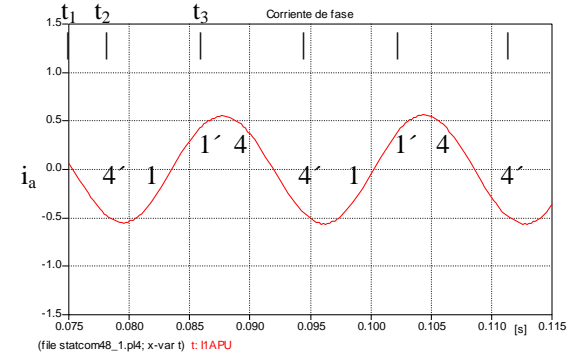
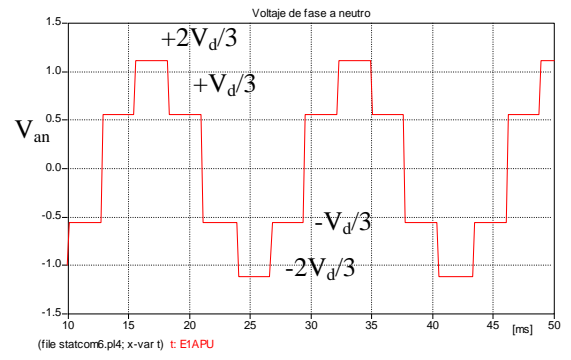
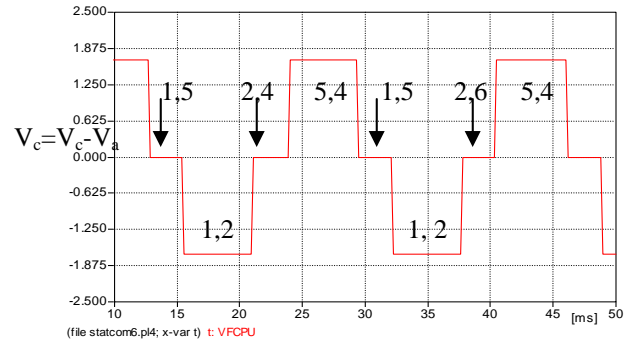
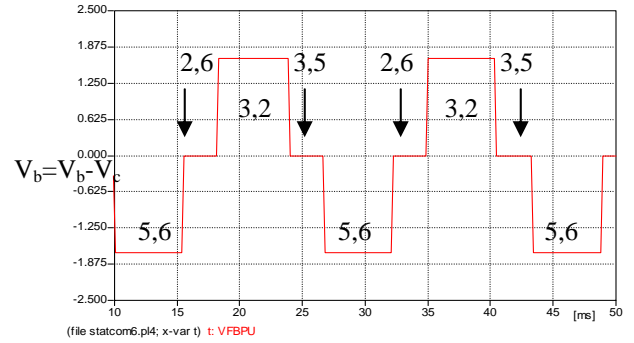
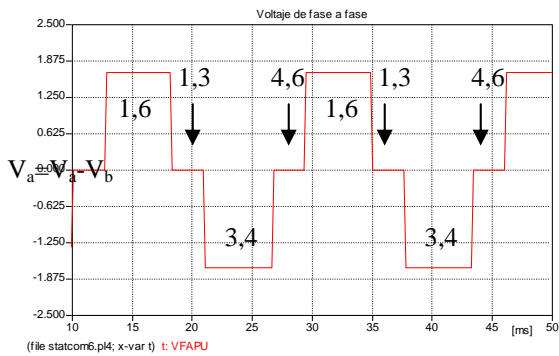
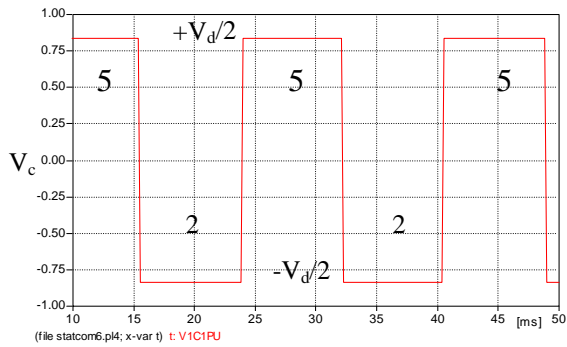
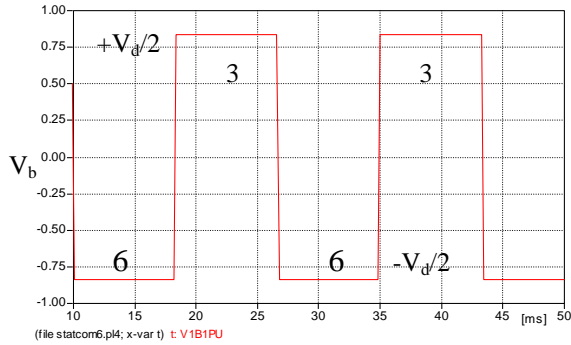
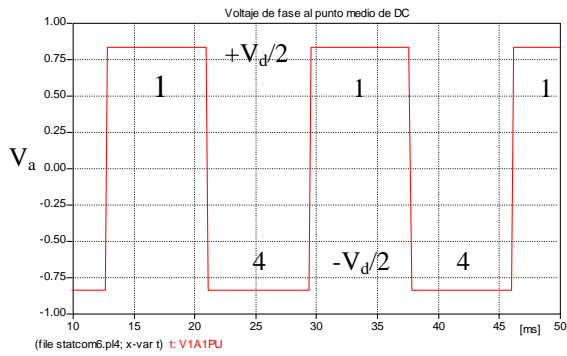
En la Figura 2.4(a) se ilustra el convertidor trifásico de onda completa con seis válvulas, de (1-1') a (6-6'). Este orden de numeración corresponde a su secuencia de operación en el tiempo. El puente se compone de tres piernas que operan en coordinación con un desfase de  $120^\circ$ . Cada válvula conduce alternadamente cada  $180^\circ$  como se ilustra en las formas de onda de voltaje de fase  $V_a$ ,  $V_b$  y  $V_c$  en la Figura 2.4(b), esto es un equivalente a la operación del convertidor de seis pulsos. Las primeras tres formas de onda son los voltajes de los nodos  $a$ ,  $b$  y  $c$  con respecto al punto medio hipotético ( $N$ ) del capacitor de  $DC$ , con un voltaje pico de  $+V_d/2$  y  $-V_d/2$ .

La Figura 2.4(b) también ilustra los tres voltajes de fase a fase  $V_{ab}$ ,  $V_{bc}$  y  $V_{ca}$ , donde  $V_{ab}=V_a-V_b$ ,  $V_{bc}=V_b-V_c$  y  $V_{ca}=V_c-V_a$ . Los voltajes de fase a fase tienen un ancho de pulso de  $120^\circ$  con la magnitud de voltaje máxima  $V_d$ . En periodos de  $60^\circ$ , los voltajes de fase a fase



(a)





(b)

Figura 2.4 Esquema del Convertidor trifásico de onda completa.

(a) Convertidor de onda completa trifásico.

(b) Formas de onda de AC del convertidor trifásico de onda completa.

son cero, lo que representa la condición cuando dos válvulas en el mismo lado del nodo de  $DC$  conducen.

Por ejemplo, el primer pulso de la forma de onda de  $V_{ab}$  muestra el voltaje  $V_d$  cuando los dispositivos  $1$  y  $6$  están conduciendo. En este caso, el dispositivo  $1$  conecta el nodo  $a$  de  $AC$  al nodo de  $DC$  con un voltaje de  $+V_d/2$ . De la misma manera, el dispositivo  $6$  conecta el nodo  $b$  de  $AC$  al nodo de  $DC$  con un voltaje de  $-V_d/2$ . Lo anterior da un voltaje total en terminales de  $AC$  de  $V_{ab} = V_a - V_b = V_d$ . El dispositivo  $6$  deja de conducir  $120^\circ$  después, encendiéndose el dispositivo  $3$ . Como el dispositivo  $1$  todavía conduce, ambos nodos  $a$  y  $b$  de  $AC$  quedan conectados al mismo nodo de  $DC +V_d/2$ , dando un voltaje cero entre los nodos  $a$  y  $b$ . Después de otros  $60^\circ$  el dispositivo  $1$  no conduce, pero ahora el dispositivo  $3$  conduce junto con el dispositivo  $4$ , el cual conecta el nodo  $a$  de  $AC$  al nodo de  $DC$  con un voltaje de  $-V_d/2$ , y por lo tanto el voltaje  $V_{ab}$  es  $-V_{ab}$ . Después de  $120^\circ$  el dispositivo  $3$  deja de conducir, el dispositivo  $4$  continúa conduciendo y el dispositivo  $6$  empieza a conducir conectando el nodo  $b$  al nodo de  $DC$  con un voltaje de  $-V_d/2$ , por lo que  $V_{ab}=0$ . El ciclo se concluye después de otros  $60^\circ$ . Los otros dos voltajes  $V_{bc}$  y  $V_{ca}$  tienen la misma secuencia con un desplazamiento de  $120^\circ$ .

Como se mencionó antes, la conducción y no conducción de los dispositivos establecen las formas de onda de los voltajes del nodo de  $AC$  en relación al voltaje  $DC$ , el flujo de corriente es el resultado de la interacción del voltaje de  $AC$  con el sistema de  $AC$ . Cada pierna del convertidor puede manejar el flujo corriente resultante en cualquier dirección. En la Figura 2.4(b) se ilustra la corriente alterna a frecuencia fundamental  $i_a$  en la fase  $a$ , con una corriente positiva que representa una corriente fluyendo del lado de  $AC$  al de  $DC$ . Para el punto  $t_1$  a  $t_2$ , la corriente de fase es negativa y fluye a través de cualquiera de las válvulas  $1-1'$  o  $4-4'$ . Comparando la forma de onda del voltaje de la fase  $a$  con la corriente de la misma fase, se observa que cuando el dispositivo  $4$  conduce y el dispositivo  $1$  no conduce la corriente es negativa y esta fluyendo por el diodo  $4'$ . En el punto  $t_2$  a  $t_3$ , cuando el dispositivo  $4$  no conduce y el dispositivo  $1$  conduce, el flujo de corriente es a través del dispositivo  $1$  que continúa siendo negativo; es decir, la corriente se ha transferido del diodo  $4'$  al tiristor  $1$ .

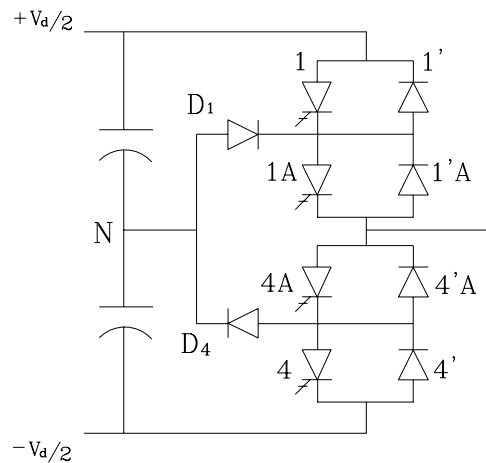
En la Figura 2.4(a) se muestra la trayectoria del flujo de corriente durante  $t_1$  a  $t_2$ ; la corriente de salida de la fase  $b$  fluye a través del dispositivo  $6$ , pero parte de esta corriente

se regresa a través de diodo 4' y entra a la fase *a*, y otra parte fluye hacia el nodo de *DC*. La corriente de *DC* retorna por el dispositivo 5 y entra a la fase *c*. A cualquier tiempo, tres válvulas están conduciendo en un convertidor trifásico.

## 2.6 Convertidor alimentado a tres niveles de voltaje

Los convertidores multinivel presentan muchas ventajas respecto a los convencionales de dos niveles de voltaje que justifican el reciente interés para su aplicación en sistemas de gran potencia [Hingorani y Gyugyi 2000]. Aunado a su capacidad de incrementar la magnitud de voltaje de salida, aumentando el rendimiento del convertidor; son capaces de reducir el contenido armónico del voltaje y de la corriente de salida, así como disminuir la frecuencia de conmutación y el voltaje en terminales de cada dispositivo semiconductor de potencia [Hingorani y Gyugyi 2000] y [Martín 2003].

En la Figura 2.5(a) se ilustra la pierna de la fase *a* del convertidor de tres niveles. Las otras dos piernas de las fases *b* y *c* (no se ilustran) pueden ser conectadas al mismo nodo de corriente directa y los diodos se conectan al mismo punto medio (*N*) del capacitor de *DC*. En cada mitad de la pierna de la fase *a* hay una válvula que se forma por los dispositivos 1-1' y 1A-1'A. Aunque no es necesario doblar el número de válvulas y adicionar dos diodos de conexión extras, doblando el número de válvulas y operando al mismo voltaje nominal, se incrementa al doble la magnitud de voltaje de *DC* y por ende la capacidad de potencia del convertidor [Hingorani y Gyugyi 2000].



(a)

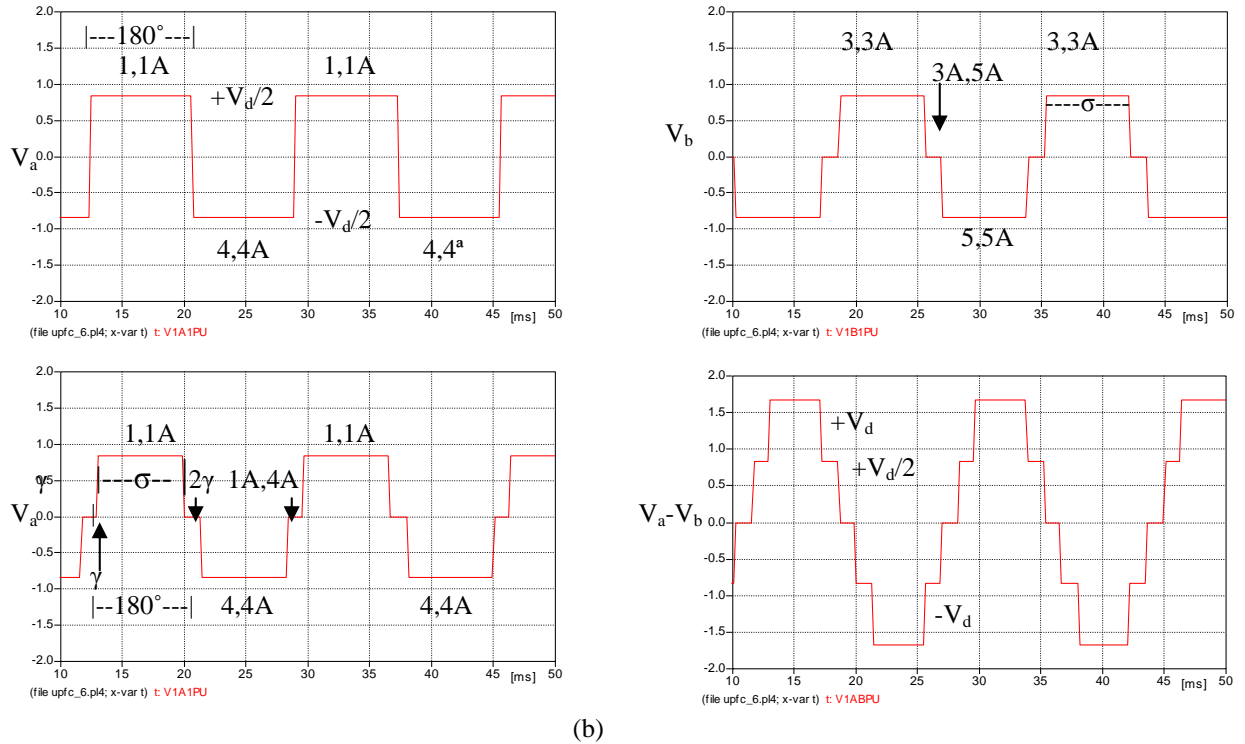


Figura 2.5 Operación del convertidor de tres niveles.

(a) Una sola pierna de un convertidor a tres niveles.

(b) Voltaje de salida AC.

En la Figura 2.5(b) se ilustra el voltaje de salida correspondiente a una pierna de tres niveles. La primer forma de onda cuadrada es obtenida por la conducción de los dispositivos 1 y 1A y se obtiene un voltaje con una amplitud de  $+V_d/2$  con un ancho de pulso de  $180^\circ$ . Después conducen los dispositivos 4 y 4A, resultando un voltaje con una amplitud de  $-V_d/2$  durante  $180^\circ$ . Ahora considerando la segunda forma de onda de voltaje de la Figura 2.5(b) en la cual los dispositivos 1A y 4A están cerrados (conducen) durante un ángulo  $\gamma$  (periodo durante el cual el voltaje de salida es cero y se repite cada cuarto de ciclo) correspondiendo a los primeros  $180^\circ$  de operación de la primer onda cuadrada. Esto ocasiona que solo los dispositivos 1A y 4A conduzcan en combinación con los diodos  $D_1$  y  $D_4$ , manteniendo el voltaje de fase  $V_a$  en cero con respecto al punto medio de DC ( $N$ ) independientemente del sentido de flujo de la corriente. Lo anterior tiene un periodo de  $2\gamma$  hasta que el dispositivo 1A se apaga y el dispositivo 4 se enciende, ocasionando un salto en la magnitud de voltaje igual a  $-V_d/2$  con los dispositivos 4 y 4A encendidos y los dispositivos 1 y 1A abiertos, y así sucesivamente. El ángulo  $\gamma$  es variable,

y el voltaje de salida ( $V_a$ ) tiene un ancho de pulso de  $\sigma = 180^\circ - 2\gamma^\circ$ . El periodo  $\sigma$  es variable en cada medio ciclo, lo que permite que el voltaje ( $V_a$ ) sea independientemente variable y con una respuesta de control rápida. Se observa que los dispositivos 1A y 4A se cierran periódicamente cada  $180^\circ$ , y los dispositivos 1-1A y 4-4A son cerrados por  $\sigma = 180^\circ - 2\gamma^\circ$  durante cada ciclo, mientras los diodos  $D_1$  y  $D_4$  conducen por  $2\gamma^\circ = 180^\circ\sigma$  en cada ciclo. El convertidor es llamado de tres niveles porque el voltaje de  $DC$  tiene tres valores  $-V_d/2$ ,  $0$ , y  $+V_d/2$  [Sen y Stacey 1998] y [Hingorani y Gyugyi 2000].

Los dispositivos GTO manejan en cualquier instante la acción inversor y los diodos en paralelo se encargan de la acción rectificadora. Los diodos de conexión  $D_1$  y  $D_4$  junto con los dispositivos 1A y 4A, conducen la corriente durante los periodos de sujeción, los dispositivos  $D_1$ -1A conducen la corriente negativa que se inyecta al nodo de  $AC$ , y los dispositivos  $D_4$ -4A conducen la corriente positiva [Hingorani y Gyugyi 2000].

En las últimas formas de onda de la Figura 2.5(b) se ilustra el voltaje de salida de la fase  $b$  ( $V_b$ ), y forma de onda del voltaje de fase a fase ( $V_{ab}$ ) para un convertidor trifásico.

## 2.7 Conclusiones

En este capítulo se presenta el principio de operación de la fuente de voltaje señalando el tipo de dispositivos semiconductores utilizados en la implementación del convertidor. Se inició con el concepto básico del convertidor, y después se hizo la descripción del funcionamiento del convertidor de onda completa, para después adentrarse en la operación del convertidor trifásico y finalmente la del convertidor alimentado a tres niveles de voltaje. Siendo estas dos últimas las configuraciones utilizadas para el modelado de los dispositivos SIFLETCA.

Del modo de operación descrito se pueden hacer las siguientes observaciones [Hingorani y Gyugyi 2000]:

- Las formas de onda de voltaje y corriente en el lado de  $AC$  del convertidor pueden tener cualquier relación de fase, dependiendo del tipo de carga existente. Debido a lo anterior, el convertidor opera como un rectificador o un inversor con potencia reactiva en atraso o adelanto.

- Si existe un sistema de *DC* y un sistema de *AC* conectado en los respectivos lados del convertidor, habrá intercambio de potencia activa y reactiva. En caso de no existir un sistema de *DC*, el lado de *DC* del convertidor solo tendrá un capacitor para el intercambio de potencia reactiva.
- La potencia activa y reactiva en el sistema eléctrico a compensar puede ser controlada independientemente al controlar la magnitud y ángulo de fase del voltaje de *AC* generado por el convertidor con respecto a la corriente de *AC*.
- Los diodos efectúan la acción de rectificación y los GTO la acción de inversión. Tal que cada ciclo de *AC* consiste de periodos de rectificación e inversión definidos por el ángulo de fase existente entre las formas de onda de corriente y voltaje. El valor promedio de corriente determina el flujo neto de potencia en cada modo de operación. Cuando el convertidor actúa como rectificador a factor de potencia unitario, solo los diodos participan en la conducción, y cuando opera como inversor con factor de potencia unitario, solo los GTO conducen.
- Cuando los GTO dejan de conducir, el flujo de corriente alterna no se interrumpe del todo, ya que es transferida del GTO al diodo cuando se opera a un factor de potencia no unitario y del GTO a otro GTO cuando se opera a factor de potencia unitario.
- Los elementos de conmutación de una misma rama o polo no se encienden de manera simultánea ya que causarían un corto circuito en el lado de *DC* y una descarga del capacitor que destruiría a estos elementos.

---

# *CAPÍTULO 3*

## **MODELADO DINÁMICO DEL COMPENSADOR SERIE ESTÁTICO SÍNCRONO**

---

### **3.1 Introducción**

En este capítulo se describe el modelo dinámico del Compensador Serie Estático Síncrono (CSES), cuya función es inyectar un voltaje en serie con la línea de transmisión a la cual compensa. Este controlador se basa en una fuente de voltaje controlada, utilizando tiristores GTO, para proporcionar una compensación serie controlable [Gyugyi et al. 1997]. Los principales componentes de este dispositivo son [Sen 1998]: un convertidor alimentado por voltaje a través de un capacitor de corriente directa, un transformador neutralizador de armónicos, un transformador de acoplamiento, un interruptor mecánico, dos interruptores electrónicos, un controlador y sensores de voltaje y de corriente. Las funciones básicas del CSES se ilustran mediante ejemplos numéricos. Se hace un análisis de su respuesta dinámica al ocurrir un cambio en la operación del sistema. Asimismo, se evalúa el comportamiento del dispositivo en función de su configuración; es decir, cuando opera con una configuración 12, 24 y 48 pulsos en el inversor.

### **3.2 Principio de operación del compensador serie estático síncrono (CSES) y características**

La operación básica del CSES puede ser explicada a partir de la compensación capacitiva serie convencional. La relación que caracteriza la transmisión de potencia en una línea de transmisión ideal esta dada por.

$$P = \frac{V^2}{X_L} (\text{sen} \delta) \quad (3.1)$$

La reactancia efectiva  $X_{eff}$  asociada a la línea de transmisión con la compensación capacitiva serie esta dada por:

$$X_{eff} = X_L - X_C = (1 - k_{comp})X_L \quad (3.2)$$

Donde  $k_{comp}$  es el grado de compensación serie dado por,

$$k_{comp} = \frac{X_C}{X_L} \quad 0 \leq k_{comp} < 1 \quad (3.3)$$

De las ecuaciones anteriores se observa que la compensación serie convencional puede ser interpretada como un medio para decrementar la reactancia serie de la línea de transmisión, y por ende, incrementar el flujo de potencia activa transmitida. Sin embargo, otra interpretación de esta compensación puede ser realizada en términos de magnitudes de voltaje.

La Figura 3.1 ilustra una línea de transmisión ideal compensada por un capacitor serie. En los extremos de la línea compensada se tienen fuentes de voltaje constante. El diagrama fasorial asociado a cada una de las variables del sistema es también mostrado en esta Figura. De la ley de Ohm es claro que dado un flujo de corriente a través de la línea, los voltajes en terminales del capacitor e inductor que representa a la línea van en antifase. De tal manera, cuando la línea es compensada, el voltaje a través del capacitor produce un incremento en antifase del voltaje en terminales del inductor, tal como se muestra en el diagrama fasorial. Lo anterior se debe a que es necesario mantener el mismo voltaje en

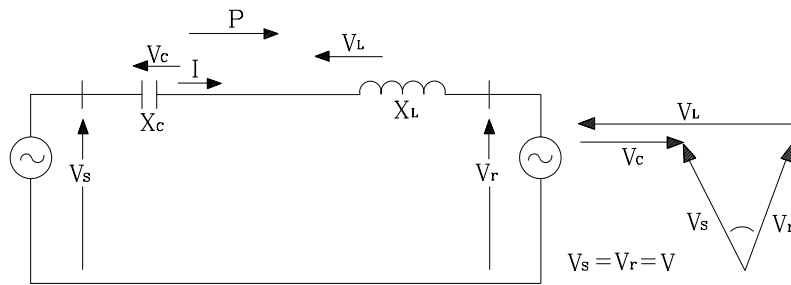


Figura 3.1 Sistema básico de dos máquinas, con un capacitor serie compensando la línea y su diagrama fasorial.



terminales de la línea compensada, ya que la magnitud de las fuentes de voltaje es constante. Este incremento es proporcional al valor de voltaje en el capacitor. En base a lo expresado, la compensación capacitiva serie puede interpretarse como un medio para incrementar la magnitud de voltaje en terminales de la línea física, y por ende se incrementa la correspondiente corriente de línea y la potencia transmitida.

Aunque lo descrito anteriormente puede parecer trivial, desde el punto de vista de transmisión de potencia, el parámetro importante es el voltaje en terminales de la línea física. En este caso, el capacitor solo es un medio para incrementar este voltaje al valor necesario para lograr un flujo de corriente deseado a través de la línea. Por consiguiente, la misma transmisión de potencia en estado estable puede establecerse si la compensación serie se proporciona por una fuente de voltaje síncrona, como se ilustra en la Figura 3.2, donde el voltaje de salida es exactamente igual al del capacitor serie dado por,

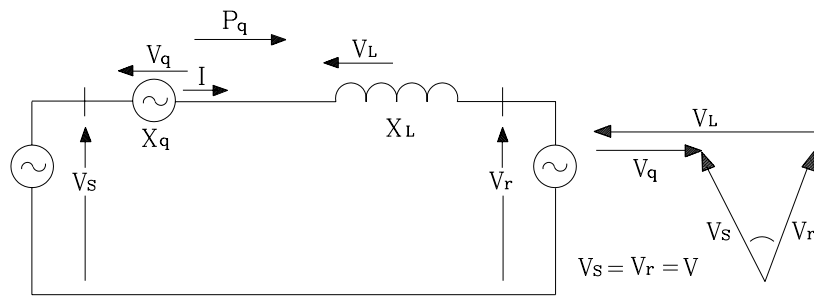


Figura 3.2 Sistema básico de dos máquinas, con una fuente de voltaje síncrona serie compensando la línea y su diagrama fasorial.

$$V_q = V_C = -jX_C I = -jk_{comp} X_L I \quad (3.4)$$

donde  $V_C$  es la inyección del voltaje de compensación fasorial,  $I$  es la corriente de línea,  $X_C$  es la reactancia serie del capacitor,  $X_L$  es la reactancia de la línea y  $k_{comp} = X_C / X_L$  es el grado de compensación serie [Hingorani y Gyugyi 2000].

Aunque una fuente de voltaje síncrona puede imitar el efecto de un capacitor serie, las características inherentes a esta fuente son completamente diferentes a las de un capacitor serie. Estas características son resumidas a continuación.

### 3.2.1 Característica de potencia transmitida contra ángulo de transmisión

El capacitor es una impedancia reactiva en serie con la línea de transmisión, y por consecuencia el voltaje en sus terminales es proporcional a la corriente de línea cuya magnitud es función del ángulo de transmisión. De tal manera, al cambiar este ángulo la corriente de línea varía, y por ende el voltaje de compensación también cambiará. Por último, la potencia transmitida  $P_k$  es una función paramétrica del grado de compensación serie  $k_{comp}$ ,

$$P_k = \frac{V^2}{X_L (1 - k_{comp})} (\text{sen} \delta) \quad (3.5)$$

donde  $V = V_s = V_r$  y  $\delta = \delta_s - \delta_r$ ,

Contrariamente a lo que pasa con el capacitor serie, el CSES inyecta un valor voltaje de compensación en serie con la línea independientemente del valor de flujo de corriente a través de ella. De tal manera, la potencia transmitida  $P_q$  es una función paramétrica de la inyección de voltaje  $V_q$  y se expresa para el sistema de dos máquinas de la Figura 3.2 de la siguiente forma,

$$P_q = \frac{V^2}{X_L} \text{sen} (\delta) + \frac{V}{X_L} V_q \cos (\delta/2) \quad (3.6)$$

$$V_q = \pm j V_q(\zeta) \frac{I}{|I|}$$

donde  $V_q(\zeta)$  es la magnitud de voltaje de compensación inyectado en el rango  $(0 \leq V_q(\zeta) \leq V_{q_{\max}})$  y  $\zeta$  (zeta) es parámetro de control de la magnitud de voltaje. El comportamiento de la potencia transmitida a través de una línea de transmisión, con respecto al ángulo  $\delta$ , para diferentes niveles de compensación serie realizada por medio de un capacitor serie y un CSES se ilustra en las Figuras 3.3 y 3.4, respectivamente.

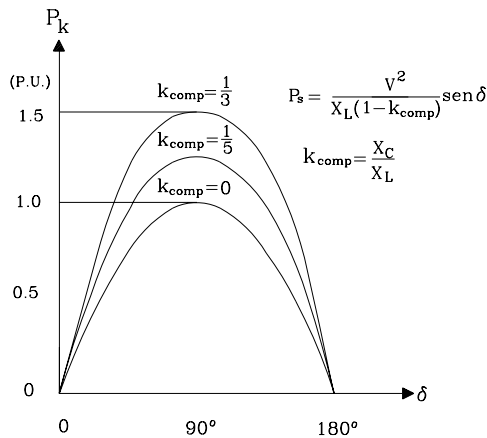


Figura 3.3 Función paramétrica del grado de compensación capacitiva serie.

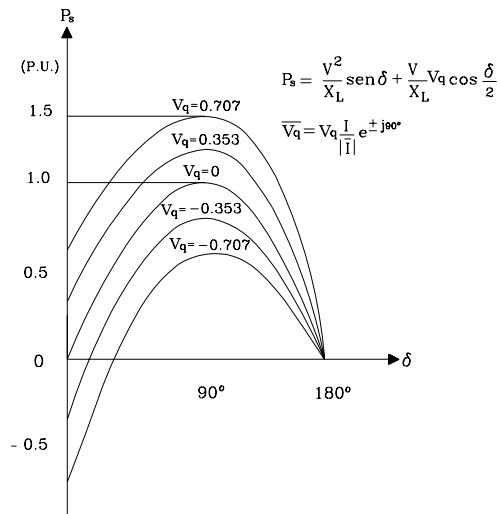


Figura 3.4 Función paramétrica del voltaje de compensación serie ( $V_q$ ) proporcionada por el CSES.

La Figura 3.3 ilustra claramente que para un valor  $\delta$ , el capacitor serie incrementa la potencia transmitida en un porcentaje fijo con respecto a la potencia transmitida cuando la línea no es compensada. Conforme se incrementa el valor de  $\delta$ , es mayor este porcentaje de incremento. En contraste, se observa en la Figura 3.4 que el CSES incrementa esta potencia en una fracción fija de la potencia máxima que puede ser transmitida por la línea no compensada, independientemente del valor de  $\delta$  dentro del rango práctico de operación  $0 \leq \delta \leq 90^\circ$ .

Una diferencia adicional evidente en estas Figuras es que mientras el capacitor solo puede incrementar la potencia de transmisión, el CSES además la decremanta. Lo anterior se logra por una simple inversión de polaridad en la inyección de voltaje serie. Esta característica es muy importante ya que implica que el CSES tiene un rango de compensación controlada de dos veces el valor nominal del convertidor que lo conforma. Esto significa que el CSES puede decrementar o incrementar el valor de flujo de potencia, en un mismo valor, simplemente invirtiendo la polaridad del voltaje serie inyectado.

### 3.2.2 Capacidad para incrementar potencia activa

El capacitor serie en el circuito de transmisión es una impedancia reactiva y como tal sólo puede intercambiar la potencia reactiva, el CSES puede intercambiar ambas potencias (reactiva y activa) con el sistema de corriente alterna, simplemente controlando la posición angular de la inyección del voltaje con respecto a la corriente de línea.

### 3.2.3 Inmunidad a la resonancia

La función deseada del capacitor serie es incrementar la potencia transmitida a la frecuencia fundamental, inyectando un voltaje opuesto al que se tiene en terminales de la reactancia serie de la línea física. Sin embargo, la impedancia del capacitor serie esta en función de la frecuencia y de esta manera puede causar resonancia a varias frecuencias con otra impedancia reactiva presente en la red. La más grande preocupación es que esta resonancia acontezca a una frecuencia debajo de la fundamental. A esta frecuencia, el sistema eléctrico puede excitar una resonancia mecánica en las turbinas del generador, causando el fenómeno de resonancia subsíncrona, el cual puede dañar seriamente al generador [Gyugyi et al. 1997].

El CSES es esencialmente una fuente de voltaje de corriente alterna, con entradas de control fijas, que opera a la frecuencia (fundamental) de salida seleccionada, y su impedancia de salida a otras frecuencias podría ser teóricamente cero. En la práctica, el CSES tiene una impedancia inductiva de salida relativamente pequeña proporcionada por la inductancia de dispersión del transformador de acoplamiento. La caída de voltaje a través de la impedancia es automáticamente compensada a la frecuencia fundamental cuando el CSES proporciona compensación capacitiva a la línea. Así, la impedancia de salida efectiva contra la característica de frecuencia del CSES de un inductor pequeño remanente opera a todas las frecuencia menos a la fundamental. Consecuentemente, el CSES es incapaz de formar una resonancia serie en el circuito con la impedancia inductiva de la línea, o excitar oscilaciones subsíncronas del sistema. Por otro lado, el CSES tiene una respuesta rápida (casi instantánea) tal que puede ser muy eficaz en el amortiguamiento de oscilaciones subsíncronas presentes en el sistema debido a la existencia de los condensadores serie.

Aparte de la inmunidad a la resonancia subsíncrona, el comportamiento del CSES en la red de transmisión es también diferente del capacitor serie a la frecuencia fundamental. El voltaje de compensación del CSES es fijado por el control, independiente de cambios de impedancia de la red. Esto significa que el CSES no se puede conjugar con cualquier inductancia de la línea para excitar una resonancia serie a la frecuencia fundamental.

### 3.2.4 Rango de control y potencia nominal

El CSES proporciona un voltaje de compensación capacitivo o inductivo independientemente si la corriente de línea tiene un valor superior a la corriente nominal especificada. Así, teóricamente el CSES puede mantener un valor fijo de voltaje de compensación capacitivo o inductivo, independientemente del valor que tenga la corriente dentro de un rango  $0 \leq I \leq I_{\max}$  [Gyugyi et al. 1997].

Cuando el CSES está operando en un modo de compensación capacitiva, el voltaje de salida está retrasado de la corriente de línea por  $90^\circ$ . El voltaje de salida del convertidor alimentado por voltaje se puede invertir por una acción de control simple y así retrasar la corriente de línea por  $90^\circ$ . En este caso, el voltaje inyectado disminuye el voltaje por la reactancia inductiva de la línea y así la compensación serie tiene el mismo efecto como si la impedancia reactiva de la línea fuera aumentada [Hingorani y Gyugyi 2000].

## 3.3 Descripción modular del controlador

En la Figura 3.5 se ilustra el CSES conectado en serie a una línea de transmisión a través de los nodos *NODO 1* y *NODO 2*. El sistema eléctrico está integrado por una línea de transmisión con una reactancia inductiva  $X_s$ , una fuente de voltaje  $\bar{V}_s$ , una reactancia inductiva de recepción  $X_r$ , y una fuente de voltaje de recepción  $\bar{V}_r$ . Los componentes del CSES son: un convertidor alimentado por voltaje *VSI2*, un transformador neutralizador de armónicos *MC2*, un transformador de acoplamiento *T2*, un interruptor mecánico *MS2*, sensores de voltaje y de corriente, dos interruptores electrónicos *ES2* y *ES22*, y un sistema de control. El convertidor y el transformador neutralizador de armónicos conforman lo que se denomina circuito de potencia. A continuación se describen las características de cada uno de los componentes del CSES.

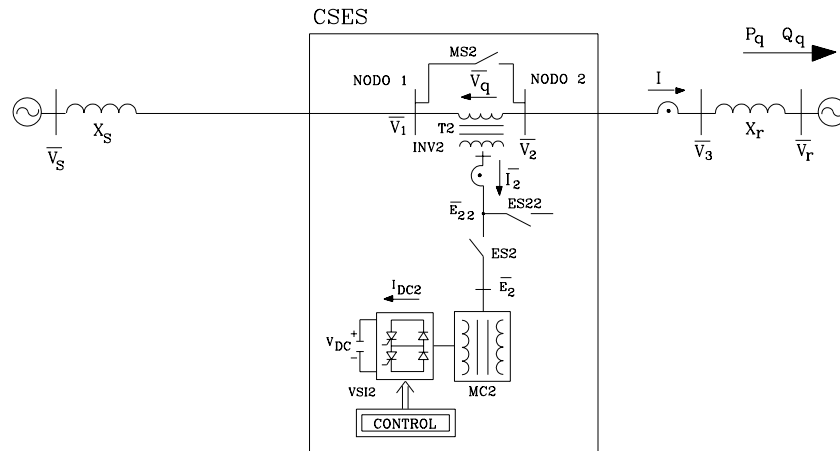


Figura 3.5 Modelo del Compensador Serie Estático Síncrono en ATP-EMTP.

### 3.3.1 Convertidor de 24 pulsos alimentado por voltaje

Como se menciono anteriormente, la fuente de voltaje síncrona se utiliza para la compensación dinámica y control de flujo de potencia en las líneas de transmisión. La fuente de voltaje síncrona es análoga a una máquina síncrona ideal, la cual genera un conjunto balanceado de tres voltajes sinusoidales a frecuencia fundamental, con amplitud y ángulo de fase controlados. Esta máquina ideal no tiene inercia, su respuesta es prácticamente instantánea, no altera significativamente la impedancia del sistema y puede generar internamente potencia reactiva (capacitiva o inductiva). Además, puede intercambiar potencia activa con el sistema de AC, si esta acoplada a una fuente de energía apropiada que pueda generar o absorber la potencia requerida por el sistema de AC [Gyugyi 1994]. Para simular una fuente de voltaje síncrona es necesario producir un conjunto balanceado de tres formas de onda cuadradas de voltaje a la frecuencia fundamental con solo utilizar dos elementos básicos: seis tiristores GTO y una fuente de voltaje de DC que puede ser un capacitor.

La forma de onda del voltaje de salida del inversor elemental de seis pulsos contiene componentes armónicos de orden  $(6k \pm 1)$ , donde  $k=1, 2, 3, \dots$ . Como es evidente, el alto contenido armónico del voltaje de salida de este inversor simple lo hace impráctico para aplicaciones de alta potencia.

La configuración del circuito multipulso de una fuente de voltaje síncrona es considerada la más práctica en aplicaciones de alta potencia. Esta configuración se implementa con dos o más inversores de seis pulsos alimentados por voltaje. En general, se utiliza la técnica de cancelación de armónicos donde la entrada y la salida de los  $n$  inversores de seis pulsos se combinan para obtener una estructura multipulso ( $n=1,2,4,8,16,\dots$ ), y donde el número de pulsos del inversor se obtiene por  $NP=6n$  [Gyugyi 1994]. El ángulo de desfase entre dos inversores consecutivos en la configuración de un inversor multipulso es  $2\pi/6n$  [Sen 1998].

En la Figura 3.6 se ilustra la configuración de un inversor de 24 pulsos alimentado por voltaje. Los voltajes del polo de cada inversor de seis pulsos,  $A1B1C1$ ,  $A2B2C2$ ,  $D1E1F1$  Y  $D2E2F2$  son combinados por el transformador neutralizador de armónicos cuya salida se conecta a una carga trifásica. Los polos  $A1$ ,  $B1$ ,  $C1$ ,  $A2$ ,  $B2$ ,  $C2$ ,  $D1$ ,  $E1$ ,  $F1$ ,  $D2$ ,  $E2$ , y  $F2$  se operan de tal manera que los fasores de voltaje a frecuencia fundamental están desfasados  $120^\circ$  a la salida de un inversor particular; es decir, el grupo de fasores  $\bar{V}_{A1,1}, \bar{V}_{B1,1}, \bar{V}_{C1,1}$  asociados al inversor  $A1B1C1$  están desfasados  $120^\circ$  entre si. El ángulo desfaseamiento entre dos inversores de 6 pulsos consecutivos es de  $2\pi/24 = 15^\circ$ . Esto se

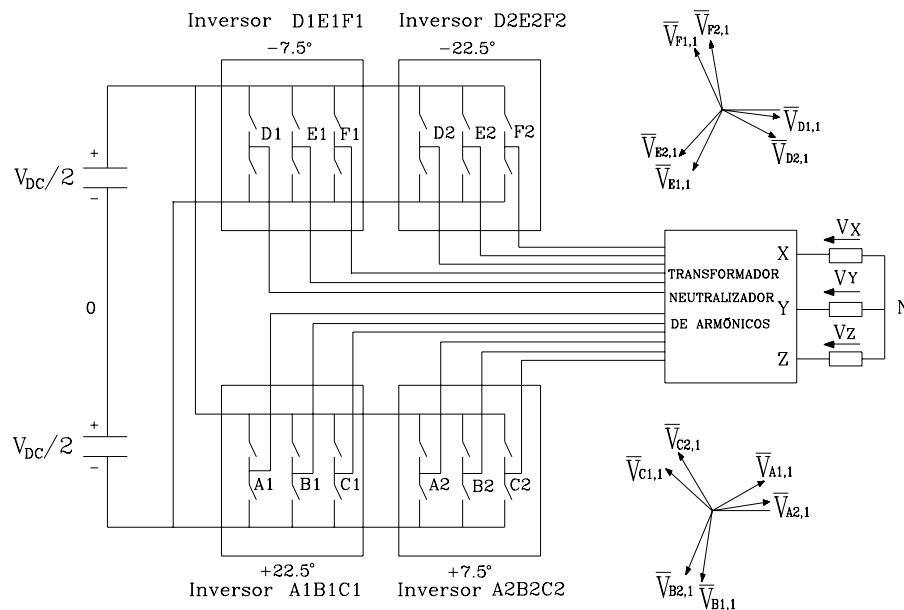


Figura 3.6 Configuración del inversor de 24 pulsos, conectado al transformador neutralizador de armónicos y a una carga.

puede comprobar siguiendo la secuencia de los inversores  $A1B1C1$ ,  $A2B2C2$ ,  $D1E1F1$  Y  $D2E2F2$ . Esta secuencia de encendido ocasiona que exista un desfase de  $30^\circ$  entre los inversores  $A1B1C1$  y  $D1E1F1$ , así como  $A2B2C2$  y  $D2E2F2$ . Lo anterior se detalla en el apéndice A.

### 3.3.2 Transformador

El CSES utiliza dos transformadores: un *transformador de acoplamiento* con la función de unir el compensador a la red y un *transformador neutralizador de armónicos* para eliminar algunos de los armónicos generados por los inversores, y reducir el contenido armónico que se introduce a la red. Es claro que al ocurrir una falla eléctrica puede haber corrientes inrush, que el transformador se sature y opere en su región no lineal; sin embargo, puesto que el propósito de esta tesis es la cuantificación del efecto de los controladores SIFLETCA en el control de las variables de estado de un sistema eléctrico, se asume que el transformador está operando en la parte lineal de su curva de magnetización.

El transformador de acoplamiento posee una relación de transformación simple entre el primario y secundario con conexiones de tipo estrella-estrella o estrella-delta. Sin embargo los transformadores *neutralizadores de armónicos* pueden tener una conexión y una relación de transformación más compleja. Las dos conexiones básicas son: zigzag-estrella y estrella-delta [Cavaliere 2001].

La conexión zigzag utiliza en su arreglo un transformador con una estructura especial de forma que se pueda generar un desfase en los voltajes. El desfase se logra dividiendo el devanado de primario en dos partes y conectando pares de diferentes fases en serie [Bathurst et al. 1999] como se ilustra en la Figura 3.7. En este caso se utiliza la técnica de cancelación de armónicos que consiste en sumar las salidas de varios inversores para cancelar ciertos armónicos. En el secundario la conexión está en estrella, pero también puede ser en delta como se realizó en [Seki y Uchino 1997]. El uso de la conexión estrella-delta del transformador permite la eliminación eficaz de los armónicos de bajo orden debido a que quedan atrapados en la conexión delta [Rodríguez et al. 2005].



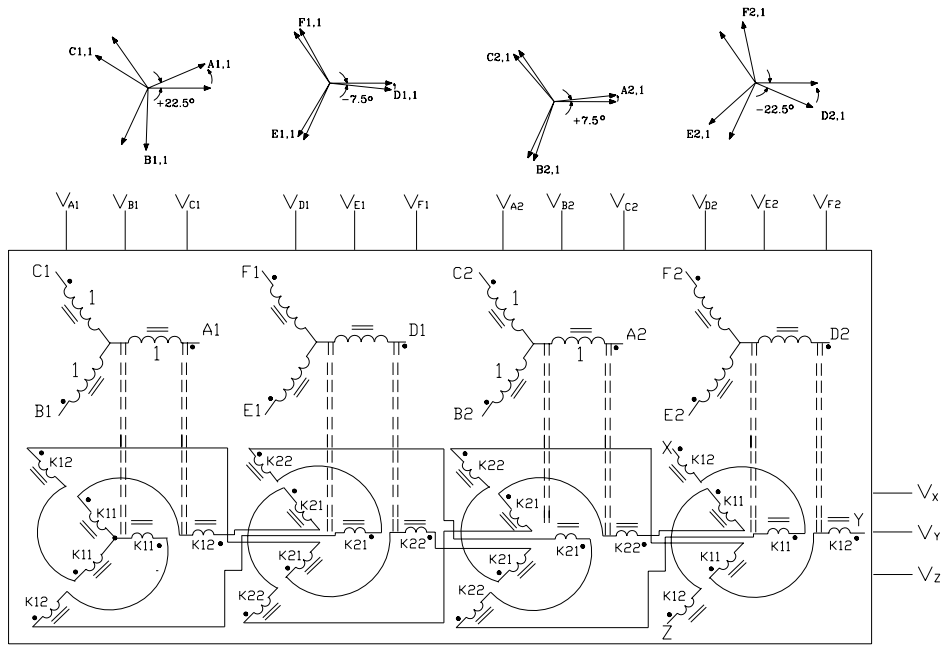


Figura 3.7 Transformador neutralizador de armónicos con conexión zigzag, para un inversor de 24 pulsos.

Las conexiones se describen por las relaciones matemáticas (3.7) y (3.8), teniendo como base la estructura magnética de reducción de armónicos de la Figura 3.7. El inversor *A1B1C1* tiene un esquema de avance de fase y el inversor *D1E1F1* un atraso de fase, repitiéndose alternadamente para los dos inversores restantes [Cavaliere 2001]. El criterio que se toma para obtener las ecuaciones es la marca de polaridad de los devanados.

$$V_{A(avance)} = K11 V_{A1} + K12 V_{B1} \quad (3.7a)$$

$$V_{B(avance)} = K11 V_{B1} + K12 V_{C1} \quad (3.7b)$$

$$V_{C(avance)} = K11 V_{C1} + K12 V_{A1} \quad (3.7c)$$

$$V_{D(atraso)} = K21 V_{D1} + K22 V_{F1} \quad (3.8a)$$

$$V_{E(atraso)} = K21 V_{E1} + K22 V_{D1} \quad (3.8b)$$

$$V_{F(atraso)} = K21 V_{F1} + K22 V_{E1} \quad (3.8c)$$

En las ecuaciones anteriores, los valores de *K11*, *K12*, *K21* y *K22* son coeficientes de proporción de las fases para fijar el valor angular de desfaseamiento de acuerdo al ángulo

de desfaseamiento entre los inversores  $A1B1C1$  y  $D1E1F1$ . En este caso el ángulo es de  $22.5^\circ$  y  $7.5^\circ$ , respectivamente. Estos valores se eligen arbitrariamente pero cumpliendo con el desfaseamiento entre cada inversor. El valor de  $K$  varía de acuerdo al número de inversores de 6 pulsos [Sen 1998]. Los valores de estas constantes son dados por el conjunto de ecuaciones (3.9).

$$K = 4 \text{ sen } 60^\circ \quad (3.9a)$$

$$K11 = \text{sen } (120^\circ - 22.5^\circ) / K \quad (3.9b)$$

$$K12 = \text{sen } 22.5^\circ / K \quad (3.9c)$$

$$K21 = \text{sen } (120^\circ - 7.5^\circ) / K \quad (3.9d)$$

$$K22 = \text{sen } 7.5^\circ / K \quad (3.9e)$$

Idealmente, el arreglo del transformador descrito tiene la capacidad de hacer la cancelación de armónicos, permitiendo apenas la existencia de los armónicos de orden  $(n6k \pm 1)$ , donde  $k=1, 2, 3, \dots$  y  $n$  el número de inversores utilizados  $n=1, 2, 4, 8, 16, \dots$  [Cavaliere 2001]. Sin embargo, existen desventajas al utilizar la conexión zigzag debido a la complejidad del transformador y su costo mas elevado.

El modelo del CSES se ilustra en la Figura 3.8 con la estructura magnética de reducción de armónicos conectada en zigzag-estrella para 24 pulsos y el transformador de acoplamiento en estrella-delta.

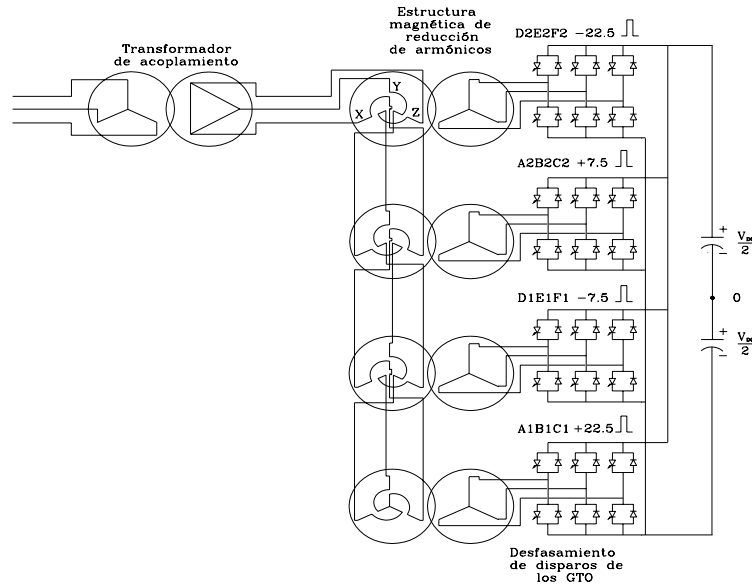


Figura 3.8 Compensador Serie Estático Síncrono de 24 pulsos, con conexión del transformadores en zigzag y estrella-delta.

### 3.3.3 Módulo de control

La función del control es modular el voltaje de salida de los inversores, y después inyectarlo en serie a la línea de transmisión a compensar con la finalidad de cumplir con dos acciones de control, mencionadas a continuación: establecer la compensación reactiva serie deseada (capacitiva o inductiva) definida por una referencia proporcionada externamente, y modular la compensación reactiva serie para mejorar la estabilidad transitoria del sistema proporcionando el amortiguamiento de las oscilaciones de potencia.

Desde el punto de vista del control del voltaje de compensación generado por el CSES, los inversores pueden ser controlados directa o indirectamente [Hingorani y Gyugyi 2000]. En los inversores controlados directamente se controla la posición angular y la magnitud del voltaje de salida. Por el contrario, en aquellos controlados indirectamente solo se toma en cuenta la posición angular del voltaje de salida, la magnitud es proporcional al voltaje de corriente directa.

Un posible esquema de control indirecto del CSES se ilustra en la Figura 3.9 [Sen 1998]. Las entradas al control son: corriente de línea  $I$ , reactancia de compensación demandada  $XQREF$  y voltaje trifásico instantáneo  $v_l$ . El control se sincroniza a la corriente de línea por medio de un sincronizador de señales (llamado también Phase-Locked Loop (PLL)) [Hingorani y Gyugyi 2000].

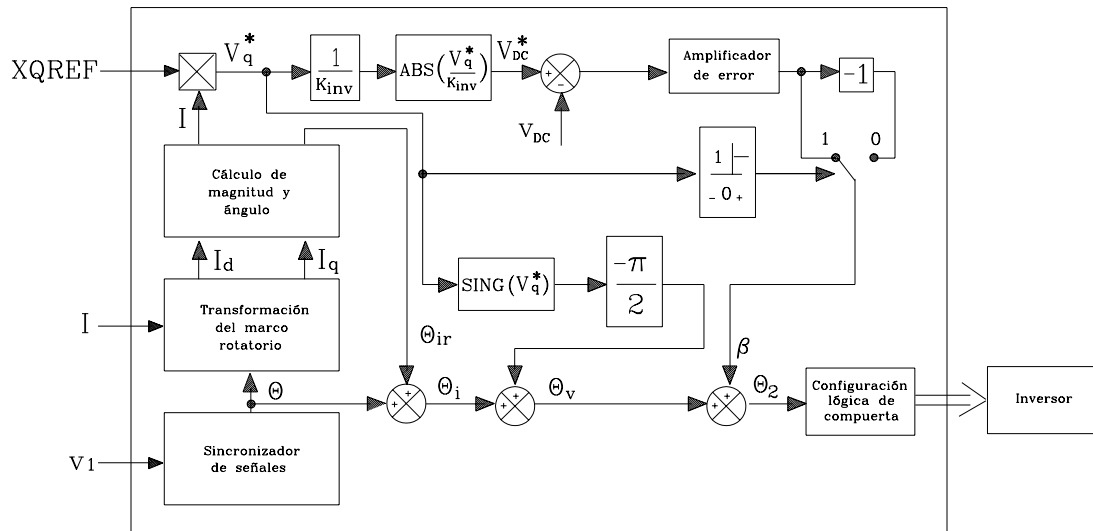


Figura 3.9 Diagrama de control del Compensador Serie Estático Síncrono.

La descripción del módulo de control del CSES se hace en base a la Figura 3.9. Se inicia con la medición del voltaje trifásico instantáneo  $v_l$  y se utiliza para calcular el ángulo de referencia  $\theta$ . La medición de la corriente de línea trifásica instantánea se descompone en sus componentes de directa  $I_d$  y cuadratura  $I_q$ , para después calcular la magnitud  $I$  y el ángulo relativo  $\theta_{ir}$ . El ángulo de fase  $\theta_i$  de la corriente de línea se calcula por la suma del ángulo relativo  $\theta_{ir}$  más el ángulo  $\theta$ . La magnitud calculada de la corriente de línea  $I$  es multiplicada por la reactancia de compensación demandada  $X_{QREF}$  y el resultado es la magnitud de voltaje demandado  $V_q^*$ . El ángulo de fase  $\theta_v$  es el resultado de la suma del ángulo de fase  $\theta_i \pm 90^\circ$ , el signo más ó menos depende del signo del voltaje demandado  $V_q^*$ . Esta suma puede dar como resultado  $\theta_i + 90^\circ$  si la demanda corresponde a una reactancia de compensación inductiva, ó bien,  $\theta_i - 90^\circ$  si la demanda corresponde a una reactancia de compensación capacitiva. La amplitud del voltaje demandado  $V_q^*$  y el voltaje demandado por el capacitor del enlace de DC  $V_{DC}^*$ , son relacionados por el inversor con un valor absoluto del factor de ganancia  $ABS(K_{inv} = 2/\pi)$  [Sen 1998]. El voltaje demandado por el capacitor del enlace de DC  $V_{DC}^*$  es comparado con la medición del voltaje de corriente directa  $v_{DC}$ , y la diferencia pasa a través de un amplificador de error el cual produce un ángulo  $\beta$ . El ángulo de fase  $\theta_2$  del voltaje del inversor se calcula sumando el ángulo  $\beta$  del regulador de voltaje de DC y el ángulo de fase  $\theta_v$  del voltaje demandado  $V_q^*$ . La reactancia de compensación demanda  $X_{QREF}$  es negativa si el CSES simula una reactancia inductiva, ó positiva cuando se simula una reactancia capacitiva.

El modelo del control del sistema ha sido implementado usando el sistema en por unidad, por eso es sencillo la integración a un sistema de potencia de cualquier nivel de voltaje y corriente.

El bloque de sincronizador de señales del control del CSES se analiza más a detalle. La configuración básica del sincronizador de señales trifásico (PLL) se ilustra en la Figura 3.10. La señal de entrada es la medición instantánea del voltaje trifásico del sistema de corriente alterna [Sen 1998] y [Arruda 2001].

Los voltajes trifásicos del sistema de corriente alterna ( $V_a$ ,  $V_b$  y  $V_c$ ) se transforman a un marco de referencia estacionario mediante la transformación de *Clark* y *Park*. La entrada al controlador proporcional e integral (*PI*) proviene de un punto de suma del

voltaje de la retroalimentación  $V_d$  y un valor de voltaje dado  $V_d^*$ , y la salida llega a otro punto de suma con la frecuencia  $\omega_{ff}$ . El valor resultante del último punto de suma  $\omega$  se integra para obtener el ángulo  $\Theta$  que es la señal de salida del sincronizador de señales [Kaura y Blasko 1997]. Es parámetro  $\omega_{ff}$  proveniente del sistema a compensar es introducido para mejorar el desempeño del sincronizador de señales [Arruda 2001].

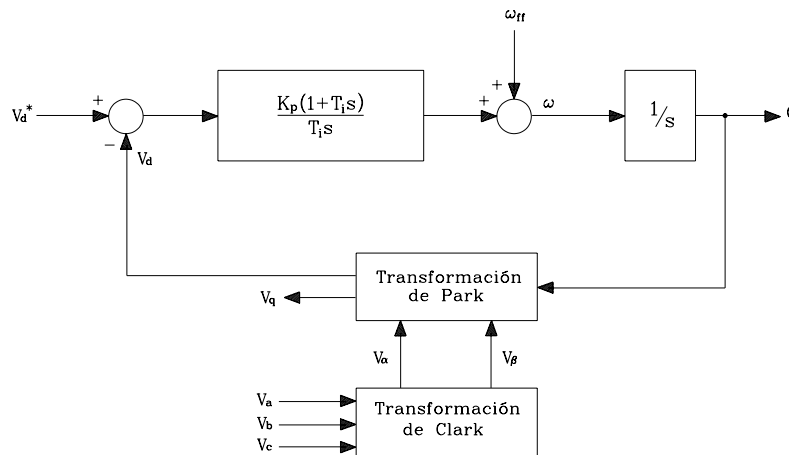


Figura 3.10 Estructura trifásica del sincronizador de señales (PLL).

La variación del tiempo de la respuesta dinámica se realiza por medio del ajuste de las ganancias del controlador proporcional integral [Arnez y Zanetta 2003].

### 3.4 Casos de estudio

En esta sección se presentan los casos de estudio considerando el sistema eléctrico mostrado en la Figura 3.11, con la finalidad de cuantificar el efecto del CSES en la operación del sistema.

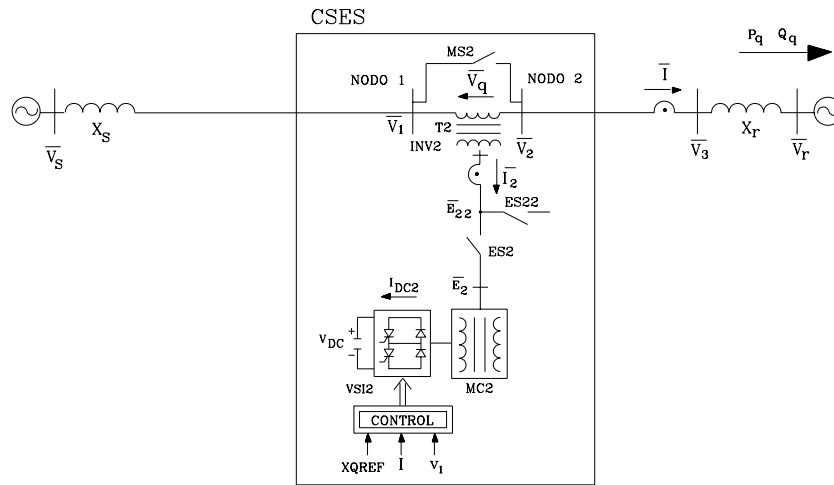


Figura 3.11 Modelo del Compensador Serie Estático Síncrono en ATP-EMTP.

### 3.4.1 CSES con el inversor 24 pulsos y variaciones de reactancia en serie con la línea de transmisión

El modelo de la Figura 3.11 se utiliza para ilustrar la capacidad del CSES de inyectar un voltaje de AC en serie con una línea de transmisión, y así controlar el flujo de potencia de la línea [Sen 1998]. Lo anterior puede ser interpretado como un alargamiento o acortamiento de la línea de transmisión mediante una fuente de voltaje variable insertada en serie con la línea. En este caso, el valor del voltaje inyectado se modula dinámicamente por la inserción de diferentes valores de reactancia inductiva o capacitiva en serie con la línea de transmisión en diversos instantes de tiempo, tal como se muestra en la Tabla 3.1 y en la Figura 3.12. A continuación se hace una descripción detallada del caso de estudio, el cual se ilustra en la Figura 3.13.

Tabla 3.1 Valores de reactancia con la configuración del inversor de 24 pulsos.

Tiempo milisegundos	Reactancia de referencia $XQREF$
50	-0.15
175	-0.3
300	0.1
450	0.15

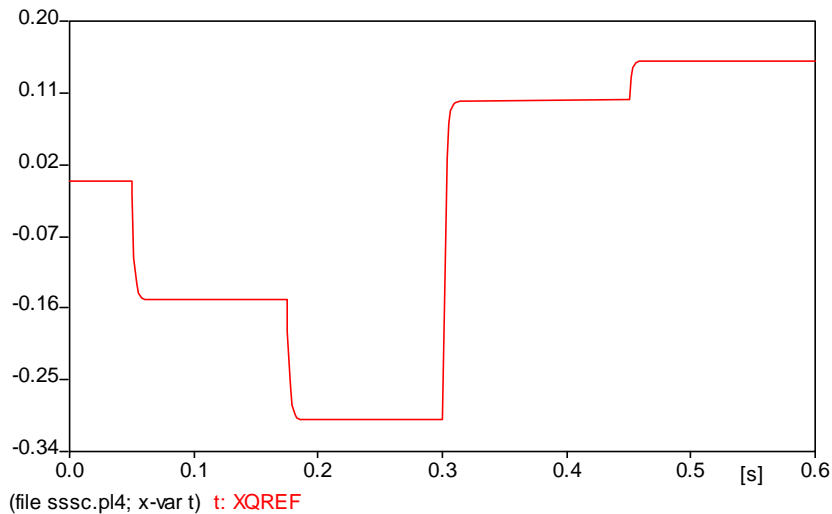


Figura 3.12 Variación de reactancia demanda por el CSES.

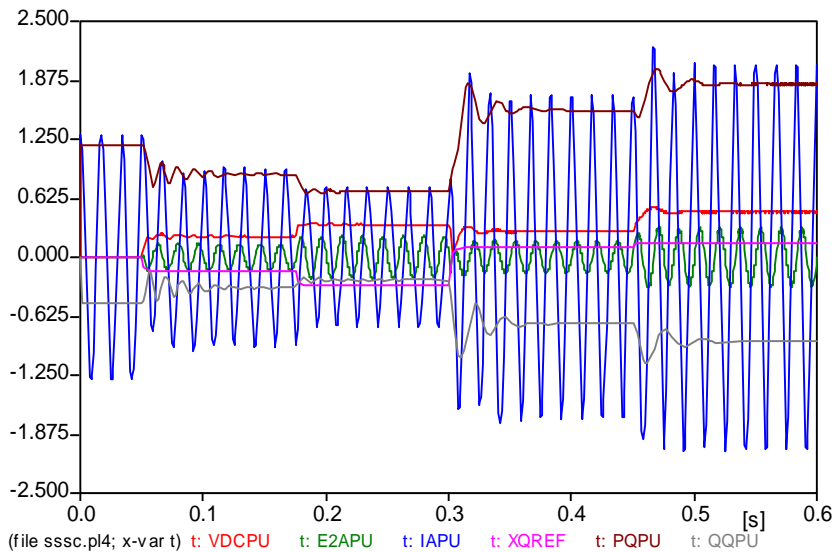


Figura 3.13 Respuesta del Compensador Serie Estático Síncrono en los modos de operación inductivo y capacitivo, con un inversor de 24 pulsos.

Las condiciones de la simulación en los primeros 49 milisegundos (ms) son: la reactancia de referencia en serie es cero,  $X_{QREF}=0$ , y los interruptores mecánico  $MS2$  y electrónico  $ES22$  se encuentran abiertos. El interruptor electrónico  $ES2$  está cerrado. El inversor  $VS12$  no inyecta voltaje. El voltaje del capacitor  $VDCPU$  del enlace de corriente directa es cero. A los 50 ms inicia un cambio en el proceso dinámico al introducir al módulo de control un valor de la reactancia inductiva de referencia  $X_{QREF}$  de  $-0.15$  en por unidad. De tal manera, el CSES debe ajustar sus variables para comportarse como una compensación inductiva serie. Lo anterior origina que el voltaje del inversor de la fase  $a$

*E2APU* se adelanta casi por  $90^\circ$  de la corriente línea *IAPU*. Así mismo, la magnitud de corriente disminuye de valor, tal que la transferencia de potencia activa y potencia reactiva disminuye. Este comportamiento del controlador es equivalente a la compensación inductiva serie cuya función es alargar eléctricamente la línea de transmisión. A los 175 ms, la reactancia inductiva de referencia se incrementa a  $-0.3$  por unidad. Como la reactancia inductiva se incremento, la corriente de línea *IAPU* y los flujos de potencia *PQPU* y *QQPU* vuelven a decrementarse. Es interesante observar que el voltaje el inversor de la fase *a* *E2APU* se incremento de valor; sin embargo, la disminución de la magnitud de corriente es mayor que aquel incremento, con la finalidad de decrementar la transferencia de potencia. A 300 ms, se cambia el valor de la reactancia de referencia desde el valor inductivo de  $-0.3$  p.u. a un valor capacitivo de  $0.1$  p.u. Esto implica que en el CSES hay un cambio de modo de operación del inductivo al modo capacitivo. Por lo tanto, el voltaje del inversor *E2PU* se retrasa casi por  $90^\circ$  de la corriente de línea *IAPU*. Lo anterior ocasiona un acortamiento eléctrico de la línea de transmisión, incrementándose la transferencia de potencia activa y reactiva, así como la magnitud de la corriente de línea. Por último, a los 450 ms, la reactancia de referencia capacitiva se incrementa a  $0.15$  por unidad. Al igual que en el caso anterior, el voltaje en terminales del inversor sigue retrasado en  $90^\circ$  con respecto a la corriente de línea. Sin embargo, para simular una mayor compensación capacitiva serie, las magnitudes de voltaje en terminales del inversor y la corriente de línea se incrementan con la finalidad de que exista un mayor flujo de potencia activa y reactiva en el sistema.

El CSES tiene pérdidas en las válvulas de inversor y el transformador neutralizador de armónicos. Por eso siempre habrá una pequeña parte de la componente de corriente real (*Id*) fluyendo en el inversor y el voltaje del inversor será casi  $90^\circ$  fuera de fase con la corriente línea. El voltaje instantáneo del capacitor del enlace de *DC* es proporcional al voltaje de inversor.

En la Figura 3.14 se ilustran dos ampliaciones de la Figura 3.13. En la parte (*a*) se ilustra el modo inductivo y en la parte (*b*) el modo capacitivo.



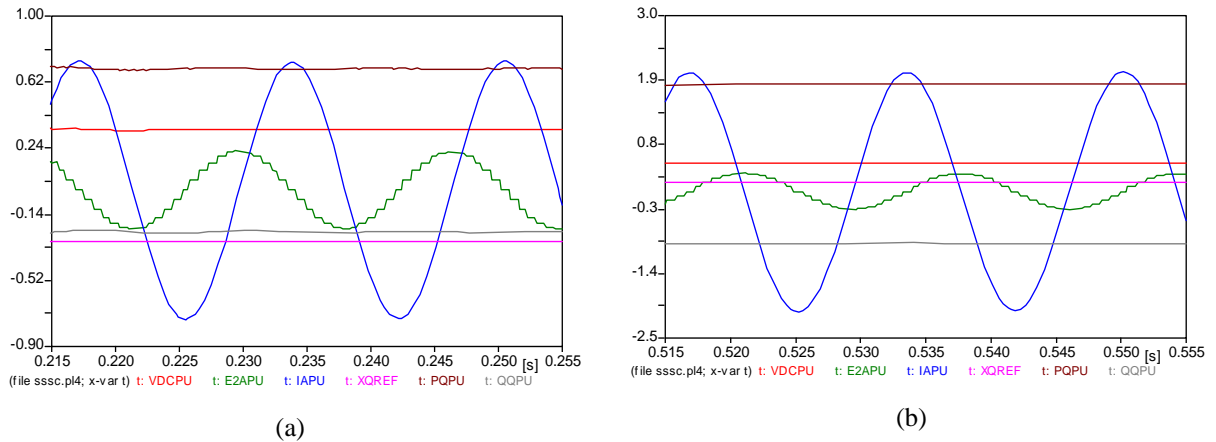


Figura 3.14 Formas de onda del Compensador Serie Estático Síncrono con un inversor de 24 pulsos.  
 (a) Modo de operación inductivo.  
 (b) Modo de operación capacitivo.

### 3.4.2 Comportamiento del CSES cuando opera bajo las configuraciones del inversor de 12, 24 y 48 pulsos

El objetivo de estas simulaciones es observar el comportamiento del CSES con las configuraciones del inversor de 12, 24 y 48 pulsos, involucrando en su diseño un número de 2, 4 y 8 inversores de 6 pulsos, respectivamente, conectados por el transformador neutralizador de armónicos. El estudio se enfoca al cambio instantáneo del modo de operación del CSES, y su efecto en las formas de onda del voltaje inyectado al sistema compensado y las potencias que están siendo transmitidas. El voltaje inyectado se controla por el valor de la reactancia de referencia alimentada al módulo de control. El tiempo en que se proporciona esta señal de control, así como su valor, son dados en la Tabla 3.2.

Tabla 3.2 Valores de reactancia para la configuración del inversor de 12, 24 y 48 pulsos.

Tiempo milisegundos	Reactancia de Referencia $X_{QREF}$
50	-0.15
300	0.15

En la Figura 3.15 se ilustra el resultado obtenido para cada configuración del inversor, donde se observa la capacidad de respuesta rápida al cambio de modo de operación (cerca de  $\frac{1}{4}$  de ciclo). A los 300 milisegundos ocurre el cambio del modo de operación inductivo al modo capacitivo y las formas de onda más aproximadas a la sinusoidal es la del inversor de 48 pulsos.

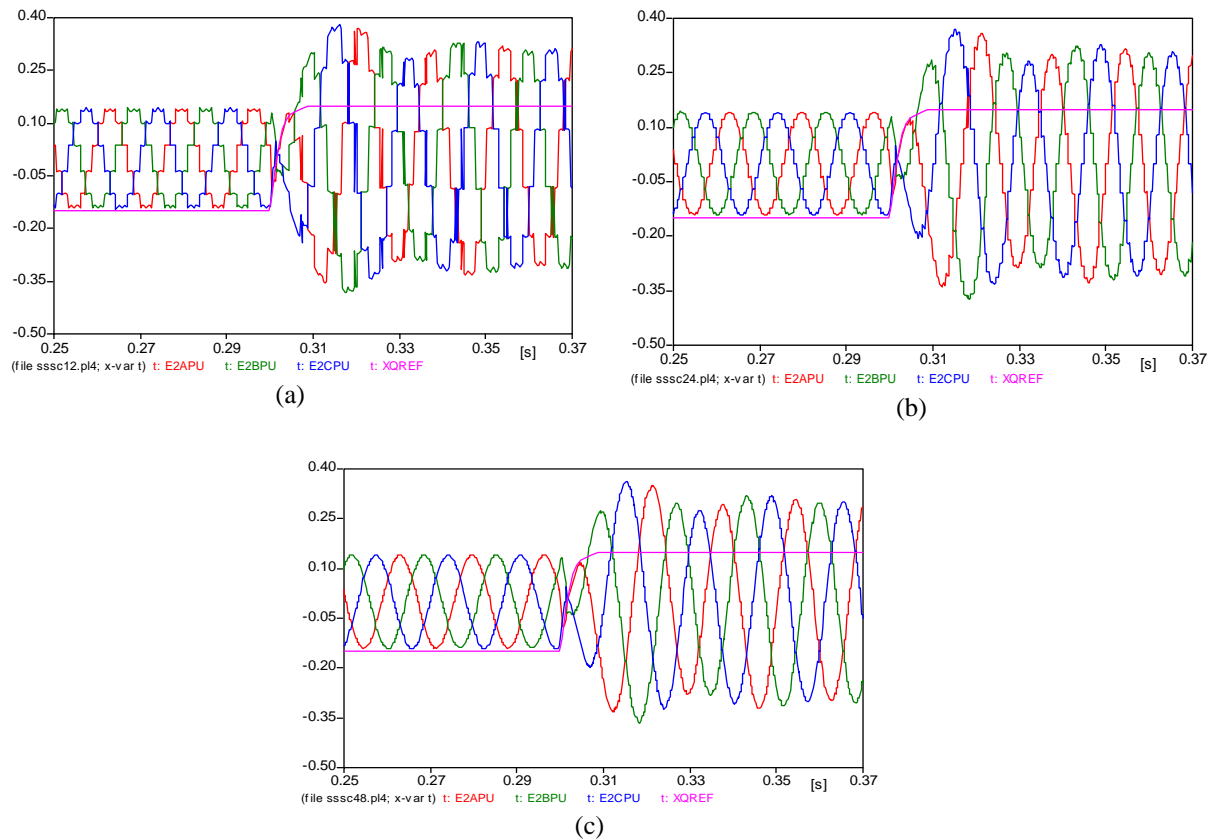


Figura 3.15 Voltaje trifásico inyectado por el CSES.

(a) Configuración del inversor de 12 pulsos.

(b) Configuración del inversor de 24 pulsos.

(c) Configuración del inversor de 48 pulsos.

En la Figura 3.16 se ilustra la forma expandida del voltaje inyectado por el inversor de la fase *a* E2APU para las tres configuraciones del inversor. En las Figuras 3.16(a) y 3.16(b) se muestran las formas de onda de voltaje de salida asociada al arreglo de 12 y 24 pulsos, respectivamente. Debido al grado de distorsión de estas formas de onda, puede ser necesario instalar filtros pasivos en las terminales de salida del inversor con la finalidad de reducir su alto contenido armónico. En la Figura 3.16(c) se ilustra la

forma de onda del voltaje de salida correspondiente a la configuración de 48 pulsos. En este caso, la forma de onda es casi sinusoidal, presentándose un bajo contenido armónico.

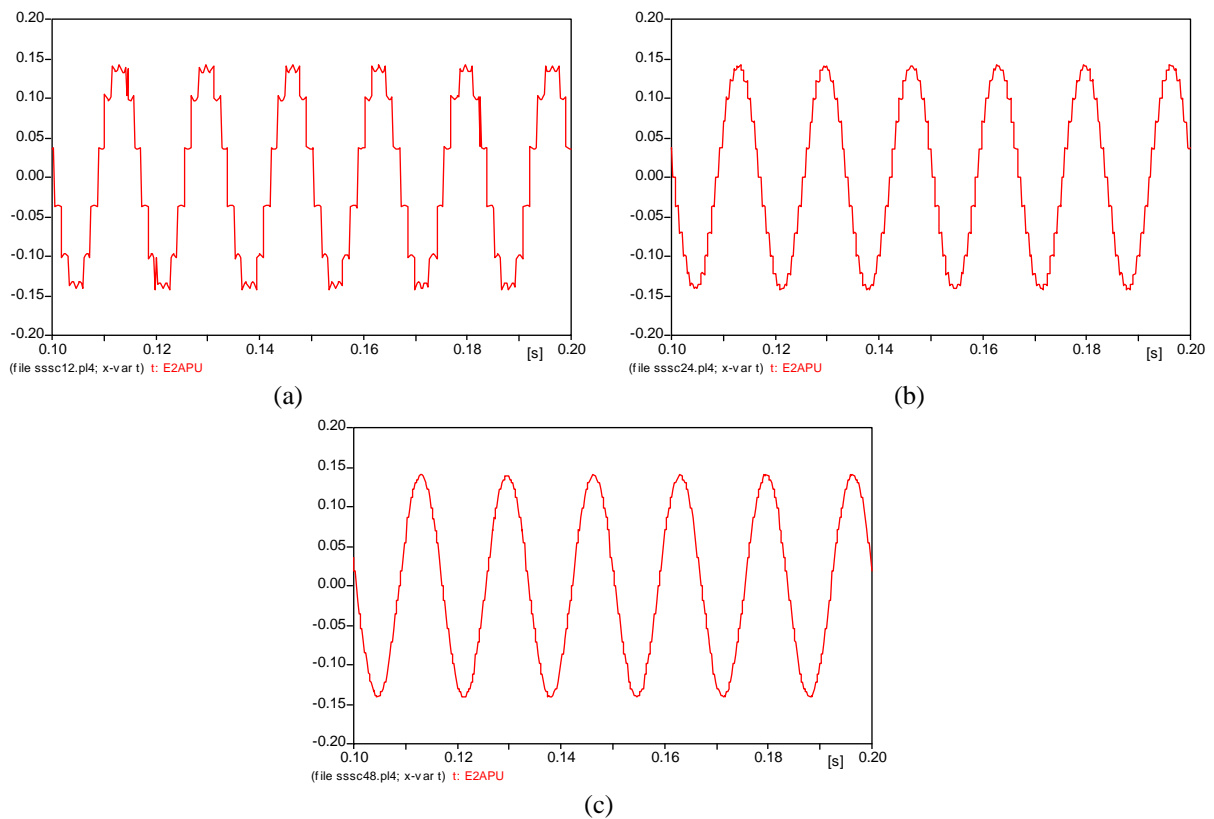


Figura 3.16 Inyección de voltaje serie de la fase *a* del CSES.  
 (a) inversor de 12 pulsos.  
 (b) inversor de 24 pulsos.  
 (c) inversor de 48 pulsos.

Por último, en la Figura 3.17 se ilustra el cambio de modo de operación inductivo al capacitivo de acuerdo con los valores de la reactancia de referencia  $X_{QREF}$  dados en la Tabla 3.2, así como la habilidad del CSES para controlar de manera casi instantáneamente la modificación de las potencias transmitidas independientemente de las diferentes configuraciones del inversor (12, 24 y 48 pulsos). La respuesta mostrada corresponde a la condición referida cuando la potencia está fluyendo del nodo de envío  $V_s$  al nodo de recepción  $V_r$ . Se observa que los flujos de potencia  $P_{QPU}$  y  $Q_{QPU}$  se comportan de forma similar al utilizar las diferentes configuraciones de inversor. El periodo transitorio que existe al ocurrir el cambio de modo de operación se amortigua en cuestión de milisegundos.

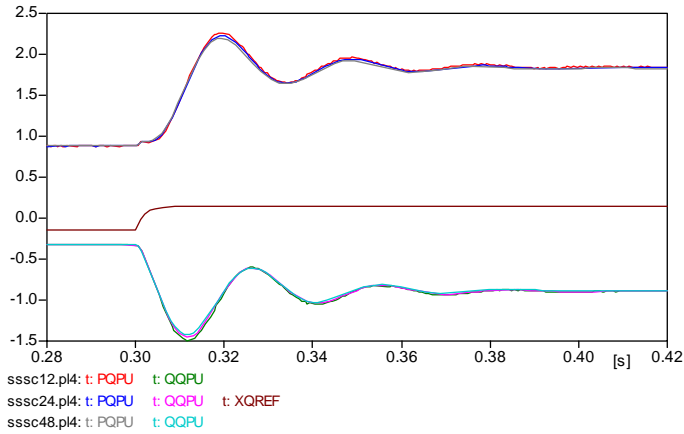


Figura 3.17 Potencia activa y reactiva en el nodo de recepción con el cambio de modo de operación y la configuración del inversor de 12, 24 y 48 pulsos.

### 3.4.3 Comparación de algunas formas de onda con la configuración del inversor de 12, 24 y 48 pulsos

En la Figura 3.18 se compara la inyección del voltaje de la fase *a* (*E2APU*) del CSES utilizando el inversor de 12, 24 y 48 pulsos. De estos resultados se observa que ha medida que se incrementa el número de pulsos del inversor, la distorsión de la forma de onda se reduce. En esta figura se hace énfasis en el detalle de la forma de onda de 12 pulsos debido a que influirá en la evaluación de la distorsión armónica total ( $THD_v$ ) de voltaje.

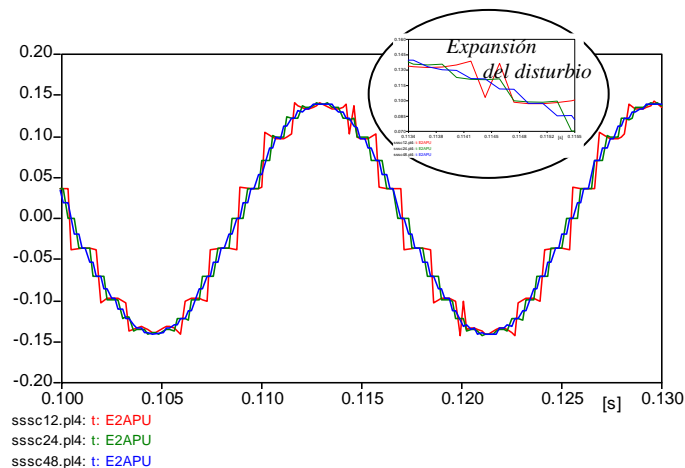
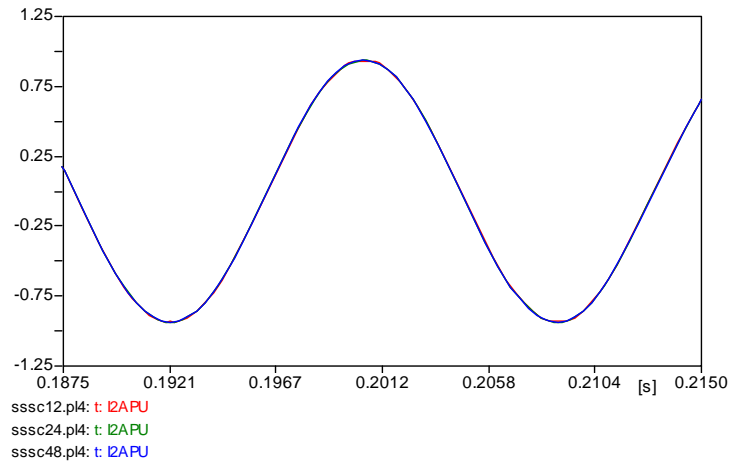


Figura 3.18 Voltaje de salida de la fase *a* (*E2APU*) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.

En la Figura 3.19 se compara la corriente (*I2APU*), observándose que las formas de onda son prácticamente iguales independientemente de la configuración del inversor

utilizada. Lo anterior se puede comprobar por medio de la evaluación de la distorsión armónica total ( $THD_i$ ) de corriente.



*Figura 3.19 Corriente de salida de la fase a ( $I_{2APU}$ ) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.*

La distorsión armónica total (THD) indica el contenido armónico total en una forma de onda particular, y el concepto es aplicable tanto para el voltaje como para la corriente. El THD se define como la relación entre el valor eficaz del total de las componentes armónicas y el valor eficaz correspondiente a la componente fundamental. Este valor es usualmente expresado como un porcentaje de la onda fundamental. Así para la onda de voltaje ( $THD_v$ ) será [Arnez y Zanetta 2003]:

$$THD_v = \frac{\sqrt{\sum_{h=2}^{\alpha} V_h^2}}{V_1} * 100\% \quad (3.10)$$

Donde:

$h$ : número de armónica

$V_1$ : valor eficaz de la componente fundamental de voltaje

$V_h$ : valor eficaz del armónico  $h$

De forma similar se expresa la distorsión en la corriente:

$$THD_i = \frac{\sqrt{\sum_{h=2}^{\alpha} I_h^2}}{I_1} * 100\% \quad (3.11)$$

Según la normatividad de la IEEE el THD se calcula con la contribución de un número de armónicos suficientemente grande, es decir de 49 armónicos [Madrigal 2001] y [Tennakonn y Scheidecker 1997], pero por recomendaciones prácticas se tomaron 51 armónicos [Comunicación personal Dr. Moreno Goytia 2006].

Aplicando el análisis de Fourier a las formas de onda del voltaje de salida del inversor de la fase *a* (*E2APU*) ilustradas en la Figura 3.18, los resultados se presentan mediante el espectro armónico de cada una de las formas de onda que se muestran en la Figura 3.20. De estos resultados se observa que ha medida que se incrementa el número de pulsos en el inversor se reduce la distorsión armónica total de voltaje. En el espectro armónico con el inversor de 12 pulsos se claramente que armónico 11 es menor que el 13 esto es ocurre cuando existen disturbios en la formas de onda como el ilustrado en la Figura 3.18.

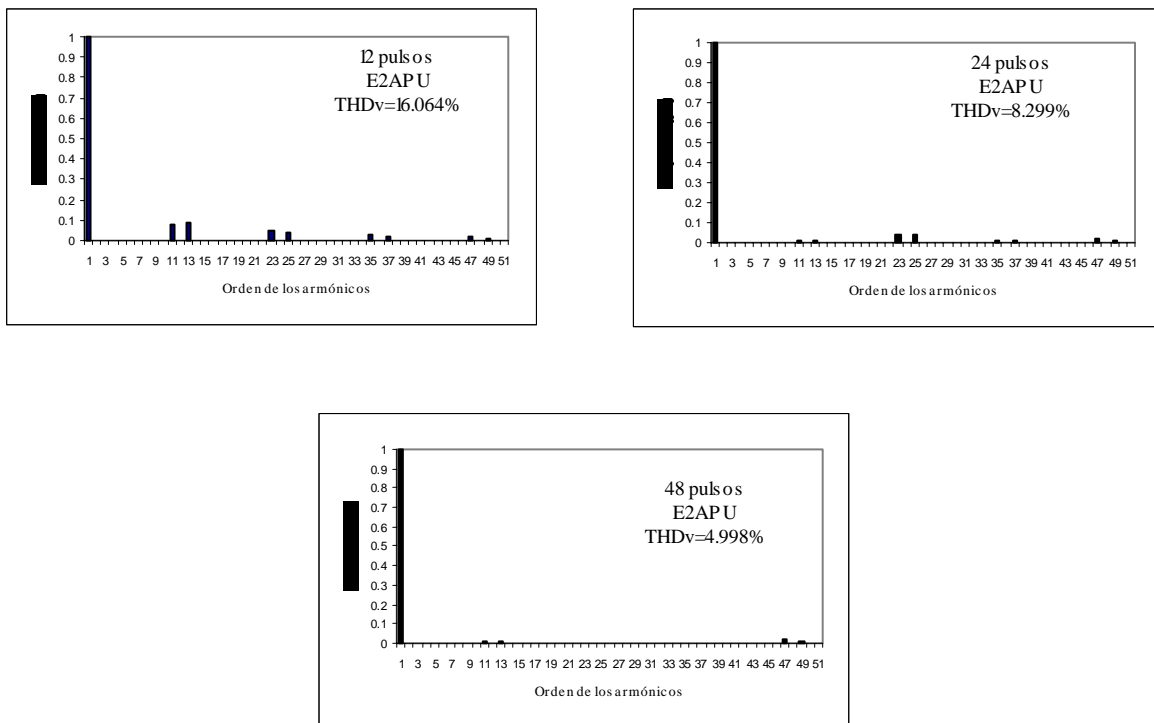


Figura 3.20 THD<sub>v</sub> y espectro armónico del voltaje de salida de la fase *a* (*E2APU*) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.

A continuación se evalúa el THD<sub>i</sub> de las formas de onda de la corriente de salida del inversor de la fase *a* (*I2APU*) ilustradas en la Figura 3.19, los resultados se presentan

mediante el espectro armónico de cada una de las formas de onda que se muestran en la Figura 3.21. De estos resultados se observa que no hay una variación significativa en el  $THD_i$  al incrementar el número de pulsos en el inversor. Se considera aceptable el  $THD_i$  con cualquiera de las configuraciones.

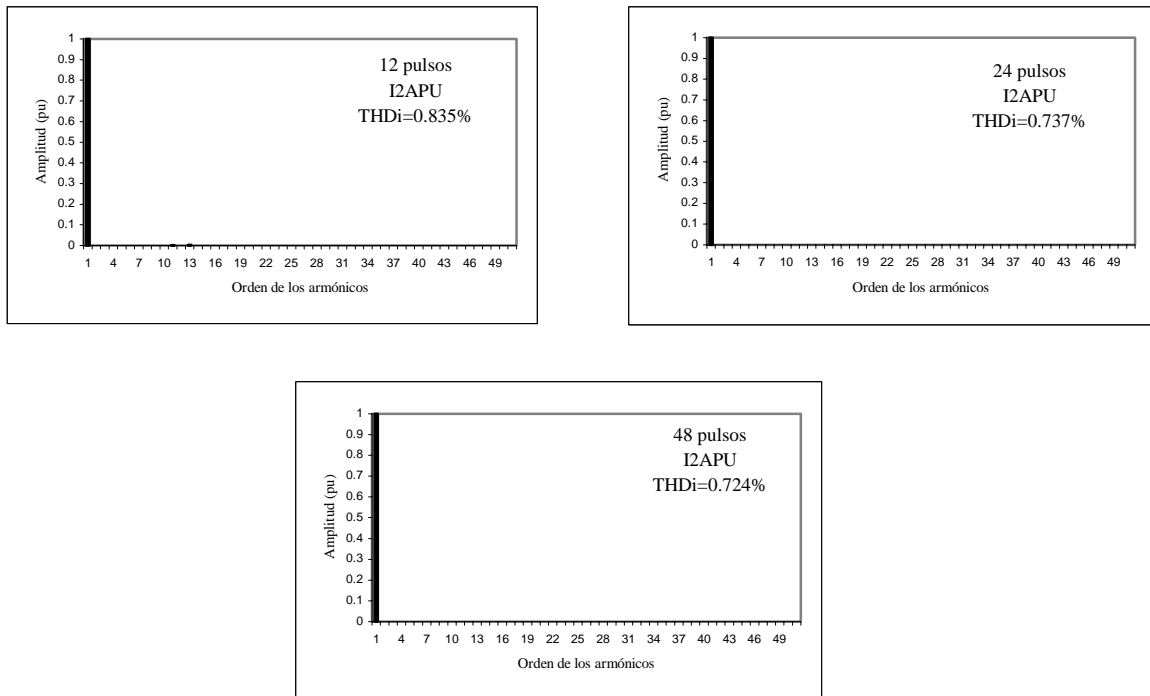


Figura 3.21  $THD_i$  y espectro armónico de la corriente de salida de la fase a (I2APU) del CSES con la configuración del inversor de 12, 24 y 48 pulsos.

Otra mejora que ocurre al incrementar el número de pulsos se manifiesta en la forma de onda voltaje del condensador de  $DC$  mostrada en las Figuras 3.22 y 3.23. El condensador se utiliza como un dispositivo de almacenamiento de energía temporal, haciendo posible un intercambio continuo de la energía entre el sistema de  $AC$  y el CSES.

La configuración del inversor de 48 pulsos aumenta el número de válvulas, disminuyendo la frecuencia de conmutación. Esto ocasiona un proceso de carga y descarga mas rápido del capacitor de  $DC$ , comparado con la configuración de 12 y 24 pulsos, y por ende reduce notablemente el rizado que existe en el voltaje de  $DC$ .

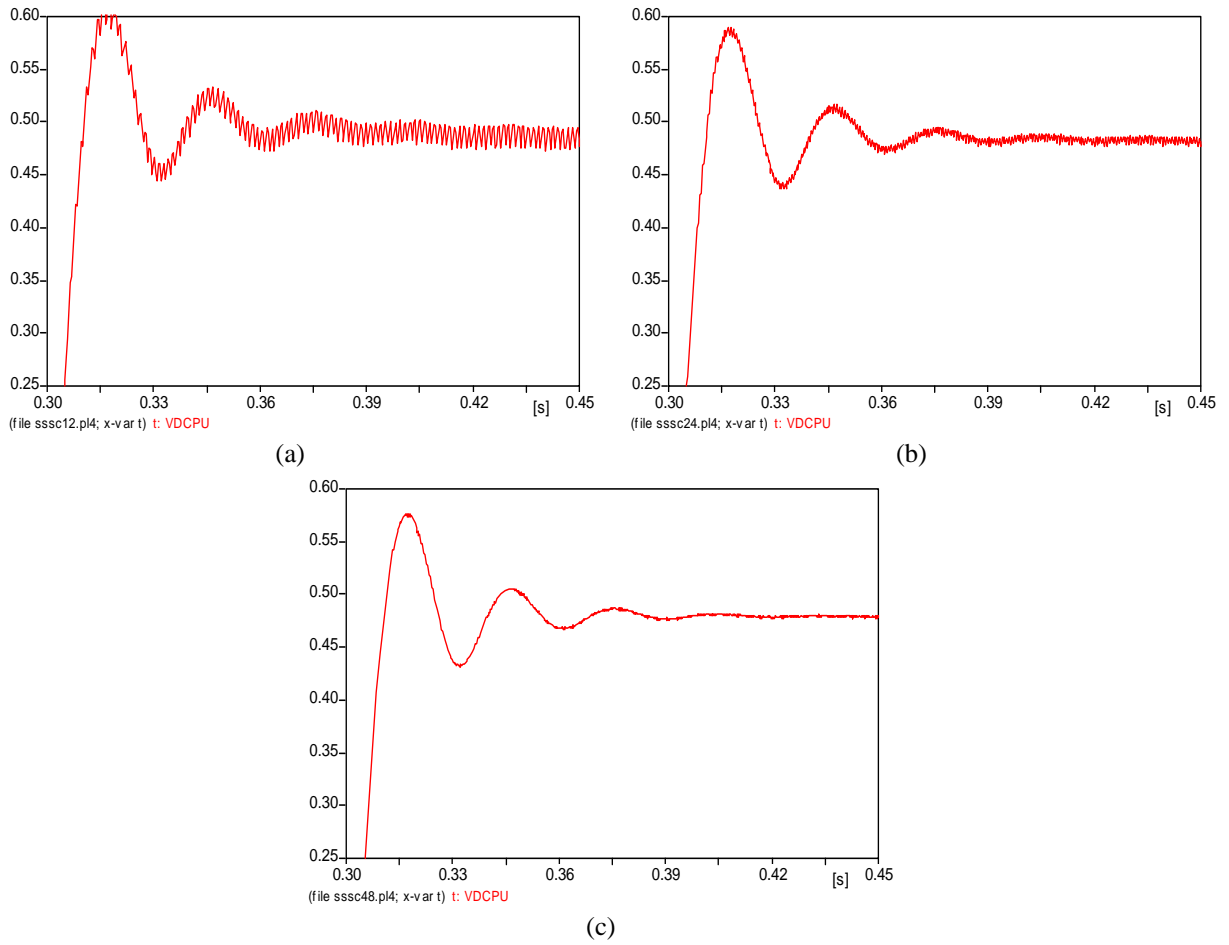


Figura 3.22 Comportamiento del voltaje de DC en el CSES.  
 (a) inversor de 12 pulsos.  
 (b) inversor de 24 pulsos.  
 (c) inversor de 48 pulsos.

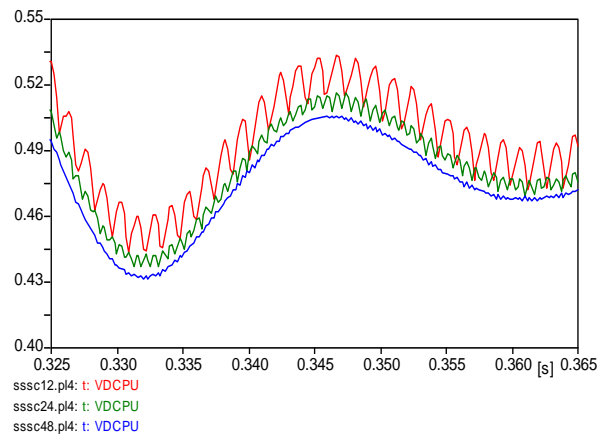


Figura 3.23 Vista expandida del comportamiento del voltaje de DC en el CSES con el inversor de 12, 24 y 48 pulsos.



### **3.5 Conclusiones**

En el modelado y análisis dinámico del CSES se utilizó el paquete de simulación ATP-EMTP. El CSES se compone por un inversor alimentado por voltaje de corriente directa que inyecta un voltaje casi sinusoidal en serie con la línea de la transmisión. Esta inyección de voltaje está casi en cuadratura con la corriente de línea, razón por la cual puede ser simulada como una reactancia capacitiva o inductiva en serie con la línea de transmisión y así el flujo de potencia aumenta o disminuye según la reactancia simulada capacitiva o inductiva, respectivamente. También se realizó la transformación para la fuente de voltaje inversora de 12, 24 y 48 pulsos. Las últimas dos configuraciones muestran un buen comportamiento en términos de contaminación armónica, aunque es mejor operar en 48 pulsos debido a que el voltaje de salida es más aproximado a una forma de onda sinusoidal.

---

## *CAPÍTULO 4*

# **MODELADO DINÁMICO DEL COMPENSADOR ESTÁTICO SÍNCRONO**

---

### **4.1 Introducción**

La función del Compensador Estático Síncrono (CES) es inyectar una corriente de magnitud variable en el punto de conexión con la línea de transmisión [Sen 1999] y [Gyugyi 1994]. Los componentes principales de dicho dispositivo son [Sen 1999]: un convertidor alimentado por voltaje a través de un capacitor de corriente directa y operado por tiristores GTO, un transformador neutralizador de armónicos con conexión estrella-delta, un transformador de acoplamiento, sensores de voltaje y de corriente, un interruptor mecánico y un controlador.

En el desarrollo de este capítulo se describe el modelo dinámico del CES considerando los puntos siguientes: el principio de operación y funciones básicas, sus componentes principales, el control por voltaje y por corriente. La funcionalidad del modelo se ilustra mediante simulaciones dinámicas asociadas al cambio de modo de operación inductivo y capacitivo, tomando en cuenta los dos tipos control mencionados. De igual manera, se evalúa el comportamiento del dispositivo operado con las configuraciones de 12, 24 y 48 pulsos en el inversor.

## 4.2 Principio de operación del compensador estático síncrono (CES)

El principio de operación de todos los controladores en derivación es inyectar una corriente (potencia) reactiva al sistema en el punto de conexión. Mientras la corriente inyectada esté en cuadratura con el voltaje de línea de transmisión, el dispositivo en derivación sólo aporta o consume potencia reactiva; cualquier otro ángulo de fase representa manejo de potencia activa [Coronado et al. 2001].

El CES es uno de los controladores SIFLETCA basados en fuentes de voltaje controladas que inyecta una potencia reactiva al sistema eléctrico en el punto de conexión. El principio básico de generación de potencia reactiva en la fuente de voltaje controlada se explica en base a la analogía con la potencia generada por una máquina síncrona rotatoria ideal, ilustrada en la Figura 4.1. La corriente reactiva del compensador síncrono dada por la ecuación (4.1) es determinada por la magnitud de voltaje del sistema  $V$ , el voltaje interno de la máquina  $E$  y la reactancia total del circuito  $X$  conformada por la suma de la reactancia de la máquina síncrona, la reactancia de dispersión del transformador y la reactancia de corto circuito del sistema [Hingorani y Gyugyi 2000].

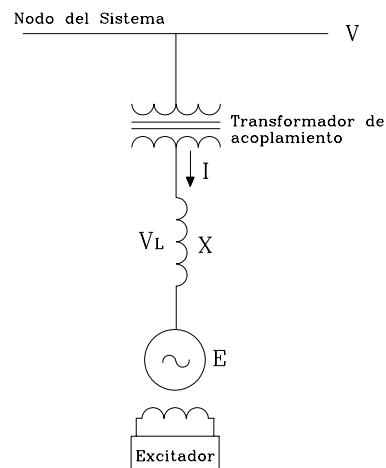


Figura 4.1 Generación de potencia reactiva por un compensador síncrono rotatorio.

Dicha corriente se puede expresar por:

$$I = \frac{V - E}{X} \quad (4.1)$$

Desarrollando las ecuaciones de potencia de acuerdo a los voltajes mostrados en la Figura 4.1 [Cavaliere 2001], se tiene

$$P = \frac{VE}{X} \text{sen} \delta \quad (4.2)$$

$$Q = \frac{V^2}{X} - \frac{VE}{X} \text{cos} \delta \quad (4.3)$$

El intercambio de flujo de potencia reactiva entre el compensador y el sistema de AC se logra variando el voltaje interno  $E$  con respecto a la amplitud del voltaje del sistema  $V$  por medio del excitador de la máquina [Hingorani y Gyugyi 2000] y [Dávalos y Ramírez 2001]. Considerando las ecuaciones anteriores en conjunto con los diagramas fasoriales que se ilustran en la Figura 4.2, se tienen cinco posibles situaciones [Cavaliere 2001].

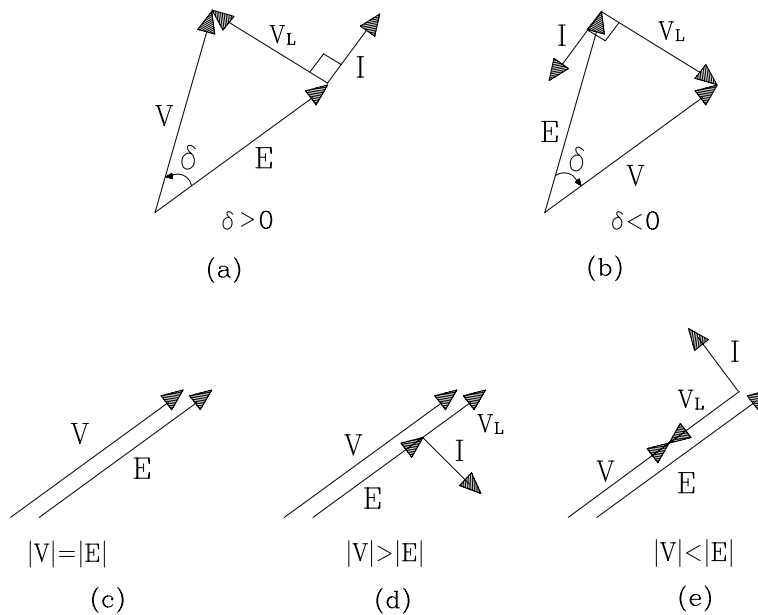


Figura 4.2 Diagramas fasoriales de corriente y voltaje.

1. Como se ilustra en la Figura 4.2(a), el voltaje  $V$  se adelanta en relación a  $E$  con una variación de ángulo  $\delta$  entre  $0^\circ < \delta < 90^\circ$ . En tal caso existe un flujo transitorio de potencia activa del sistema eléctrico hacia el compensador.
2. El voltaje  $V$  se atrasa en relación a  $E$ , como se ilustra en la Figura 4.2(b), con una variación de ángulo  $\delta$  entre  $0^\circ > \delta > -90^\circ$ . De tal manera, existe un flujo transitorio de potencia activa en dirección del compensador hacia el sistema eléctrico.

3. El voltaje  $V$  está en fase con  $E$ ,  $\delta=0$  y  $|V| = |E|$ , como se ilustra en la Figura 4.2(c). En este caso no existe corriente en el circuito y por lo tanto no existe potencia activa ni reactiva fluyendo entre el sistema eléctrico y el compensador. Es como si este último estuviera desconectado.
4. El voltaje  $V$  está en fase con  $E$ ,  $\delta=0$  y  $|V| > |E|$ , como se ilustra en la Figura 4.2(d). En este caso no existe flujo de potencia activa entre el sistema eléctrico y el compensador. Sin embargo, existe un flujo de potencia reactiva desde el sistema hacia el compensador. Como  $Q>0$ , esta potencia es de tipo inductivo.
5. La tensión  $V$  esta en fase con  $E$ ,  $\delta=0$  y  $|V| < |E|$ , como se ilustra en la Figura 4.2(e). En este caso existe flujo de potencia reactiva desde el compensador hacia el sistema. Como esta potencia es negativa,  $Q<0$ , se denomina potencia reactiva capacitiva. No existe flujo de potencia activa.

En cualquiera de las dos últimas condiciones de operación se consideró que no existen pérdidas mecánicas y eléctricas. De lo contrario, hay una pequeña cantidad de flujo de potencia activa del sistema de corriente alterna hacia la máquina  $E$  [Hingorani y Gyugyi 2000].

En base a lo anterior se puede concluir que la fuente de voltaje  $E$  tiene la capacidad de controlar la dirección y amplitud del flujo de potencia activa y reactiva en el punto conexión con el sistema eléctrico [Cavaliere 2001]. Esta fuente de voltaje puede obtenerse por medio de un inversor alimentado por voltaje.

El esquema básico del inversor alimentado por voltaje para la generación de la potencia reactiva se ilustra en la Figura 4.3. Se considera como entrada a la fuente de voltaje de corriente directa que es proporcionada por un capacitor precargado ( $C_s$ ). El inversor genera un conjunto de voltajes balanceados a la frecuencia fundamental del sistema de potencia de AC, con amplitud y ángulo controlable. Variando la amplitud del voltaje de salida del inversor y el ángulo de fase con respecto al voltaje de línea, el intercambio de la potencia reactiva en medio del inversor y el sistema de potencia de AC es controlado de manera análoga a lo acontecido entre un sistema eléctrico y una máquina síncrona rotatoria ideal, como se explico anteriormente [Hingorani y Gyugyi 2000].

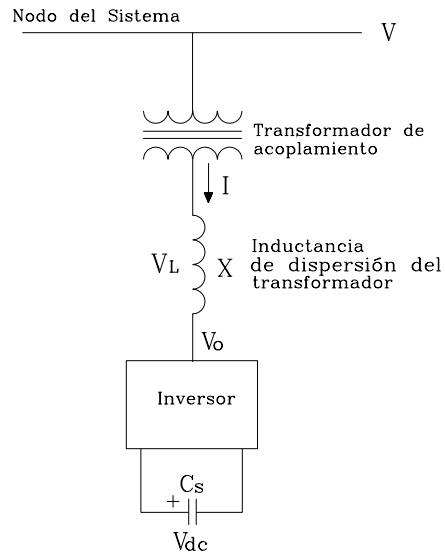


Figura 4.3 Generación de potencia reactiva por un inversor alimentado por voltaje.

Dentro de la propuesta de controladores SIFLETCA, el inversor alimentado por voltaje y conectado en derivación a un punto del sistema eléctrico con la finalidad de controlar flujo energético es denominado CES. En un ambiente de operación práctica, el CES es solamente utilizado para el control de flujo de potencia reactiva. Es decir, proporciona compensación reactiva en derivación, similar a un compensador estático de vars convencional. Esto es debido a que la fuente de entrada es un capacitor relativamente pequeño. Cuando el CES se utiliza para generación de potencia reactiva, el propio inversor puede mantener cargado el capacitor en el nivel requerido de voltaje. Esto se logra haciendo que el voltaje de salida del inversor atrase al voltaje del sistema en un ángulo pequeño, generalmente en el rango de  $0.1^\circ$  a  $0.2^\circ$  [Dávalos y Ramírez 2001]. De esta manera, el inversor absorbe una cantidad pequeña de potencia activa del sistema de AC para proporcionar las pérdidas internas, y para mantener el voltaje del capacitor en el nivel deseado. El mismo mecanismo de control puede utilizarse para incrementar o disminuir el voltaje del capacitor, y con eso la amplitud del voltaje de salida del inversor, con el propósito de controlar la generación o absorción de reactivos [Hingorani y Gyugyi 2000] y [Gyugyi 1994].

El CES es un dispositivo SIFLETCA que puede utilizarse como compensador dinámico en los sistemas de potencia para proporcionar soporte de voltaje y mejorar la estabilidad [Dávalos y Ramírez 2001]. Así el CES es un controlador multifuncional, lo que es una característica importante de la nueva generación de controladores SIFLETCA.

## 4.2.1 La característica V-I del CES

La característica V-I típica del CES se ilustra en la Figura 4.4. Como se observa, el CES puede suministrar tanto compensación capacitiva como inductiva, y es capaz de controlar su corriente de salida en su capacidad máxima, independientemente de la magnitud de voltaje existente en el punto de conexión del controlador y el sistema eléctrico. Esto es, el CES puede proporcionar plena potencia reactiva capacitiva a cualquier valor de voltaje del sistema diferente de cero [Hingorani y Gyugyi 2000] y [Song y Johns 1999]. La máxima sobrecorriente transitoria en la región capacitiva está determinada por la máxima capacidad de corriente de encendido y apagado de los semiconductores de potencia empleados (por ejemplo tiristores GTO). En la región inductiva, los semiconductores de potencia de un inversor elemental operando a la frecuencia fundamental, son naturalmente conmutados. Teóricamente, esto significa que el rango de la corriente transitoria del CES sólo se limita por temperatura máxima permisible en la unión del GTO, por lo que se tiene un rango transitorio de operación más amplio que en la región capacitiva. [Hingorani y Gyugyi 2000] y [Dávalos y Ramírez 2001].

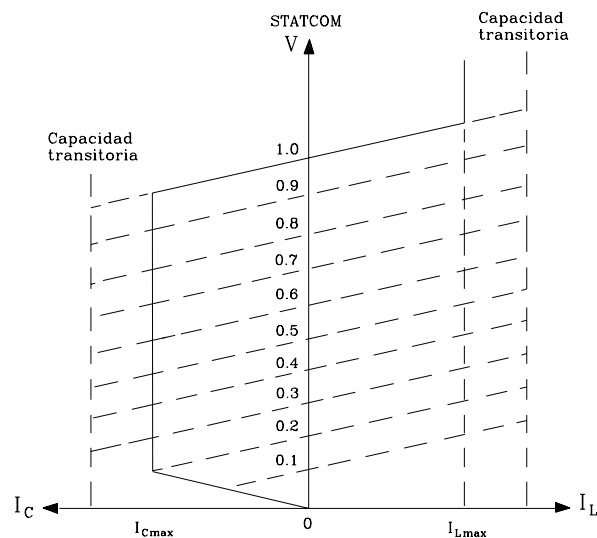


Figura 4.4 Características V-I del CES.

### 4.3 Descripción modular del controlador

En esta sección se describen los componentes que integran al controlador CES, ilustrado en la Figura 4.5. Los componentes del bloque del CES son: un inversor alimentado por voltaje  $V_{SI}$  basado en tiristores GTO con un capacitor en el lado de  $DC$ , un transformador neutralizador de armónicos  $MC1$ , un transformador de acoplamiento  $TI$ , un controlador, un interruptor mecánico  $MS1$  y sensores de corriente y de voltaje [Sen 1999].

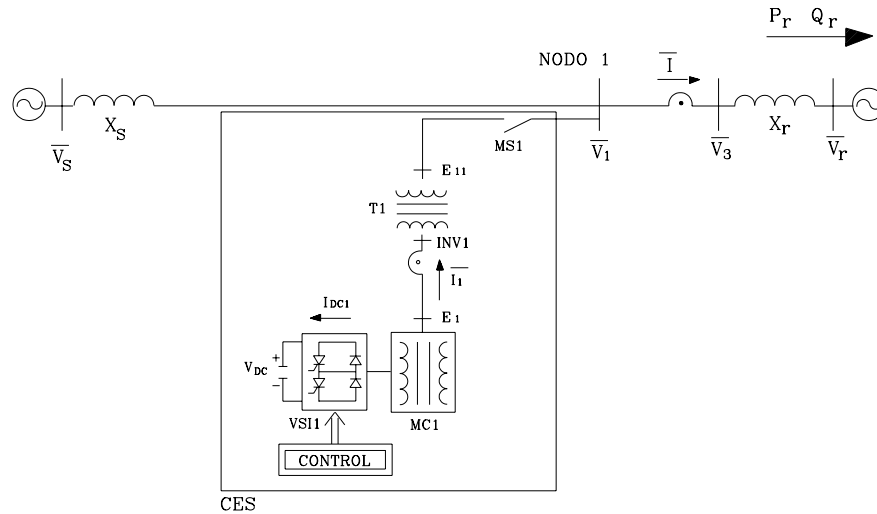


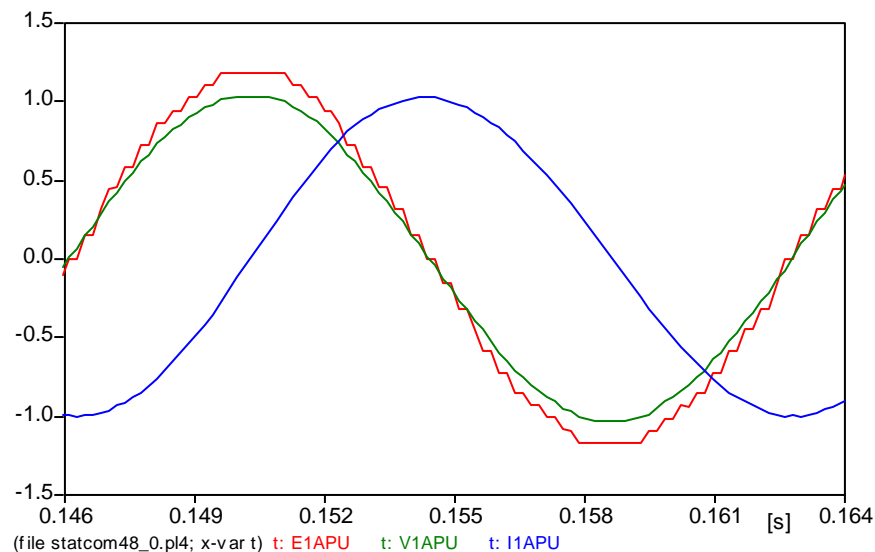
Figura 4.5 Modelo del Compensador Estático Síncrono en ATP-EMTP.

#### 4.3.1 Convertidor de 12 pulsos alimentado por voltaje

Todos los inversores hasta ahora empleados en aplicaciones prácticas de transmisión en alto voltaje son compuestos por varias unidades de seis pulsos, es decir, un puente trifásico multipulso, que puede ser de: doce pulsos de dos niveles, o un puente trifásico de doce pulsos de tres niveles, etc. Las formas de onda de los voltajes de fase de salida de un inversor multipulso trifásico están desfasadas entre si, y normalmente se combinan con el uso de componentes magnéticos apropiados para tener como resultado el voltaje trifásico total. Con un buen diseño, el voltaje de salida en las terminales de AC del inversor puede ser muy aproximado a una forma de onda sinusoidal para que no sea necesario el filtrado [Hingorani y Gyugyi 2000]. Por ejemplo, en la Figura 4.6 se ilustra la forma de onda del voltaje de salida de un inversor de 48 pulsos generada por la combinación de las salidas de ocho inversores de seis pulsos de dos niveles.



La operación del inversor alimentado por voltaje utilizado como un generador estático de vars, puede ser explicado en base a las leyes físicas básicas que gobiernan la relación entre la salida y entrada de potencia, sin considerar la operación detallada de las válvulas del inversor. La clave de esta explicación reside en el hecho físico, que como en todos los inversores de potencia, la potencia instantánea neta en la terminal de salida de AC debe ser siempre igual a la potencia instantánea neta en la terminal de entrada de DC (despreciando las pérdidas en los interruptores semiconductores).



*Figura 4.6 Formas de onda de corriente y voltaje de un inversor de 48 pulsos generando potencia reactiva.*

Puesto que el inversor proporciona solo potencia reactiva de salida (sus voltajes de salida se controlan para estar en fase con los voltajes del sistema de AC), la potencia activa de entrada proporcionada por la fuente de DC (capacitor cargado) puede ser cero (como la potencia total instantánea en el lado de AC es también cero). Además, puesto que la potencia reactiva a frecuencia cero (en el capacitor de DC) por definición es cero, el capacitor de DC no influye en la generación de potencia reactiva.

La necesidad de emplear el capacitor de DC es debido a que se debe de cumplir el balance entre la potencia instantánea de entrada y salida. La forma de onda del voltaje de salida desde el lado de DC hacia el de AC del inversor *EIAPU* que se ilustra en la Figura 4.6, no es perfectamente sinusoidal. Por esta razón, la potencia instantánea neta (VA) de

salida tiene rizado incluso si las corrientes de salida del inversor *IIAPU* son puramente sinusoidales. Así, para no violar la igualdad de potencia instantánea de entrada y salida, el inversor debe ser alimentado por una corriente con rizado proveniente del capacitor de *DC* que además proporciona un voltaje constante en las terminales de entrada [Hingorani y Gyugyi 2000].

En la Figura 4.7 se ilustran dos inversores de 6 pulsos que operan con el mismo capacitor en el enlace de *DC*. En el lado de *AC*, estos son conectados a una carga trifásica a través de un transformador neutralizador de armónicos. Los polos *D*, *E* y *F* operan de tal manera que el fasor del voltaje fundamental de los polos  $V_{D,1}$ ,  $V_{E,1}$  y  $V_{F,1}$  están desfasados entre si por  $120^\circ$ . Lo mismo acontece para el conjunto de fasores de voltaje fundamental de los polos  $V_{A,1}$ ,  $V_{B,1}$  y  $V_{C,1}$ . Asimismo, el conjunto de fasores de voltaje a frecuencia fundamental del inversor *DEF* se retrasa al del inversor *ABC* por  $30^\circ$ . Este ángulo de desfase entre los dos inversores consecutivos de 6 pulsos en una configuración multipulso se obtiene mediante la siguiente expresión  $2\pi / NP = (360^\circ / 12) = 30^\circ$ . En el caso de un sistema trifásico balanceado, el voltaje trifásico de salida del transformador neutralizador de armónicos contiene una componente fundamental y componentes armónicos impares de orden  $(12k \pm 1)$ , donde  $k=1, 2, 3\dots$

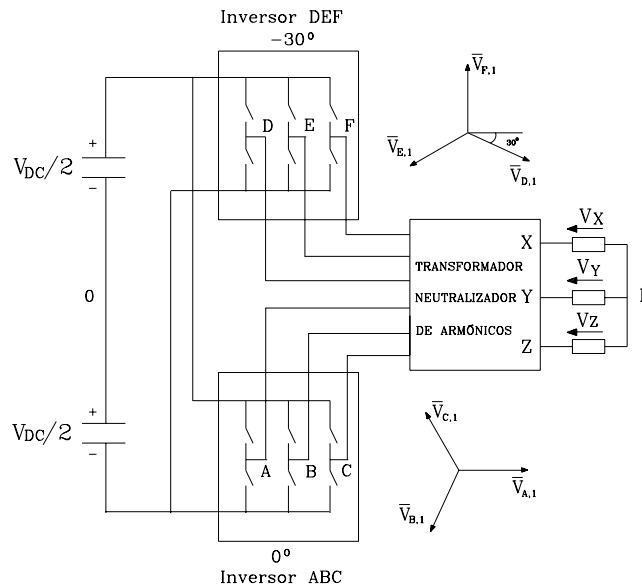


Figura 4.7 Configuración del inversor de 12 pulsos, conectado al transformador neutralizador de armónicos y a una carga.

### 4.3.2 Transformadores

El CES utiliza dos transformadores: un *transformador de acoplamiento* con conexión estrella-delta, cuya función es acoplar al compensador con la red. El otro es un *transformador neutralizador de armónicos* con conexión estrella-delta, y comparado con los transformadores de conexión zig-zag, estos tienen una estructura más simple. La cancelación armónica se lleva a cabo en los devanados secundarios del transformador.

En la Figura 4.8 se ilustra el CES con un inversor de 12 pulsos, una estructura magnética y el transformador de acoplamiento.

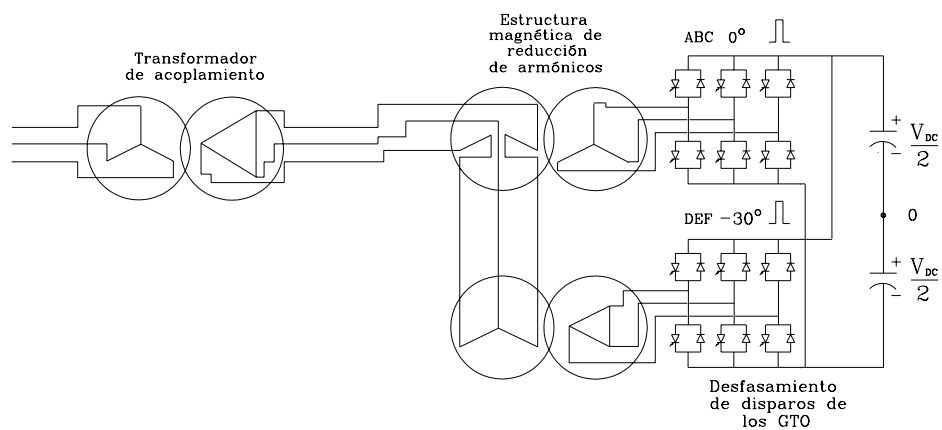


Figura 4.8 CES de 12 pulsos, utilizando transformadores estrella-delta.

En los transformadores con conexión estrella-delta ocurre un desfase de  $\pm 30^\circ$  (el signo depende de la secuencia de fases utilizada) entre las variables eléctricas medidas en terminales de los devanados primario y secundario. A continuación se analizan los desfases para la secuencia positiva  $ABC$  y secuencia negativa ilustrados en la Figura 4.9. En un conjunto de voltajes de línea a neutro de secuencia positiva,  $V_B^{(1)}$  atrasa en  $120^\circ$  a  $V_A^{(1)}$ , mientras que  $V_C^{(1)}$  atrasa a  $V_A^{(1)}$  en  $240^\circ$ ; en un conjunto de voltajes de línea a neutro de secuencia negativa,  $V_B^{(2)}$  adelanta en  $120^\circ$  a  $V_A^{(2)}$ , mientras que  $V_C^{(2)}$  lo hace en  $240^\circ$  a  $V_A^{(2)}$ . En la Figura 4.9(a) se ilustra el diagrama esquemático de un transformador estrella-delta y los devanados dibujados en paralelo están enlazados por el mismo flujo. La

localización de las marcas de polaridad de los devanados muestran que  $V_A$  está siempre en fase con  $V_{ab}$ , independientemente de la secuencia de fases.

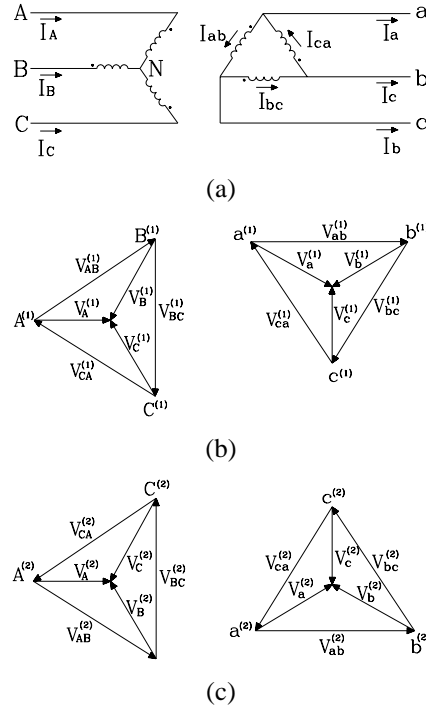


Figura 4.9 Diagrama de devanados y fasores de voltaje para un transformador trifásico conectado en estrella-delta, donde la conexión en estrella es el lado de alto voltaje.

- (a) Diagrama de devanados.
- (b) Componentes de secuencia positiva.
- (c) Componentes de secuencia negativa.

En la Figura 4.9(b) se ilustra la relación de los fasores de voltaje cuando los voltajes de secuencia positiva se aplican a las terminales A, B y C. Los voltajes  $V_A^{(1)}$  y  $V_{ab}^{(1)}$  están en fase debido a la colocación de las marcas de polaridad. En base a esta característica, se pueden determinar los otros voltajes para el diagrama fasorial. Los voltajes  $V_A^{(1)}$ ,  $V_B^{(1)}$  y  $V_C^{(1)}$  se juntan en las puntas de las flechas. Los voltajes de línea a línea pueden ser entonces determinados. Los fasores de voltaje  $V_{bc}^{(1)}$  y  $V_{ca}^{(1)}$  están en fase con  $V_B^{(1)}$  y  $V_C^{(1)}$ , respectivamente. De tal manera, es posible deducir que los voltajes de línea a neutro de

ambos devanados están desfasados  $30^\circ$ . Específicamente,  $V_A^{(1)}$  adelanta a  $V_a^{(1)}$  en  $30^\circ$ , y lo mismo se cumple entre los voltajes de las mismas fases  $b$  y  $c$  de ambos devanados.

En la Figura 4.9(c) se ilustra la relación de los fasores de voltaje al aplicar voltajes de secuencia negativa. Siguiendo el mismo proceso, pero teniendo en mente que  $V_B^{(2)}$  adelanta en  $120^\circ$  a  $V_A^{(2)}$ . Los diagramas completos ilustran que  $V_A^{(2)}$  atrasa a  $V_a^{(2)}$  en  $30^\circ$ . Lo mismo se cumple para las fases restantes.

El transformador puede ser representado como un transformador ideal. Las corrientes en el transformador estrella-delta están desplazadas  $30^\circ$  en la dirección de los voltajes debido a que los ángulos de fase de las corrientes con respecto a sus voltajes asociados están determinados por la impedancia de la carga.

Generalmente el devanado de alto voltaje en un transformador estrella-delta ( $N_1 : \frac{N_2}{\sqrt{3}}$ ) se conecta en estrella por que si se conecta en delta, la relación de transformación de las magnitudes de voltaje de línea se reduce en lugar de incrementarse.

En el transformador de acoplamiento, el desfasamiento no afecta los flujos de potencia activa y reactiva del sistema de AC. Esto se explica porque el desfasamiento que tiene la corriente se compensa con el del voltaje en el rango de valores de potencia involucrados. Lo anterior se demuestra en la siguiente ecuación [Grainger y Stevenson Jr. 1997].

$$V_A^{(1)} I_A^{(1)*} = V_a^{(1)} \angle 30^\circ * I_a^{(1)*} \angle -30^\circ = V_a^{(1)} I_a^{(1)*} \quad (4.4)$$

Las salidas de cada inversor de 6 pulsos son combinadas por la conexión en serie de las correspondientes fases de los devanados del secundario formando así el transformador neutralizador de armónicos en conexión estrella-delta que se ilustra en la Figura 4.10. El voltaje de salida resultante tiene una componente fundamental y componentes armónicos impares de orden  $m = 12k \pm 1$  para  $k=1, 2, 3, \dots$  de tal modo que se elimina el quinto y séptimo armónico. La amplitud de la componente fundamental es  $(2\pi)v_{DC}$  y la amplitud de la componente armónica impar  $m$  normalizada respecto a la fundamental es  $1/m$ . [Sen 1999].

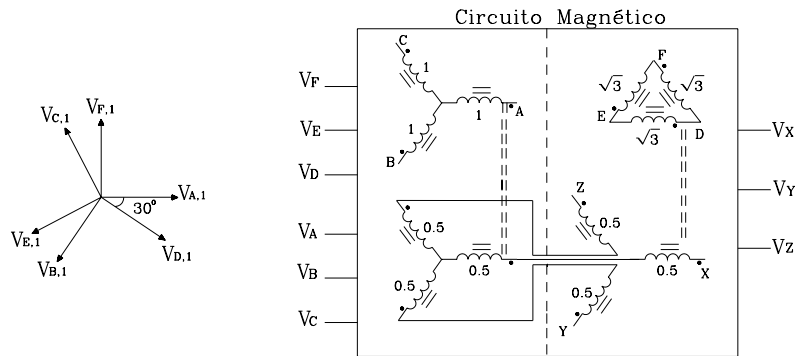
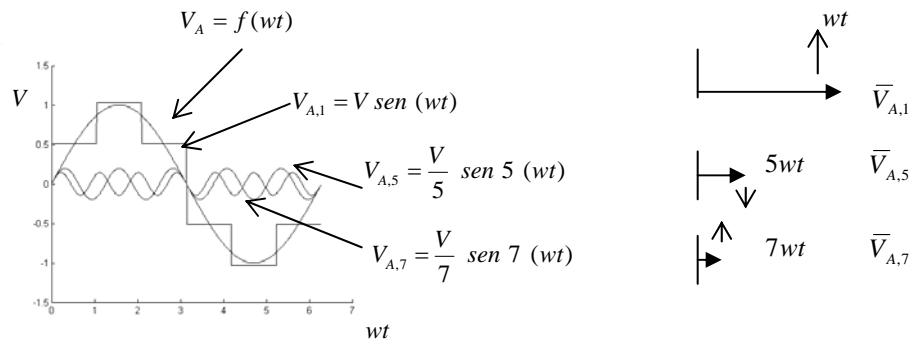
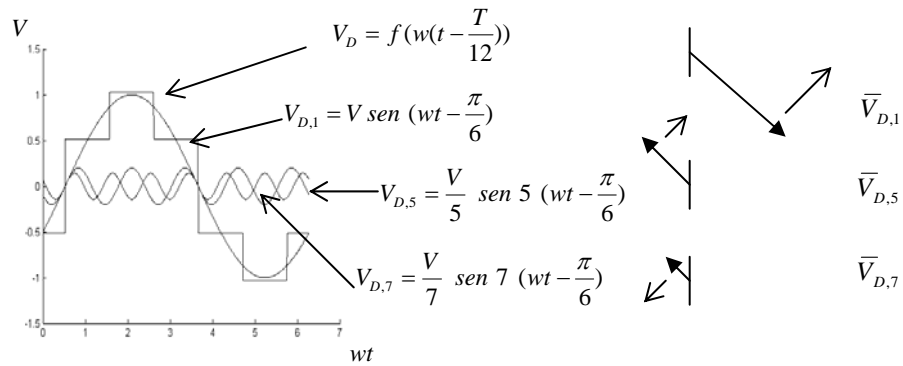


Figura 4.10 Transformador neutralizador de armónicos con conexión estrella-delta para un inversor de 12 pulsos.

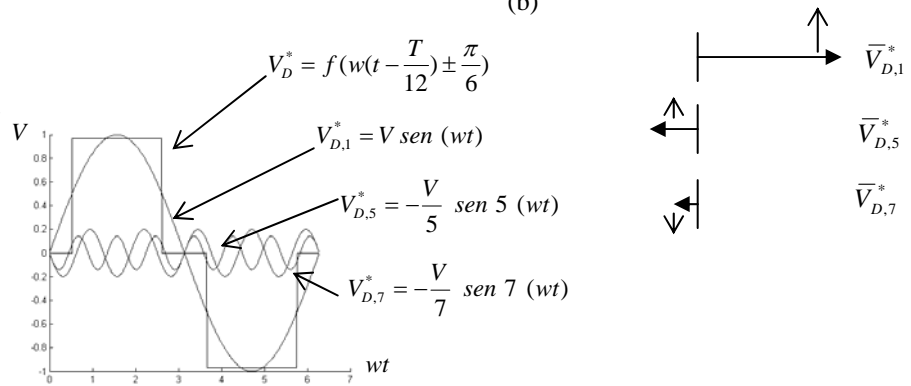
En la Figura 4.11 se ilustra la técnica de cancelación de la componente del quinto y séptimo armónico de cada fase de los voltajes de carga  $V_X$ ,  $V_Y$  y  $V_Z$ . Se considera la componente fundamental de secuencia positiva  $v_{A,1}$ , la componente del quinto armónico de secuencia negativa  $v_{A,5}$  y la componente del séptimo armónico de secuencia positiva  $v_{A,7}$  del voltaje de la fase A  $v_A$  del inversor  $ABC$ . Estas formas de onda son ilustradas en la Figura 4.11(a). En el diagrama vectorial de la misma figura se observa que todas las componentes antes mencionadas están en fase. De igual manera, se considera la componente fundamental de la secuencia positiva  $v_{D,1}$ , la componente del quinto armónico de secuencia negativa  $v_{D,5}$  y la componente del séptimo armónico de secuencia positiva  $v_{D,7}$  del voltaje de la fase D  $v_D$  del inversor  $DEF$ , dichas componentes son ilustradas en la Figura 4.11 (b). Ahora, si se observan las dos figuras antes mencionadas, se tiene que la secuencia positiva de la fase D del voltaje fundamental  $v_{D,1}$  está atrasada de la secuencia positiva de la fase A del voltaje fundamental  $v_{A,1}$  por  $30^\circ$ . Esto concuerda con el desfaseamiento entre inversor  $ABC$  y el inversor  $DEF$  (desfaseamiento de  $0^\circ$  y  $-30^\circ$  respectivamente). En la parte del diagrama vectorial de la Figura 4.11(b) se observa que la componente de secuencia negativa del quinto armónico  $v_{D,5}$  y la componente de secuencia positiva del séptimo armónico  $v_{D,7}$ , están en fase entre sí, pero en antifase con la componente fundamental de secuencia positiva  $v_{D,1}$ . Ahora, si todas las componentes de



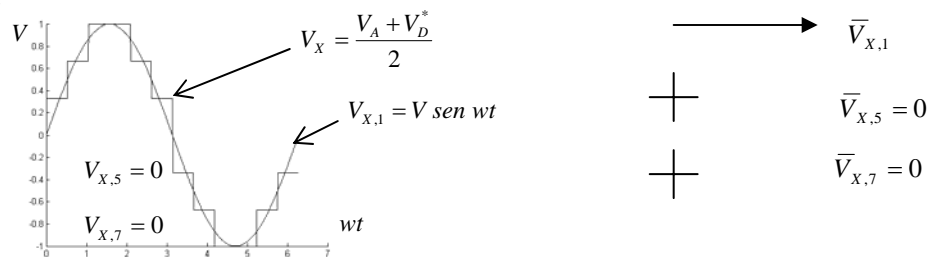
(a)



(b)



(c)



(d)

Figura 4.11 Técnica de cancelación de la componente del quinto y séptimo armónico.

(a) Voltaje de la fase A. (b) Voltaje de la fase D (desfasado en el tiempo por  $T/12$ ).

(c) Voltaje de la fase D modificado. (d) Voltaje de la fase X.

voltaje del inversor  $DEF$  se adelantan por  $30^\circ$  en dirección positiva independientemente de su secuencia como se ilustra en la Figura 4.11(c), la componente fundamental  $v_{D,1}^*$ , del voltaje modificado de la fase  $D$   $v_D^*$  esta en fase con la componente fundamental  $v_{A,1}$  del voltaje de la fase  $A$   $v_A$ . La componente del quinto  $v_{D,5}^*$  y séptimo armónico  $v_{D,7}^*$  del voltaje modificado de la fase  $D$   $v_D^*$  están en antifase con la componente del quinto  $v_{A,5}$  y séptimo armónico  $v_{A,7}$  del voltaje de la fase  $A$   $v_A$ , respectivamente. Finalmente, se obtiene el voltaje de salida de la fase  $X$ , sumando el voltaje modificado de la fase  $D$   $v_D^*$  y el voltaje de la fase  $A$   $v_A$ , pero al sumar la componente del quinto y séptimo armónico se cancelan y no aparece en el voltaje de salida de la fase  $X$  en el voltaje de 12 pulsos como se ilustra en la Figura 4.11(d). El voltaje de la fase  $X$  exhibe solo una componente fundamental y cualquier componente armónico impar ( $m$ ) con amplitud normalizada de  $(1/m)$  donde  $m = 12k \pm 1$  para  $k=1, 2, 3, \dots$  [Sen 1999].

### 4.3.3 Módulo de control

El control del CES se utiliza para operar el inversor de tal manera que el ángulo de fase entre el voltaje del inversor y el voltaje de la línea de transmisión se ajuste dinámicamente para que el dispositivo genere o absorba la potencia reactiva (VAR) deseada en el punto de conexión [Sen 1999]. El control del CES puede ser por corriente o por voltaje. El control de corriente de lazo interno se ilustra en la Figura 4.12, donde la variable de control es la magnitud de la corriente reactiva de referencia, que puede ser proporcionada por el control de voltaje de lazo externo ó definida externamente, y junto con las variables del sistema determinan la funcionalidad del CES [Hingorani y Gyugyi 2000].

El control de corriente de lazo interno es parte integral del inversor. Su función principal es operar los tiristores (GTO) del inversor para generar la forma de onda fundamental del voltaje de salida con magnitud y ángulo de fase en sincronismo con el sistema de AC [Sen 1999]. De esta manera el inversor con el control de corriente de lazo interno y la inductancia del transformador de acoplamiento puede ser visto como una fuente de voltaje síncrona.



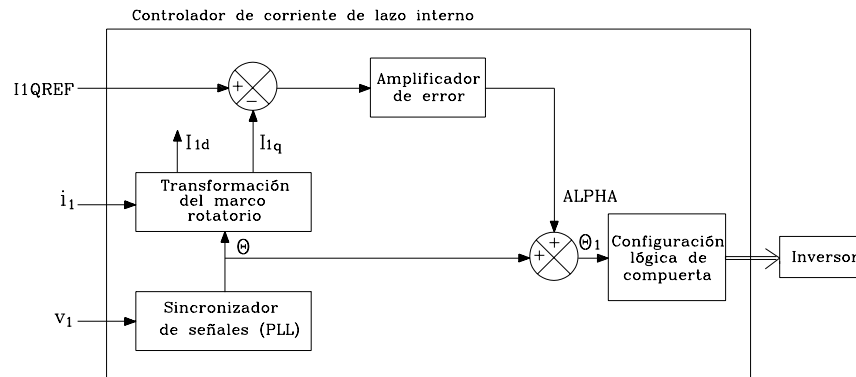


Figura 4.12 Diagrama de control de corriente de lazo interno del Compensador Estático Síncrono.

El diagrama simplificado del control de corriente de lazo interno es exclusivamente para la compensación reactiva [Hingorani y Gyugyi 2000] y [Sen 1999]. El intercambio de potencia reactiva entre el compensador y el sistema de AC se logra variando la magnitud del voltaje del compensador [Dávalos y Ramírez 2001]. A continuación se hace una descripción de la Figura 4.12. Las entradas al control de corriente son: la medición instantánea del voltaje trifásico  $v_1$ , la medición instantánea de la corriente de salida del inversor  $i_1$  y la corriente reactiva de referencia  $I1QREF$ . El voltaje trifásico  $v_1$  opera al sincronizador de señales (PLL) para proporcionar la sincronización básica de señales y calcular el ángulo  $\theta$ . La corriente de salida del inversor  $i_1$  se descompone en la componente real  $I_{1d}$ , y la componente reactiva  $I_{1q}$ . La componente reactiva es comparada con el valor de referencia deseado  $I1QREF$ , y el error pasa a través de un amplificador de error el cual produce un ángulo  $ALPHA$  que define el desfase necesario entre el voltaje salida del inversor y el voltaje de la línea de transmisión, el cual es indispensable para la carga y descarga del capacitor de DC al nivel de voltaje requerido. El ángulo  $ALPHA$  se suma con el ángulo  $\theta$  y el resultado representa la señal de sincronismo deseada para el inversor con la finalidad de satisfacer la corriente reactiva de referencia. El ángulo  $\theta_1$  opera la configuración lógica de compuerta de los tiristores GTO. El bloque de configuración lógica de compuerta determina los periodos de encendido y apagado de cada tiristor GTO que corresponde al voltaje de salida requerido. La corriente reactiva de referencia  $I1QREF$  de la corriente del inversor puede ser definida como positiva si el CES esta simulando una reactancia inductiva, o

negativa si esta simulando una reactancia capacitiva [Sen 1999]. El voltaje del capacitor en el enlace de corriente directa es ajustado dinámicamente en relación con el voltaje del inversor. El esquema anterior describe la implementación del control de corriente de lazo interno que regula el flujo de corriente reactiva a través del CES, sin tener en cuenta el voltaje de la línea. Sin embargo, si se está interesado en regular el voltaje de la línea de transmisión se adiciona el control de voltaje de lazo externo al control de corriente de lazo interno. El control de voltaje de lazo externo determinará automáticamente la corriente reactiva de referencia para el control de corriente de lazo interno que, a su vez, regulará el voltaje de la línea de transmisión.

A continuación se describe la Figura 4.13 que ilustra el diagrama de control de voltaje de lazo externo del CES. La medición instantánea de voltaje trifásico  $v_l$  se descompone en la componente real  $V_{ld}$  y la componente reactiva  $V_{lq}$ . La magnitud de voltaje del nodo  $V_{ldq}$  es comparada con el valor de referencia  $V_{lREF}$  y ajustada por un factor  $K_{factor}$ ; el error resultante pasa a través de un amplificador el cual produce la corriente reactiva de referencia  $I_{lQREF}$  para el control de corriente de lazo interno. El factor de decaimiento  $K_{factor}$  es definido como el error de voltaje aceptable a lo valuado en proporción del flujo de corriente reactiva a través del CES [Sen 1999].

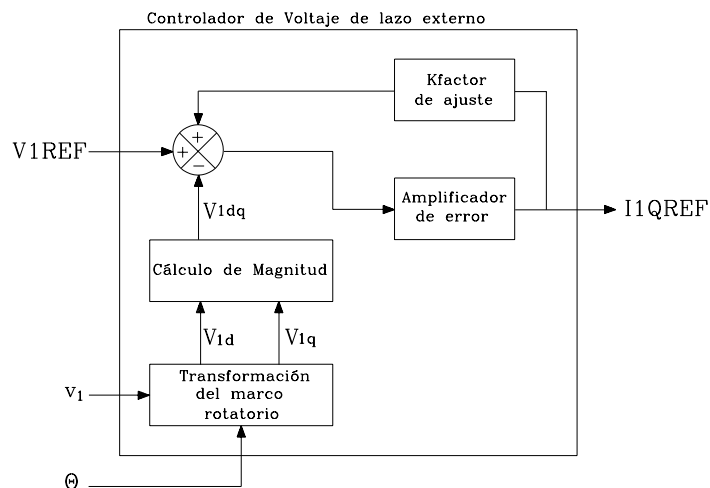


Figura 4.13 Diagrama de control de voltaje de lazo externo del Compensador Estático Síncrono.

## 4.4 Casos de estudio

El propósito de la compensación reactiva es cambiar las características eléctricas naturales de la línea transmisión para minimizar el sobrevoltaje de la línea en condiciones de carga ligera, o mantener los niveles de voltaje en condiciones de alta demanda de energía eléctrica.

Las simulaciones dinámicas del CES se realizan basándose en el modelo trifásico ilustrado en la Figura 4.14 con la finalidad de resaltar la capacidad del dispositivo de inyectar un corriente de magnitud variable en el punto de conexión con una línea de la transmisión [Sen 1999]. En este caso, el controlador se conecta al *NODO 1* de la línea de transmisión la cual consta de una fuente de voltaje  $V_s$  y la reactancia inductiva  $X_s$  en la terminal de envío. En el nodo de recepción se conecta la reactancia inductiva  $X_r$  y la fuente de voltaje  $V_r$ .

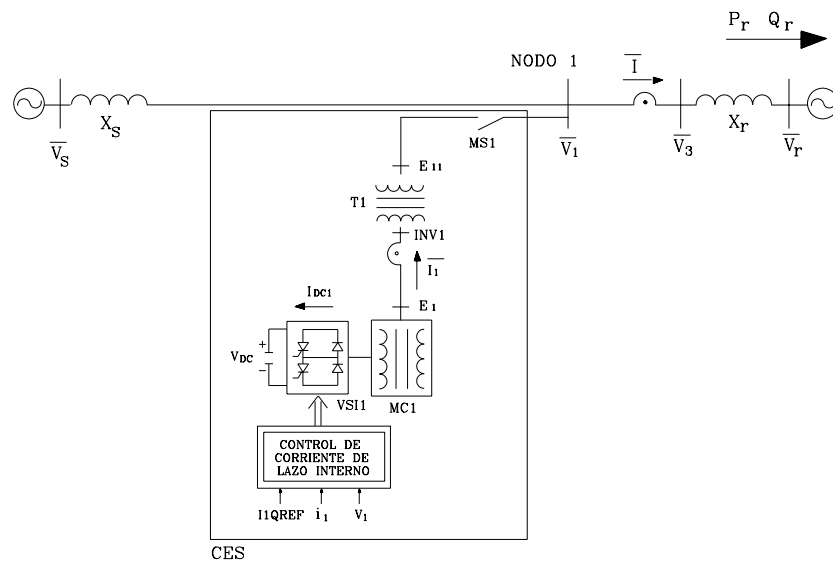


Figura 4.14 Modelo del Compensador Estático Síncrono en ATP-EMTP con el control de corriente de lazo interno.

El control del CES se realiza por corriente de lazo interno, y se complementa con el control de voltaje de lazo externo como se ilustra en la Figura 4.15. Cada control tiene una variable de referencia diferente. A continuación se presenta el CES con ambos esquemas de control.

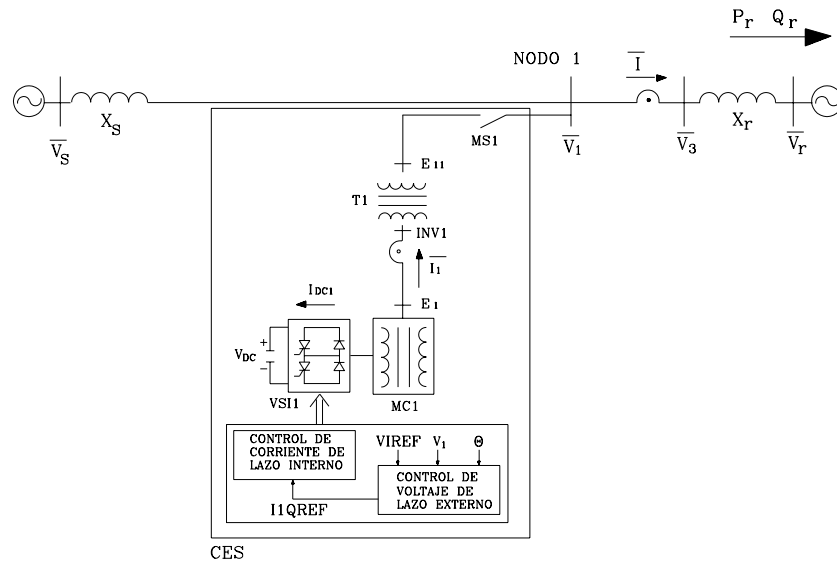


Figura 4.15 Modelo del Compensador Estático Síncrono en ATP-EMTP con el control de voltaje de lazo interno.

#### 4.4.1 Operación básica del CES con un inversor de 12 pulsos con control de corriente de lazo interno y control de voltaje de lazo externo

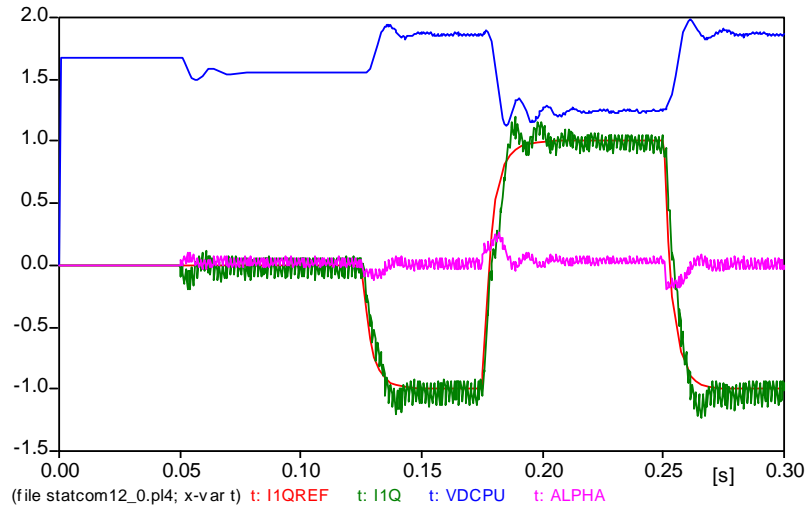
El control de corriente de lazo interno se modula mediante la corriente reactiva de referencia inductiva o capacitiva, en este ejemplo, se cambian los valores de referencia en los tiempos definidos dados en la Tabla 4.1.

Tabla 4.1 Valores de corriente reactiva.

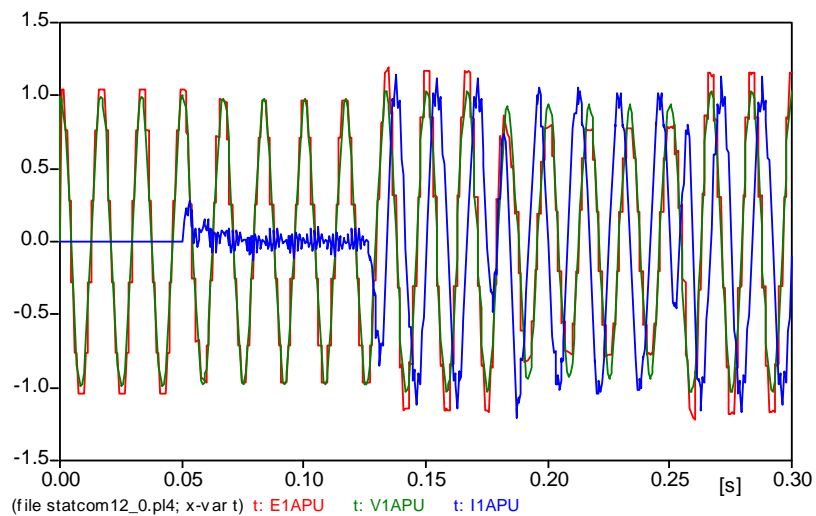
Tiempo en milisegundos	Corriente de referencia $I1QREF$
50	0
125	-1
175	1
250	-1

Los resultados del análisis de la operación básica del CES con un inversor de 12 pulsos y los valores de corriente reactiva de referencia dados en la tabla anterior se ilustran

en la Figura 4.16. A continuación se hace una descripción detallada del comportamiento dinámico de las variables del sistema de prueba.



(a)



(b)

*Figura 4.16 Respuesta del Compensador Estático Síncrono con el inversor de 12 pulsos y operado con control de corriente de lazo interno.*

*(a) Corriente reactiva de referencia, corriente reactiva y ángulo ALPHA calculados y el voltaje de corriente directa en el capacitor.*

*(b) Voltaje de salida del convertidor, voltaje del sistema de corriente alterna y la corriente de salida del convertidor, todas de la fase a.*

Las condiciones iniciales en los primeros 49 ms de la Figura 4.16 son: el interruptor mecánico *MSI* se mantiene abierto desconectando el CES de la línea de transmisión, el

capacitor de enlace de  $DC$  es precargado a un valor de  $VDCPU=1.6774$  y la corriente reactiva de referencia inicia en cero  $IIQREF=0$ . Al igual que la corriente reactiva y el ángulo de fase ( $IIQ$  y  $ALPHA$ ) calculados a partir de la medición del voltaje trifásico en el  $NODO 1$  de la Figura 4.14, lo anterior se ilustra en la Figura 4.16(a). El voltaje de salida del inversor de la fase  $a$   $EIAPU$  y el voltaje de la línea de transmisión  $VIAPU$  están en fase, lo anterior ilustrado en la Figura 4.16(b). A los 50 ms, el interruptor mecánico  $MS1$  se cierra y la corriente reactiva de referencia del inversor se mantiene en el valor de cero  $IIQREF=0$ , mientras que los voltajes  $EIAPU$  y  $VIAPU$  tienen amplitudes iguales. Debido a la igualdad en las magnitudes de los voltajes, no existe flujo de corriente y por lo tanto no existe potencia activa ni reactiva fluyendo entre los nodos  $NODO1$  y  $E_{11}$  de la Figura 4.14. Por último, la magnitud de voltaje del capacitor del enlace de  $DC$  se decremento a  $VDCPU=1.5551$ , como se ilustra en la Figura 4.16(a). A los 125 ms, la corriente reactiva de referencia  $IIQREF$  del inversor es especificada en un valor capacitivo de  $-1$  p.u. En este caso, el CES ve al sistema como una reactancia inductiva y la corriente del inversor de la fase  $a$   $IIAPU$  se atrasa del voltaje de línea de la fase  $a$   $VIAPU$  por casi  $90^\circ$ . Como el CES está inyectando reactivos al sistema de  $AC$ , la magnitud de voltaje  $VIAPU$  es menor que la magnitud de voltaje en el inversor  $EIAPU$ , como se ilustra en la Figura 4.16(b). Asimismo, el voltaje del capacitor de enlace de  $DC$  se incremento a  $VDCPU=1.8604$ , con respecto al valor anterior de  $VDCPU=1.5551$  p.u. A los 175 ms, la corriente reactiva de referencia  $IIQREF$  es especificada a un valor inductivo de  $1$  p.u., tal que el CES ve al sistema como una reactancia capacitiva por lo que la corriente en el inversor de la fase  $a$   $IIAPU$  esta adelanta del voltaje de la línea de la fase  $a$   $VIAPU$  por casi  $90^\circ$ . En este caso la magnitud del voltaje en el inversor  $EIAPU$  es menor que el voltaje de línea  $VIAPU$ , y el voltaje del capacitor de enlace de  $DC$  se decremento a  $VDCPU=1.2381$  p.u. A los 250 ms, la corriente reactiva de referencia  $IIQREF$  se regresa a un valor capacitivo de  $-1$  p.u. La transición de la corriente reactiva de referencia tiene lugar en un tiempo de medio ciclo. Además se observa en la Figura 4.16(b) que el voltaje del inversor  $EIAPU$  y el voltaje de la línea  $VIAPU$  están en fase. En la práctica, existen pérdidas de potencia en las válvulas del inversor y en el transformador neutralizador de armónicos del CES. Debido a lo anterior, siempre habrá una pequeña parte de la componente real de corriente  $I_{ld}$  fluyendo en el inversor y el voltaje del inversor  $EIAPU$  se atrasa del voltaje de la línea  $VIAPU$  por un pequeño ángulo bajo la condición de estado estable. El ángulo de fase  $ALPHA$  (que se

ilustra en la Figura 4.16(a)), entre el voltaje del inversor *EIAPU* y el voltaje de la línea *VIAPU* se ajusta dinámicamente para que el inversor mantenga el capacitor del enlace de DC a un voltaje apropiado [Sen 1999]. Por último, en la Figura 4.17 se ilustra una vista expandida de dos secciones de la Figura 4.16(b). El voltaje y la corriente del inversor de 12 pulsos muestran la presencia de componentes armónicas.

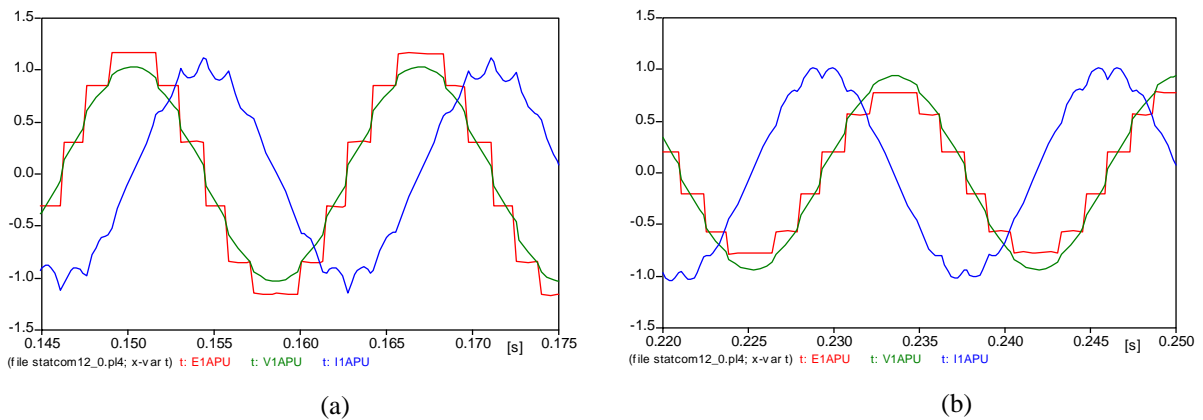


Figura 4.17 Formas de onda de un Compensador Estático Síncrono con un inversor de 12 pulsos operando con control de corriente de lazo interno.

(a) El CES ve al sistema como una reactancia inductiva.

(b) El CES ve al sistema como una reactancia capacitiva.

A continuación se presenta los resultados de la simulación dinámica del CES con el control de voltaje de lazo externo. Los valores que toma el voltaje de línea de referencia están dados en la Tabla 4.2.

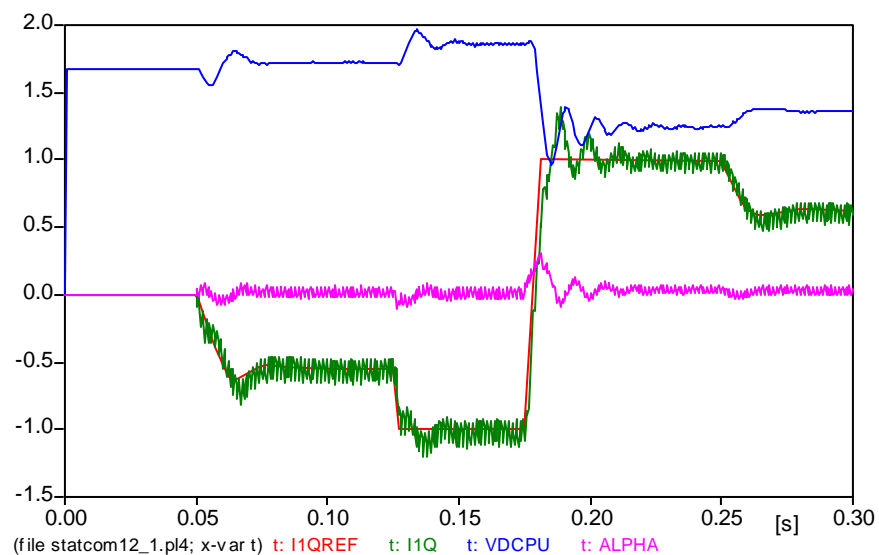
Tabla 4.2 Valores de Voltaje de línea de referencia.

Tiempo milisegundos	Voltaje de línea de referencia <i>VIREF</i>
0	0.99
50	1.015
125	1.10
175	-0.90
250	-0.96

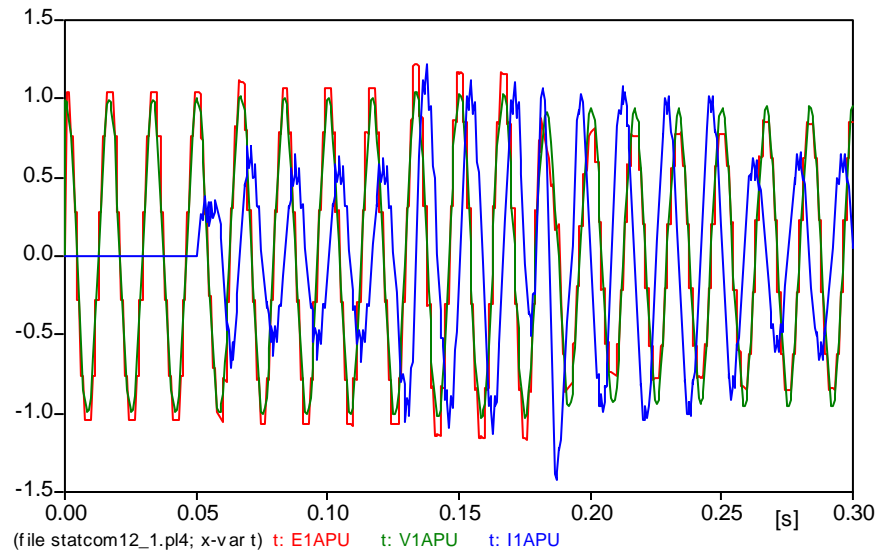
La operación básica del CES con el inversor de 12 pulsos y los valores de voltaje de línea de referencia dados en la tabla anterior, se ilustra en la Figura 4.18. A continuación se describe el comportamiento dinámico de las variables del sistema de prueba. Las condiciones de la simulación en los primeros 49 ms son: el interruptor mecánico *MSI* esta abierto desconectando el CES del *NODO 1* de la línea de transmisión, lo anterior se ilustra en la Figura 4.15, y el voltaje de línea de referencia nominal en el *NODO 1* es de 0.99 p.u., como se ilustra en la Figura 4.18(c). El capacitor del enlace de *DC* es precargado a un valor de  $VDCPU=1.6774$ , como se ilustra en la Figura 4.18(a). El voltaje de salida del inversor de la fase *a* *EIAPU* y el voltaje de la línea de transmisión *VIAPU* están en fase, esto se ilustra en la Figura 4.18(b). A los 50 ms, el interruptor mecánico *MSI* se cierra y el voltaje de línea de referencia *VIREF* en el *NODO 1* se fija en 1.015 p.u., teniendo como respuesta un voltaje de línea *VIDQ* en el *NODO 1* de 1.0173 p.u. que resulta en un modo operación capacitivo del CES. Lo anterior se ilustra en la Figura 4.18(c). Como se observa en la Figura 4.18(b), la corriente del inversor de la fase *a* *IIAPU* se atrasa del voltaje de línea de la fase *a* *VIAPU* por casi  $90^\circ$ . Además, el voltaje de salida del inversor de la fase *a* *EIAPU* es mayor en magnitud que el voltaje de la línea de transmisión *VIAPU*. Por último, el control opera al inversor de tal manera que la corriente *IIQREF* a través del CES se regula a una corriente capacitiva de 0.54642 p.u. y el voltaje del capacitor del enlace de *DC* tiene un incremento a el valor de  $VDCPU=1.7246$ , lo anterior se ilustra en la Figura 4.18(a). En el instante de tiempo correspondiente a 125 ms se continúa con el mismo modo de operación del CES, pero el voltaje de línea de referencia *VIREF* se incrementa a 1.10 p.u. Esto ocasiona un incremento en el voltaje de línea *VIDQ* en el *NODO 1* de 1.036 p.u., tal como se ilustra en la Figura 4.18(c). El voltaje de salida del inversor de la fase *a* *EIAPU*, el voltaje de la línea de transmisión *VIAPU* y la corriente del inversor de la fase *a* *IIAPU* se comportan de manera similar a la descrita para el periodo de tiempo de 50 ms a 125 ms, siendo la única diferencia el incremento en la magnitud de dichas variables, tal como se ilustra en la Figura 4.18(b). El voltaje del capacitor del enlace de *DC* tiene un incremento a un valor de  $VDCPU=1.8712$ . El control opera al inversor de tal manera que la corriente *IIQREF* a través del CES se regula a un límite máximo de corriente capacitiva de 1 p.u., lo anterior se ilustra en la Figura 4.18(a). A los 175 ms, el voltaje de línea de referencia *VIREF* es puesto a  $-0.90$  p.u. tal que el voltaje de línea *VIDQ* en el *NODO 1* disminuye a un valor de 0.94 p.u., lo que resulta en un modo de operación inductivo del CES. Lo anterior



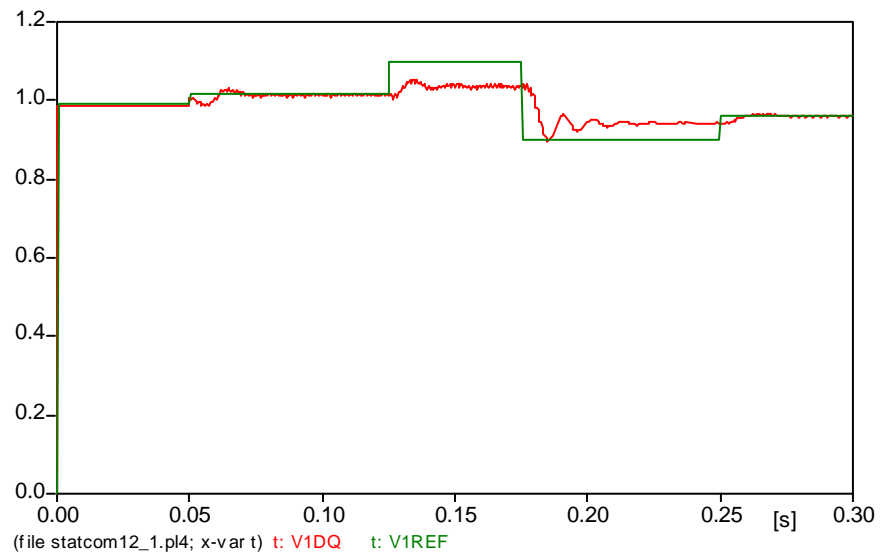
se ilustra en la Figura 4.18(c). Para este modo de operación, y tal como se ilustra en la Figura 4.18(b), la corriente del inversor de la fase *a* *IIAPU* se adelanta del voltaje de línea de la fase *a* *VIAPU* por casi  $90^\circ$ , mientras el voltaje de salida del inversor de la fase *a* *EIAPU* es menor que el voltaje de la línea de transmisión *VIAPU*. El voltaje del capacitor del enlace de *DC* tiene un decremento a un valor de  $VDCPU=1.2509$  y entonces el control opera al inversor de tal manera que la corriente *IIQREF* a través del CES se regula a un límite máximo de corriente inductiva de 1 p.u., como se observa en la Figura 4.18(a). Por último, en el instante de tiempo igual a 250 ms, el voltaje de línea de referencia *VIREF* es puesto a  $-0.96$  y se tiene como respuesta un voltaje de línea *VIDQ* en el *NODO 1* de 0.95699 p.u. A pesar del incremento en el voltaje de referencia, con respecto a la especificación de control anterior, el CES continua operando en modo inductivo ya que la especificación de control de voltaje es menor de 0.99 p.u.; lo anterior se ilustra en la Figura 4.18(c). Las variables del voltaje de salida del inversor de la fase *a* *EIAPU*, el voltaje de la línea de transmisión *VIAPU* y la corriente del inversor de la fase *a* *IIAPU* se comportan de igual manera que en el periodo de tiempo anterior, existiendo solamente un decremento en la magnitud de la corriente del inversor de la fase *a* *IIAPU*, lo anterior se ilustra en la Figura 4.18(b). El voltaje del capacitor del enlace de *DC* tiene un decremento a un valor de  $VDCPU=1.3618$  y el control opera al inversor de tal manera que la corriente *IIQREF* a través del CES se regula a una corriente inductiva de 0.6322 p.u., lo anterior se ilustra en la



(a)



(b)



(c)

*Figura 4.18 Respuesta del Compensador Estático Síncrono con el inversor de 12 pulsos operando con el control de voltaje de lazo externo.*

*(a) Corriente de reactiva de referencia y la corriente reactiva calculada, voltaje de corriente directa en el capacitor y ángulo de defasamiento.*

*(b) Voltaje de salida del inversor, voltaje del sistema de corriente alterna y la corriente de salida del inversor, todas de la fase a.*

*(c) Voltaje de línea del sistema de corriente alterna y el voltaje de referencia.*

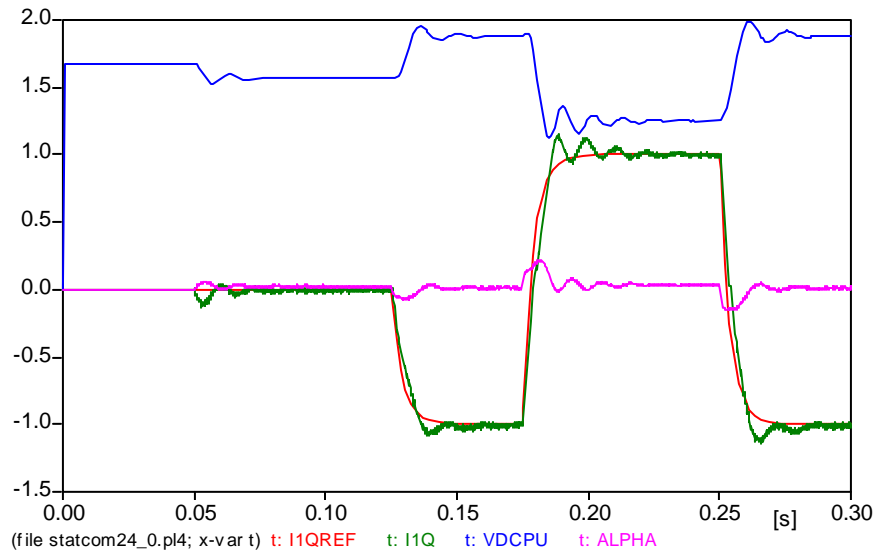
Figura 4.18(a). Cuando se utiliza el control de voltaje de lazo externo se produce una corriente de referencia  $I_{QREF}$  para el control de corriente de lazo interno, y el CES toma un tiempo mayor para responder al que tomaría si se utilizará el control de corriente de lazo interno con la corriente reactiva de referencia especificada [Sen 1999].

#### **4.4.2 Operación básica del CES con el inversor de 24 pulsos con control de corriente de lazo interno y control de voltaje de lazo externo**

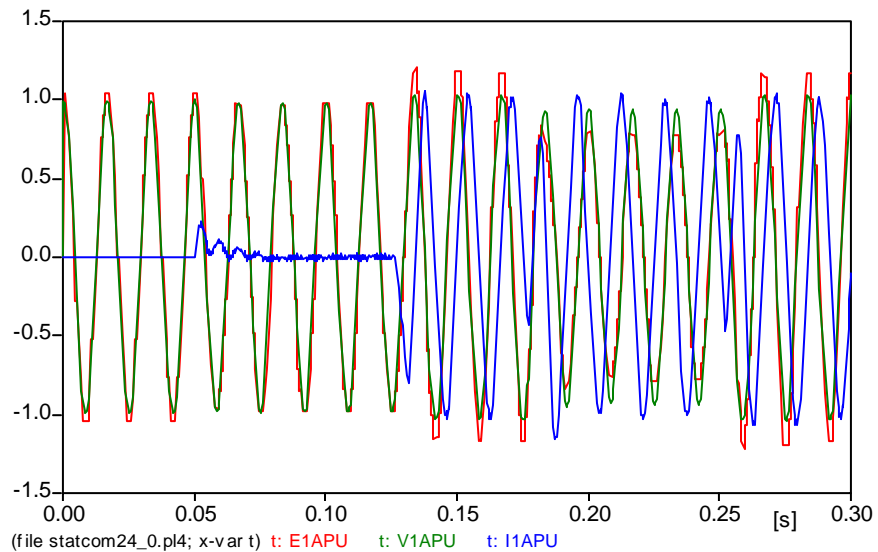
La presencia de componentes armónicos en el voltaje de salida del inversor de 12 pulsos puede no ser aceptable en muchas aplicaciones. Por consiguiente, el voltaje de salida del inversor con alto número de pulsos debe ser considerado [Sen 1998] y [Sen y Stacey 1998].

El estudio descrito en la sección anterior se realiza nuevamente considerando el CES con un inversor de 24 pulsos, con la finalidad de observar el impacto del número de pulsos del inversor sobre la presencia de componentes armónicos en las formas de onda de las variables de estado. En la Figura 4.19 se ilustra las formas de onda resultantes del comportamiento dinámico de las variables del CES con el control de corriente de lazo interno considerando la misma corriente reactiva de referencia  $I_{QREF}$  del inversor de 12 pulsos, dada en la Tabla 4.1, para así poder apreciar las mejoras de las formas de ondas.

De los resultados ilustrados se observa que la forma de onda de la corriente reactiva  $I_Q$  tiene menos rizado y la variación del ángulo alfa es más cercana a cero. El voltaje de salida de la fase  $a$   $E_{IAPU}$  del inversor de 24 pulsos y el voltaje de línea  $V_{IAPU}$  están en fase y la corriente del inversor de la fase  $a$   $I_{IAPU}$  tiene menos rizado, por lo que se tiene una mejor calidad en la forma de onda de corriente que inyecta el CES a la línea de transmisión.



(a)



(b)

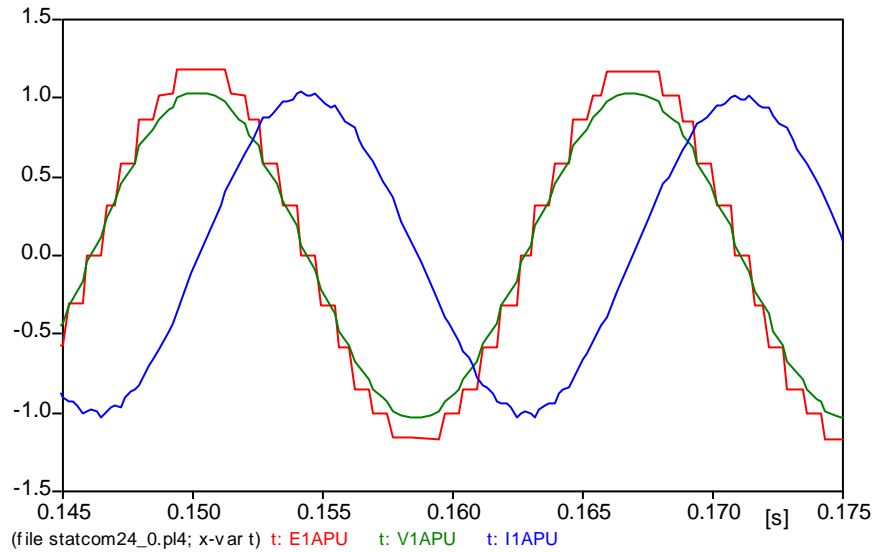
*Figura 4.19 Respuesta del Compensador Estático Síncrono con el inversor de 24 pulsos operando con control de corriente reactiva.*

*(a) Corriente reactiva de referencia, la corriente reactiva calculada, voltaje de corriente directa en el capacitor y ángulo de defasamiento.*

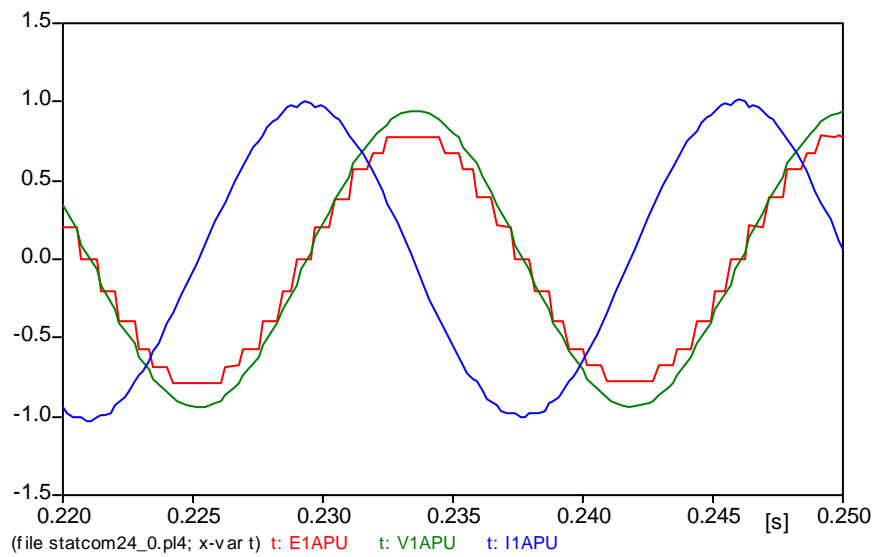
*(b) Voltaje de salida del inversor, voltaje del sistema de corriente alterna y la corriente de salida del inversor, todas de la fase a.*

En la Figura 4.20 se ilustra en forma expandida dos secciones de la Figura 4.19(b). Es claro de estos resultados que las formas de onda de voltaje  $E_{IAPU}$  y de corriente  $I_{IAPU}$

del inversor de 24 pulsos son más aproximados a una forma de onda sinusoidal que los obtenidos con un inversor de 12 pulsos.



(a)



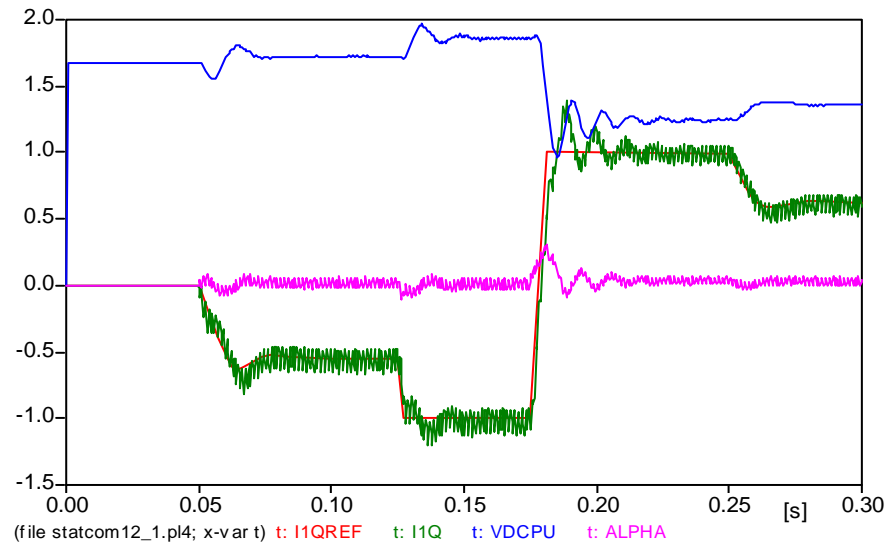
(b)

*Figura 4.20 Formas de onda de un Compensador Estático Síncrono con un inversor de 24 pulsos operando con control de corriente reactiva.*

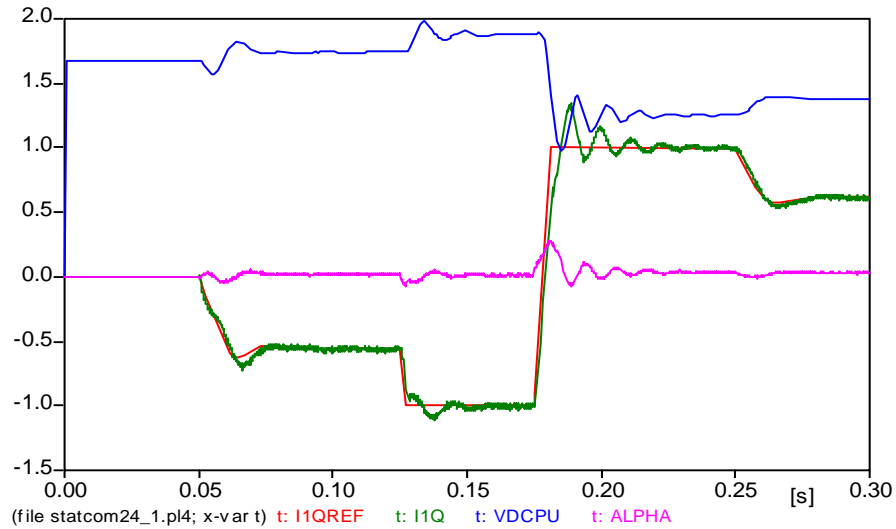
*(a) El CES ve al sistema como una reactancia inductiva.*

*(b) El CES ve al sistema como una reactancia capacitiva.*

En la Figura 4.21 se ilustra los resultados de la simulación del CES con el inversor de 12 y 24 pulsos operando con el control de voltaje de lazo externo y los voltajes de línea de referencia dados en la Tabla 4.2, para comparar ambas ilustraciones.



(a)



(b)

Figura 4.21 Formas de onda del Compensador Estático Síncrono operando el control de voltaje. Las variables son la corriente de reactiva, la corriente de reactiva de referencia, voltaje de corriente directa en el capacitor y ángulo de desfasamiento.

(a) con un inversor de 12 pulsos.

(b) con un inversor de 24 pulsos.

Observando la figura anterior se detecta una gran mejoría con el inversor de 24 pulsos, principalmente en la corriente reactiva  $I1Q$  y el ángulo de fase  $ALPHA$  tiene un rango de variación más pequeño mientras que en el voltaje del capacitor de enlace de  $DC$  es menor el rizado.

### 4.4.3 Comparación de algunas formas de onda utilizando el convertidor de 12, 24 y 48 pulsos

En la Figura 4.22 se ilustra las formas de onda del voltaje de salida *EIAPU* del inversor de 12, 24 y 48 pulsos donde se utiliza el control de voltaje de lazo externo. En esta figura se aprecia como se va aproximando cada vez más la onda de voltaje a una forma de onda casi sinusoidal conforme aumenta el número de pulsos de inversor.

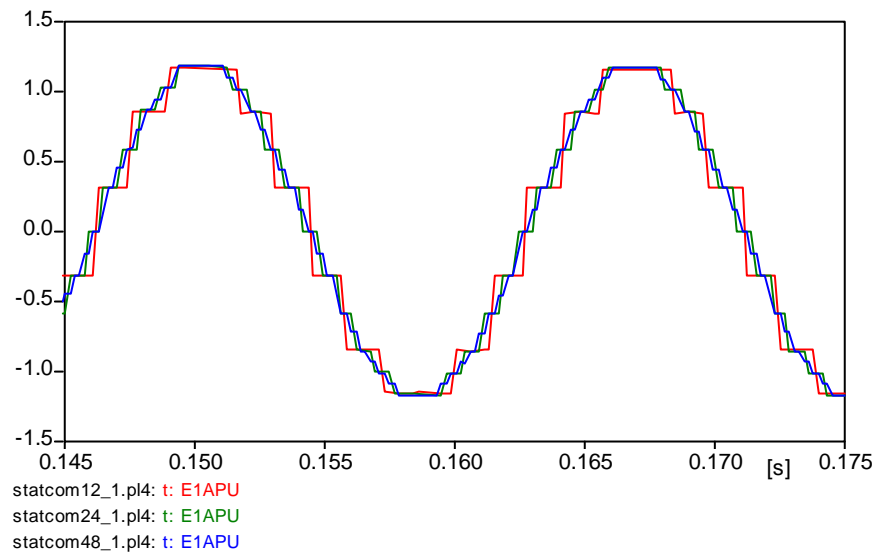
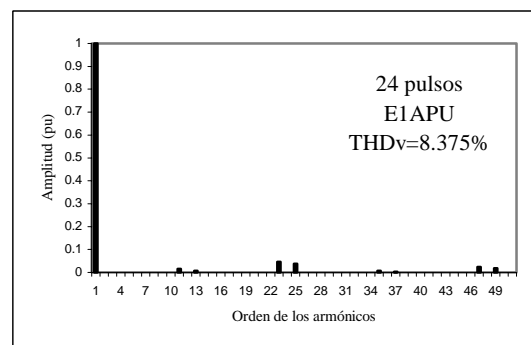
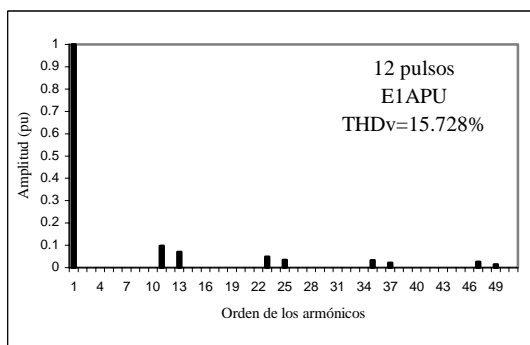


Figura 4.22 Voltaje de salida de la fase a (*EIAPU*) del CES con la configuración del inversor de 12, 24 y 48 pulsos.

Lo anterior se corrobora realizando la evaluación del por ciento de distorsión armónica total ( $THD_v$ ) de las formas de onda del inversor ilustradas en la Figura 4.22, los cuales se muestran en forma de espectros armónicos en la Figura 4.23. De estos resultados se observa que el  $THD_v$  decrece conforme aumenta el número de pulsos.



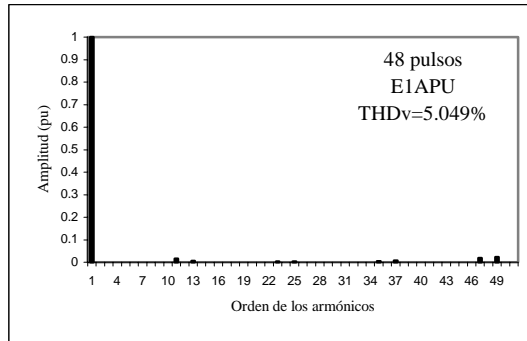


Figura 4.23  $THD_v$  y espectro armónico del voltaje de salida la fase  $a$  (E1APU) del CES con la configuración del inversor de 12, 24 y 48 pulsos.

En la Figura 4.24 se ilustra las formas de onda de corriente de salida de la fase  $a$  (I1APU) del CES con la configuración del inversor de 12, 24 y 48 pulsos con el control de voltaje de lazo externo. En esta figura se aprecia como se va aproximando cada vez más la onda de corriente a una forma de onda casi sinusoidal conforme aumenta el número de pulsos de inversor.

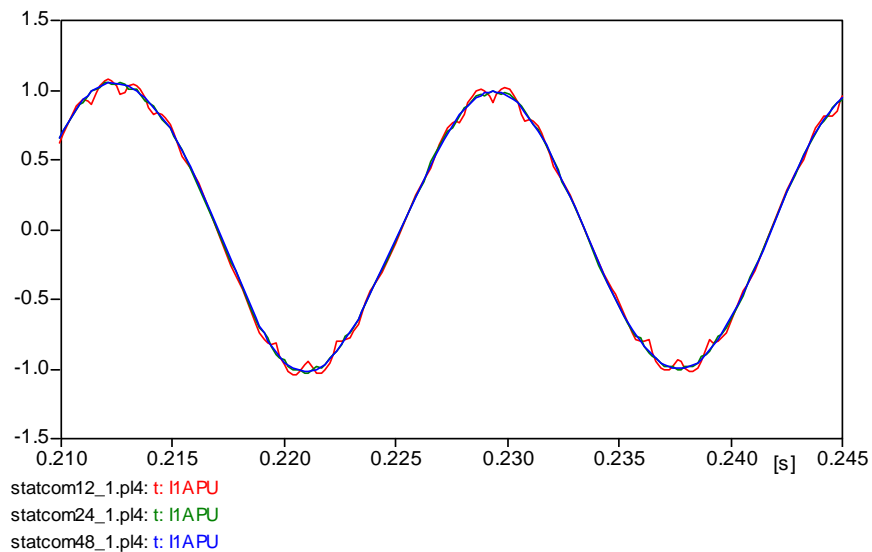


Figura 4.24 Corriente de salida de la fase  $a$  (I1APU) del CES con la configuración del inversor de 12, 24 y 48 pulsos.

La Figura 4.25 muestra los espectros armónicos y el  $THD_i$  de las formas de onda de corriente ilustradas en la Figura 4.24. Similar a lo observado con las formas de onda de voltaje, el  $THD_i$  decrece conforme aumenta el número de pulsos.



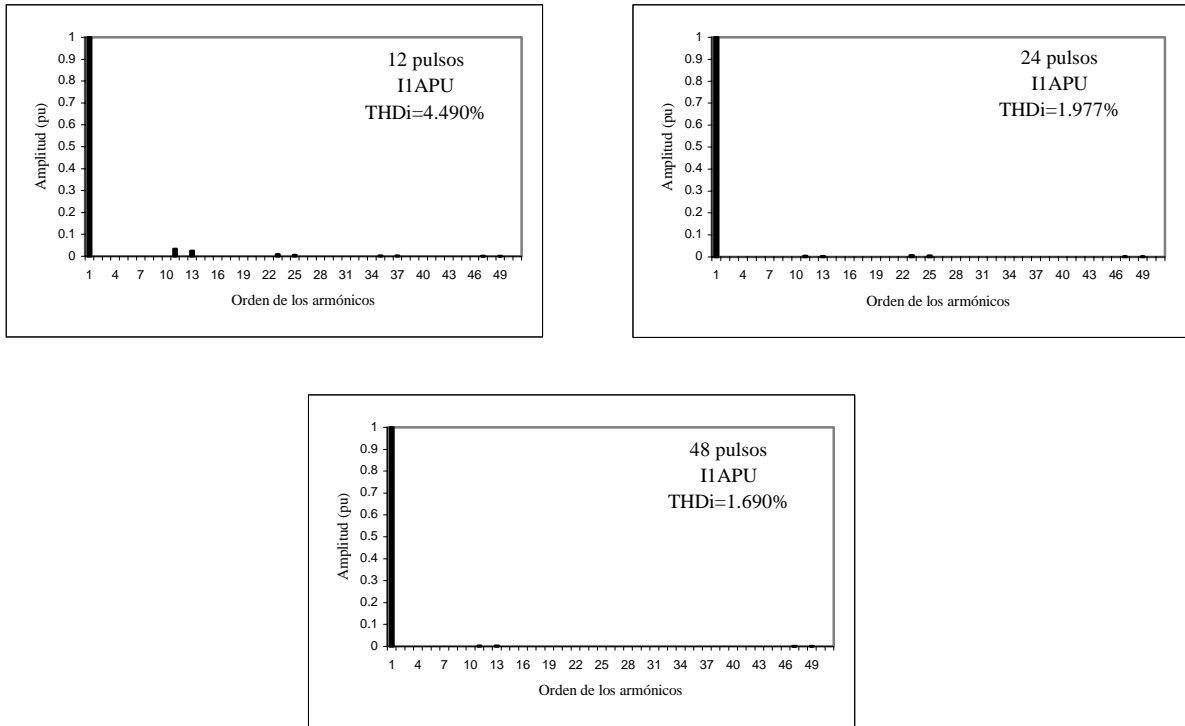


Figura 4.25 THDi y espectro armónico de la corriente de salida de la fase a (I1APU) del CES con la configuración del inversor de 12, 24 y 48 pulsos.

En la Figura 4.26 se ilustra la gráfica del ángulo  $ALPHA$  del voltaje del inversor con respecto del voltaje de la línea, se utilizó el inversor de 12, 24 y 48 pulsos. El pico más grande es debido al cambio de modo de operación (capacitivo a inductivo). Se ve claramente la calidad que resulta con el inversor de 48 pulsos.

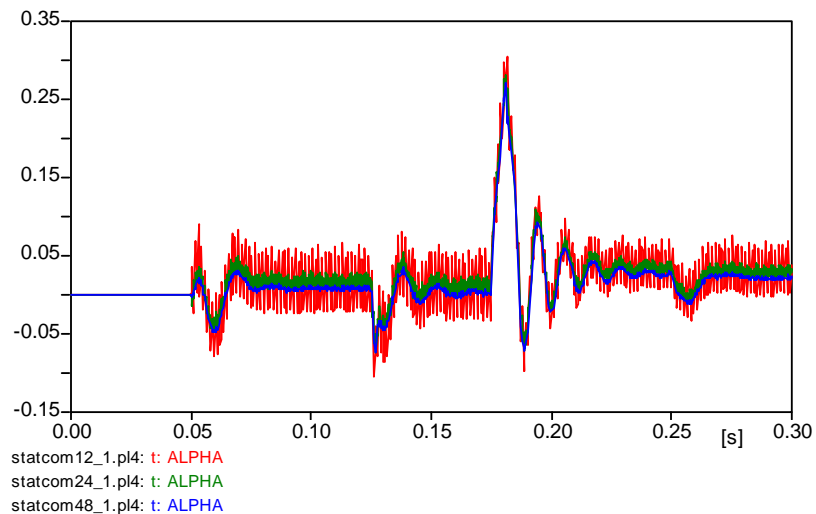


Figura 4.26 Ángulo del voltaje del inversor con respecto al voltaje de la línea (ALPHA).

En la Figura 4.27 se ilustra una vista expandida de la Figura 4.26, y se observa el comportamiento del ángulo  $ALPHA$  con el inversor de 48 pulsos. Asimismo, a medida que aumenta el número de pulsos tiene menor variación del ángulo alfa.

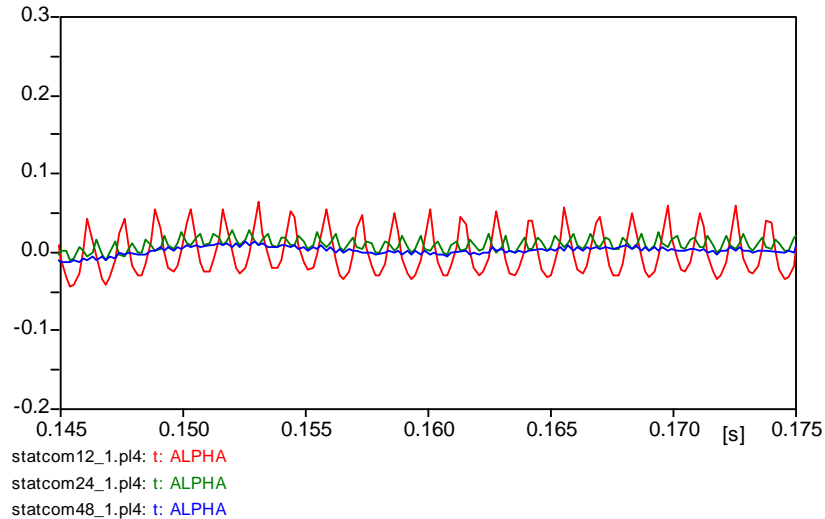


Figura 4.27 Vista expandida de la Figura 4.26.

En la Figuras 4.28 y 4.29 se ilustran las formas de onda del voltaje del capacitor con un inversor de 12, 24 y 48 pulsos. El comportamiento es muy similar para los tres casos y conforme aumenta el número de pulsos en el inversor se disminuye el rizado.

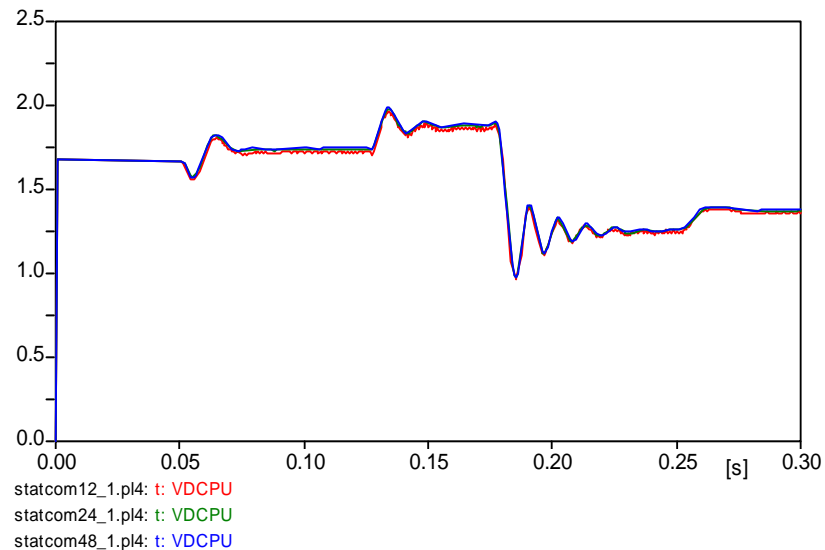


Figura 4.28 Voltaje de capacitor dinámicamente ajustado en relación al voltaje del inversor, para el inversor de 12, 24 y 48 pulsos.

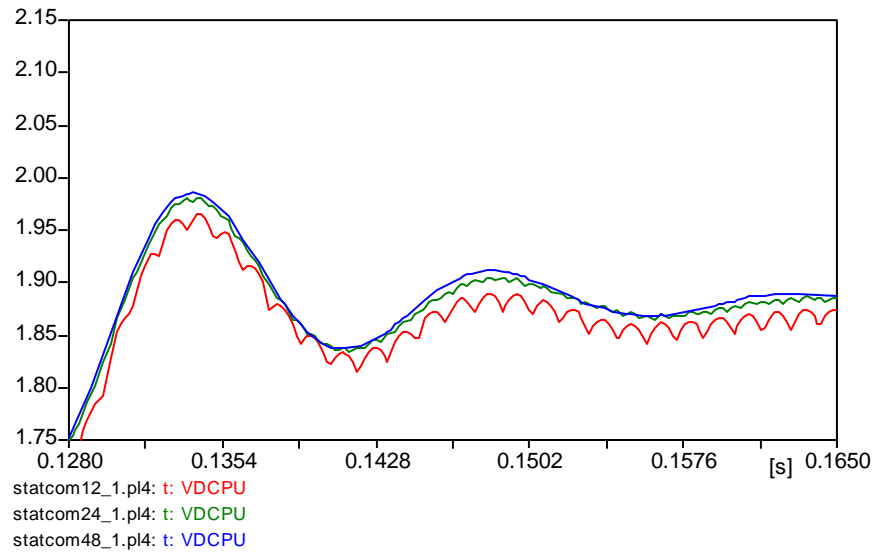


Figura 4.29 Vista expandida de la Figura 4.28.

## 4.5 Conclusiones

En este capítulo se presentó el principio de operación del CES. Para el modelado y análisis dinámico del CES se utilizó el paquete de simulación ATP-EMTP. Se describen los componentes principales como son: el inversor alimentado por voltaje de 12 pulsos, el transformador neutralizador de armónicos con la conexión en estrella-delta y el modelo del control en por unidad, implementando las técnicas de control de corriente de lazo interno y control de voltaje de lazo externo.

Se realizó la transformación del inversor alimentado por voltaje de 12 pulsos a un inversor alimentado por voltaje de 24 y 48 pulsos con la finalidad de evaluar el por ciento de distorsión armónica total y el grado de distorsión de las formas de onda. Las configuraciones tienen la característica de rápida respuesta al cambio de modo de operación. Las dos últimas configuraciones muestran un buen comportamiento en los aspectos anteriormente señalados.

---

## *CAPÍTULO 5*

# **MODELADO DINÁMICO DEL CONTROLADOR UNIFICADO DE FLUJOS DE POTENCIA**

---

### **5.1 Introducción**

El Controlador Unificado de Flujos de Potencia (CUFP) es el dispositivo más versátil de la familia de los controladores de flujo de potencia que utiliza el concepto de fuente de voltaje síncrona, para proporcionar el control estacionario y dinámico al sistema de transmisión. Dentro de la estructura tradicional de los sistemas de transmisión, el CUFP es capaz de controlar simultáneamente o selectivamente todos los parámetros que afectan el flujo de potencia en las líneas de transmisión (magnitud y ángulo de fase de los voltajes nodales e impedancia del elemento de transmisión). Lo anterior permite que el CUFP tenga la capacidad única y funcional de controlar independientemente el flujo de potencia activa y/o reactiva en la línea. Esta capacidad hace del Controlador Unificado de Flujos de Potencia el dispositivo más poderoso actualmente disponible para el control de los sistemas de transmisión [Gyugyi 1992] y [Song y Johns 1999].

En forma general, el CUFP consiste de dos inversores alimentados por voltaje que están acoplados a través de un capacitor común en el enlace de *DC*. La salida de cada inversor se conecta al sistema de corriente alterna a través de un transformador. El primer inversor puede ser considerado como CES ya que se conecta en derivación con el sistema de transmisión. Por el contrario, el segundo convertidor se conecta en serie con el sistema de transmisión conceptualizado como un CSES. Cuando ambos inversores operan en conjunto forman el CUFP [Sen y Stacey 1998].

En este capítulo se describe el modelo dinámico del CUFP considerando los puntos siguientes: el principio de operación, sus componentes principales y el control.

Las funciones básicas del modelo dinámico del CUFP se ilustran mediante ejemplos numéricos. Se hace un análisis de los resultados al ocurrir el cambio en el modo de operación del sistema. De igual manera se evalúa el comportamiento del dispositivo con una configuración en el inversor multinivel de 24 y 48 pulsos, con dos valores diferentes del ángulo gama para el inversor en derivación.

## 5.2 Principio de operación del controlador unificado de flujos de potencia (CUFP) y las capacidades convencionales de control de transmisión

Teóricamente, el Controlador Unificado de Flujos de Potencia es una generalización de la fuente de voltaje síncrona controlable operando a frecuencia fundamental y representada fasorialmente por  $V_{pq}$  con magnitud controlable en rango ( $0 \leq V_{pq} \leq V_{pq\max}$ ) y con un ángulo  $\beta_l$  controlable dentro del intervalo ( $0 \leq \beta_l \leq 2\pi$ ). Esta fuente se conecta en serie con la línea de transmisión como se ilustra en la Figura 5.1 para un sistema elemental de dos máquinas (o dos sistemas independientes con un enlace de transmisión que los interconecta). En este arreglo, la fuente generalmente intercambia tanto potencia activa como potencia reactiva con el sistema de transmisión. La fuente de voltaje síncrona es capaz de independientemente generar o absorber la potencia reactiva que intercambia con el sistema. Por el contrario, la potencia activa requerida siempre debe ser proporcionada por el sistema. En el arreglo del CUFP, la potencia activa de la fuente de voltaje síncrona es suministrada a través del nodo de envío como se ilustra en la Figura 5.1 [Hingorani y Gyugyi 2000] y [Fuerte-Esquivel 2001].

La implementación práctica del CUFP consiste de dos inversores con tiristores controlando su encendido y apagado, como se ilustra en la Figura 5.2. Estos inversores están acoplados a través de un capacitor común que ayuda a proporcionar el voltaje requerido.

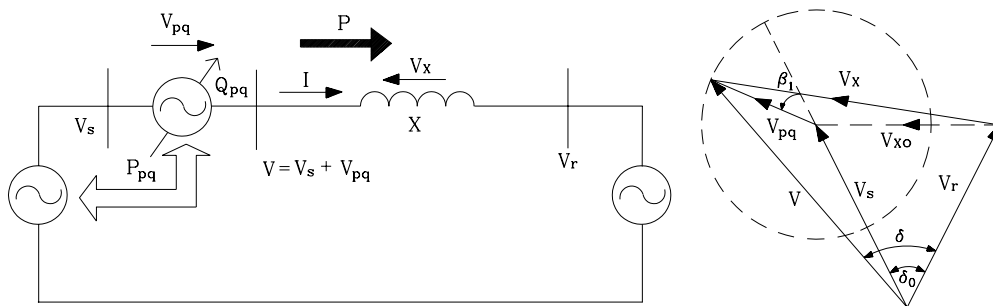


Figura 5.1 Representación conceptual del CUFP.

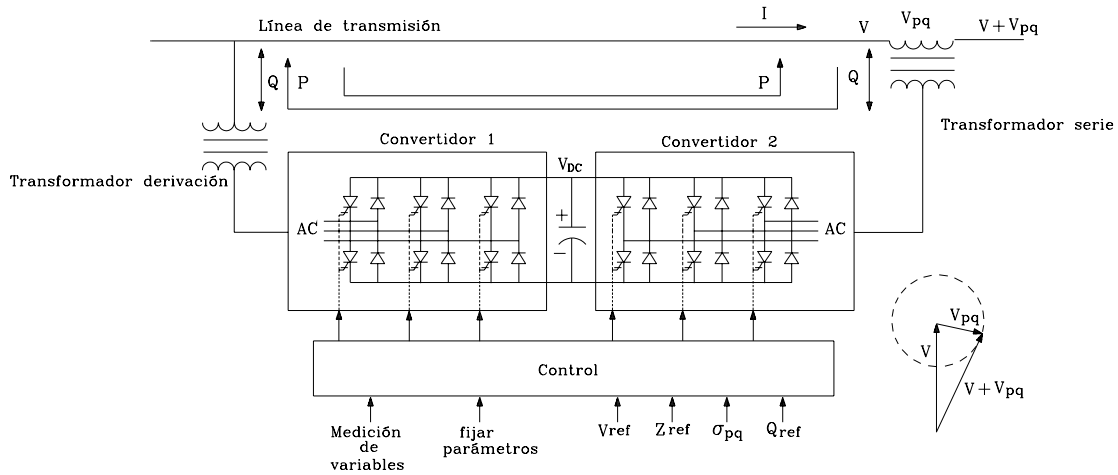


Figura 5.2 Estructura del CUFP.

El inversor 2, está acoplado en serie con la línea de transmisión que se desea compensar. El inversor restante, inversor 1, es conectado en derivación al nodo del sistema. La configuración del CUFP se considera como un enlace de AC-AC en donde la potencia activa puede fluir en cualquier dirección entre las terminales de AC de los inversores. Así mismo, cada inversor puede generar independientemente (o absorber) potencia reactiva en sus terminales.

El inversor 2 tiene la función principal del CUFP que consiste en inyectar un voltaje de magnitud controlable  $V_{pq}$  y ángulo de fase controlable  $\beta_1$  en serie con la línea por medio de un transformador. Esta inyección de voltaje actúa esencialmente como una fuente de voltaje síncrona de AC. La corriente de la línea de transmisión fluye a través de esta fuente de voltaje resultando un intercambio de potencia activa y reactiva entre ella y el sistema de AC. La potencia reactiva de intercambio en las terminales de AC (es decir, en las terminales del secundario del transformador serie) es generada internamente por el inversor. La potencia activa intercambiada en las terminales de AC con el sistema se convierte en potencia de DC que se manifiesta en el capacitor como una demanda de potencia activa positiva ó negativa. Esta polaridad depende de la dirección de flujo.

La función básica del inversor 1 es suministrar o absorber la potencia activa demandada por el inversor 2 a través del enlace común de DC, tal que se pueda efectuar el intercambio de potencia. Esta potencia activa demandada desde el enlace de DC por el inversor 2 es transformada a AC por el inversor 1 y acoplada al nodo del sistema de AC a través del transformador. En adición a esta función de suministro de potencia activa desde el

sistema hacia el inversor 2 efectuada por el inversor 1, este inversor puede generar o absorber potencia reactiva (si esto se desea), proporcionando una compensación reactiva en derivación al sistema de AC de forma independiente. Es importante puntualizar que a pesar de que existe una trayectoria directa cerrada a través de los inversores y el sistema eléctrico para intercambiar la potencia activa, el correspondiente intercambio de potencia reactiva es suministrado o absorbido por el inversor 2, por consiguiente no tiene que ser transmitido a la línea. De igual manera, el inversor 1 puede ser operado a un factor de potencia unitario o ser controlado para tener un intercambio de potencia reactiva con la línea independientemente del intercambio de potencia reactiva entre el inversor 2 y el sistema. Esto significa que no hay ningún flujo de potencia reactiva a través del CUFP.

Desde el punto de vista de control de la transmisión de potencia, la operación del Controlador Unificado de Flujos de Potencia puede cumplir con todas las funciones de control obtenidas por la compensación serie y derivación así como transformador desfasador, de manera simultánea. Este control múltiple se logra mediante la inyección del voltaje serie  $V_{pq}$ , con magnitud y ángulo apropiado, con respecto al voltaje en el nodo de envío  $V_s$ . Usando una representación fasorial, las funciones básicas de control de flujo de potencia, se ilustran en la Figura 5.3 y se describen a continuación.

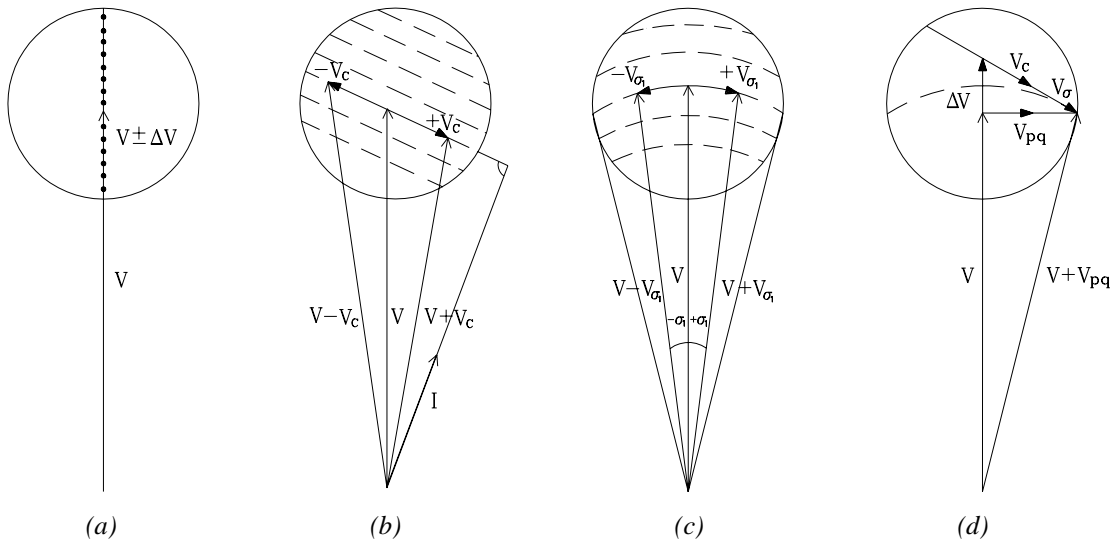


Figura 5.3 Características de control del CUPF.

(a) Regulación de Voltaje.

(b) Compensación de la impedancia de línea.

(c) Ángulo defasador.

(d) Control simultáneo de voltaje, impedancia y ángulo.

### 5.2.1 La regulación de voltaje

La regulación de voltaje se logra con inyecciones continuas de magnitudes de voltaje variable en fase o antifase con respecto al fasor de voltaje del nodo que se compensa. Lo anterior se ilustra en la Figura 5.3(a) para incrementos de magnitud de voltaje  $V_{pq} = \pm \Delta V (\beta_1 = 0)$ . Funcionalmente esto es similar a lo que se obtendría con un transformador cuyos cambiadores de tap fueran de pasos infinitamente pequeños.

### 5.2.2 La compensación serie

La compensación serie se ilustra en la Figura 5.3(b) donde la magnitud de voltaje  $V_{pq} = V_C$  es inyectada en cuadratura con la corriente de línea  $I$ . Funcionalmente esto es similar, al control efectuado por la compensación serie reactiva. Sin embargo, este control es más general porque el CUFPP inyecta compensación serie de voltaje que puede mantenerse constante, si se desea, independientemente de las variaciones de corriente de línea, o puede ser variada en proporción con la corriente de línea para simular la compensación obtenida con un capacitor o reactor serie.

### 5.2.3 Control del ángulo de fase

El efecto de control del ángulo de fase (regulación del ángulo de transmisión) se ilustra en la Figura 5.3(c). En este caso  $V_{pq} = V_{\sigma_1}$  es inyectado perpendicularmente con respecto a  $V_s$  lográndose el ángulo de desfase deseado  $\sigma_1$  en adelanto o atraso entre los voltajes en terminales de la línea. De esta manera el CUFPP puede funcionar como un transformador desfasador ideal. Desde el punto de vista práctico es muy importante notar que en contraste con un transformador desfasador convencional, el CUFPP no demanda potencia reactiva del sistema y puede suministrar potencia reactiva internamente generada por el inversor.

### 5.2.4 La multifunción del control de flujo de potencia

La multifunción del control de flujo de potencia es ejecutada al inyectar a la línea de transmisión un voltaje en serie dado por  $V_{pq} = \Delta V + V_q + V_{\sigma_1}$ , tal como se ilustra en la Figura



5.3(d). Lo anterior corresponde a aplicar simultáneamente compensaciones en serie y en derivación, y un transformador desfasador. De tal manera, el CUFP simplemente controla en tiempo real la magnitud y el ángulo de voltaje inyectado para mantener o variar el flujo de potencia activa y/o reactiva en la línea con la finalidad de satisfacer las demandas de carga y las condiciones de operación del sistema [Gyugyi et al. 1995], [Song y Johns 1999] y [Hingorani y Gyugyi 2000].

### 5.3 Descripción modular del controlador

El modelo del CUFP para la simulación digital se ilustra en la Figura 5.4. El dispositivo enlaza a dos líneas de transmisión ideales con reactancias inductivas  $X_s$  y  $X_r$  conectadas a los nodos de envío y recepción del controlador, respectivamente. Cada línea de transmisión tiene conectada una fuente de voltaje constante en su otro nodo. El modelo de CUFP consiste de dos inversores alimentados por voltaje  $VS11$  y  $VS12$ , dos transformadores neutralizadores de armónicos  $MC1$  y  $MC2$ , dos transformadores de acoplamiento  $T1$  y  $T2$ , cuatro interruptores mecánicos  $MS1$ ,  $MS2$ ,  $MS3$  y  $MS4$ , dos interruptores electrónicos  $ES2$  y  $ES22$ , un controlador de ángulos de disparo, así como sensores de voltaje y corriente. Los inversores alimentados por voltaje se conectan a través de un enlace de  $DC$  por medio de un capacitor. El inversor conectado en derivación, o CES, se utiliza para la regulación de corriente reactiva. El inversor conectado en serie, o CSES, se opera para inyectar un voltaje en serie con la línea de transmisión [Sen y Stacey1998].

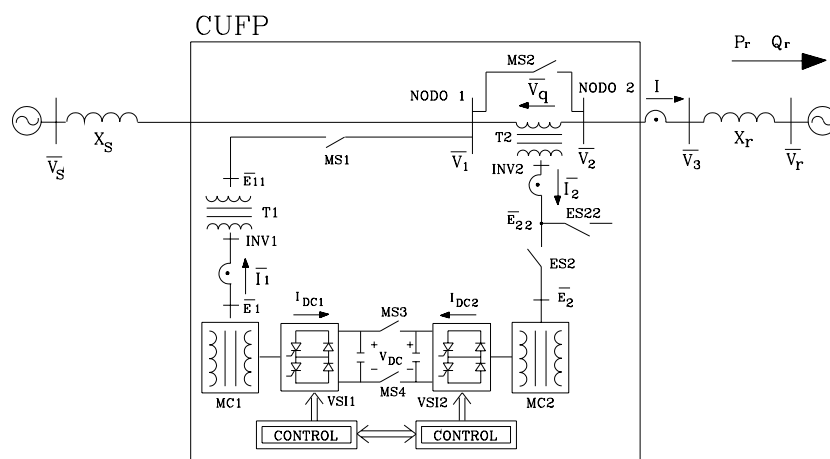


Figura 5.4 Modelo de control del CUFP en ATP-EMTP.

### 5.3.1 Convertidores multinivel

El inversor multinivel alimentado por voltaje es el más conveniente y popular en aplicaciones tales como el CES, el CUFP y transmisión de corriente directa en alto voltaje. Esto es principalmente debido a sus ventajas en comportamiento armónico y las tensiones de voltaje en los tiristores. Los sistemas basados en inversores alimentados por 2 niveles de voltaje usualmente utilizan configuraciones multipulso para mejorar su comportamiento armónico. Estas configuraciones requieren un mayor número de inversores que son conectados a través de un transformador neutralizador de armónicos complejo que incrementa el costo y el tamaño del sistema. Los inversores multinivel pueden proporcionar un comportamiento armónico comparable con un número menor de inversores y un transformador neutralizador de armónicos menos complicado [Mohaddes et al. 2000]. En un inversor de 2 niveles, el voltaje total de  $DC$  aparece a través de cada tiristor cuando no está conduciendo. Puesto que el voltaje máximo que soporta una válvula es limitado (especialmente para tiristores GTO), lo anterior limita el voltaje máximo de  $DC$  alcanzado [Mohaddes et al. 2000].

La configuración del inversor alimentado a tres niveles de voltaje utilizada en este trabajo se ilustra en la Figura 5.5. Esta consiste de cuatro inversores de seis pulsos operados por un capacitor cargado con un voltaje  $DC$  ( $v_{DC}$ ) a través de un enlace común de corriente

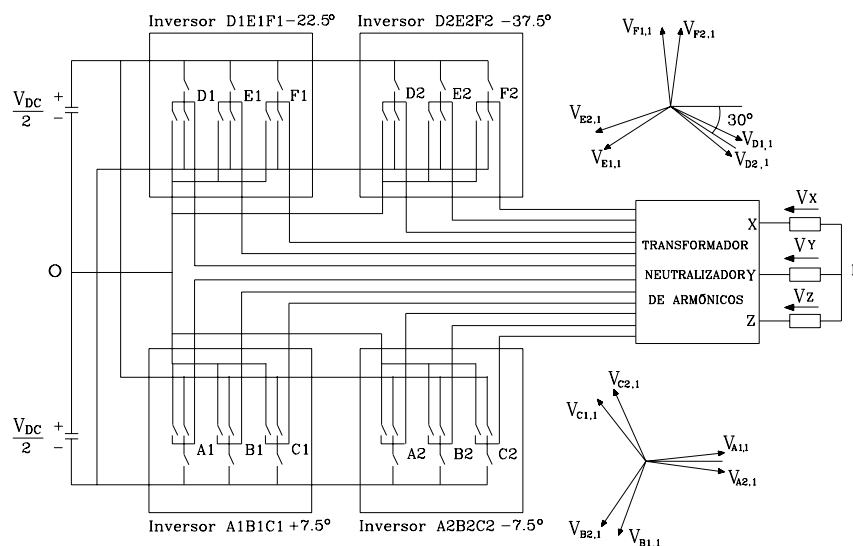


Figura 5.5 Configuración del inversor de 24 pulsos alimentado a tres niveles de voltaje, y conectado al transformador neutralizador de armónicos y una carga.

directa. En el lado de corriente alterna las salidas de los cuatro inversores se conectan a una carga trifásica (X, Y, Z) a través de un transformador neutralizador de armónicos en conexión estrella-estrella y estrella-delta. El ángulo de desfase de las formas de onda generadas por dos inversores consecutivos de seis pulsos en la configuración del inversor multipulso es de  $2\pi/6m$ , donde  $m = 4$  y representa el número total de inversores de 6 pulsos utilizados.

El fasor del voltaje fundamental de los inversores  $A1B1C1$ ,  $A2B2C2$ ,  $D1E1F1$  y  $D2E2F2$  están desfasados en el tiempo por ángulos de  $15^\circ$  tomando arbitrariamente la siguiente secuencia para cada inversor  $+7.5^\circ$ ,  $-7.5^\circ$ ,  $-22.5^\circ$  y  $-37.5^\circ$ , respectivamente. Si los voltajes de polo de los inversores  $A1B1C1$  y  $D1E1F1$  son combinados magnéticamente, se obtiene una forma de onda del voltaje de salida de 12 pulsos con componentes armónicos  $(12k \pm 1)$  para  $k=1, 2, 3$ , etc. Una forma de onda similar se obtiene al combinar los voltajes de polo de los inversores  $A2B2C2$  y  $D2E2F2$ . Sin embargo, los fasores fundamentales de los voltajes de salida de 12 pulsos asociados a cada combinación tienen su referencia en  $+7.5^\circ$  y  $-7.5^\circ$ , respectivamente; es decir, están desfasados  $15^\circ$ . Siguiendo esta línea de razonamiento, si todas las salidas de cada inversor de 6 pulsos son combinadas por la conexión de las correspondientes fases en serie como se ilustra en la Figura 5.6, se obtiene una forma de onda de 24 pulsos después del transformador neutralizador de armónicos.

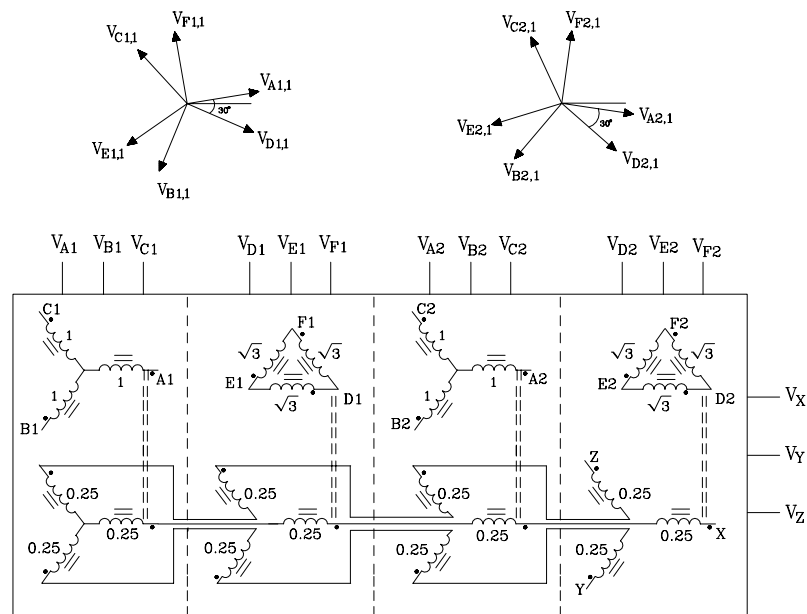


Figura 5.6 Transformador neutralizador de armónicos con conexión estrella-delta para un inversor 24 pulsos.

El voltaje de salida resultante contiene una componente fundamental y componentes armónicos impares cada uno de los cuales tiene una amplitud de:

$$V_{x,n_1} = \frac{2}{n_1\pi} v_{DC} \cos\left(\frac{n_1\pi}{24}\right) \cos n_1\gamma \quad (5.1)$$

donde  $n_1 = 1$  y  $12k \pm 1$  para  $k=1, 2, 3, \dots$  y  $\gamma$  es el periodo durante el cual el voltaje de salida en el inversor es cero y es una vez en cada cuarto del ciclo. Se puede observar que si el inversor de 24 pulsos alimentado a tres niveles de voltaje es operado con un ángulo gama igual a  $\gamma = \frac{\pi}{48}$ , el voltaje de salida resultante es el mismo que el obtenido en un inversor de 48 pulsos de dos niveles de voltaje [Sen y Stacey 1998].

La configuración de los dos inversores en el CUFP es con el mismo número de pulsos, la única variación que hay es que el CES opera a un ángulo gama fijo, por ejemplo, de  $\gamma_D = \frac{\pi}{48}$  para obtener una forma de onda del voltaje de salida de 48 pulsos y el inversor del CSES opera con un ángulo gama variable  $\gamma_S$ , para variar la amplitud de la inyección de voltaje [Sen y Stacey 1998].

### 5.3.2 Transformador

El CUFP utiliza dos *transformadores de acoplamiento*, uno conectado en serie y el otro en derivación, con la función de unir el compensador a la red de transmisión. Los devanados de estos transformadores son conectados en estrella-delta. Los *transformadores neutralizadores de armónicos* utilizados para cada uno de los inversores también tienen una conexión *estrella-delta*, como se ilustra en la Figura 5.7.

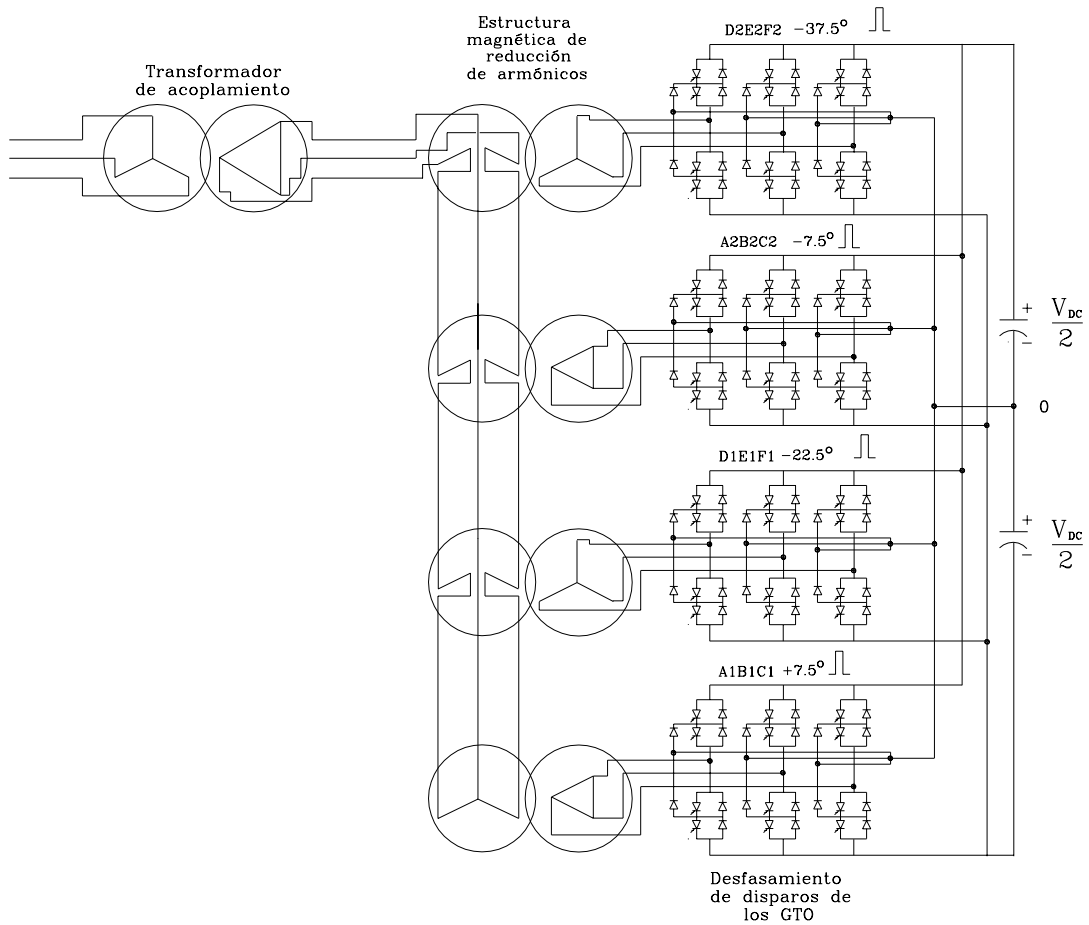


Figura 5.7 CES de 24 pulsos, utilizando transformadores estrella-delta e inversores multinivel.

### 5.3.3 Módulo de control

El control del CUFP puede ser dividido en dos partes, el control del CES y el control del CSES. Cuando el CES y el CSES operan como dispositivos independientes, intercambian casi exclusivamente potencia reactiva en sus terminales. Durante la operación independiente, el CSES inyecta un voltaje en cuadratura con la corriente de línea y por consiguiente simula una reactancia inductiva o capacitiva en serie con la línea de transmisión. De igual manera, el CES inyecta una corriente reactiva en el punto conexión simulando una compensación en derivación con la línea de transmisión. Cuando ambos inversores operan simultáneamente como un CUFP, el voltaje inyectado en serie con la línea de transmisión puede ser en cualquier ángulo con respecto a la corriente de línea. El intercambio de potencia activa en las terminales de un inversor con la línea de transmisión

fluye a las terminales del otro inversor a través del capacitor de corriente directa mediante el enlace común de *DC* [Gyugyi 1992] y [Gyugyi et al. 1995]. En adición, el CES puede ser utilizado para proporcionar soporte independiente de reactivos al sistema de transmisión.

El control del CES tiene la finalidad de operar el inversor de tal modo que el ángulo de fase entre el voltaje en terminales de *AC* del inversor y el voltaje de la línea de transmisión sea dinámicamente ajustado para que el CES genere o absorba los VARs deseados en el punto de conexión [Sen y Stacey 1998].

El diagrama de bloques del control de corriente del CES se ilustra en el Figura 5.8 [Sen y Stacey 1998]. Las entradas del control son: la medición instantánea del voltaje trifásico  $v_l$  en el nodo en que se conecta el CES, la medición instantánea de las corrientes trifásicas de salida del inversor  $i_l$  y la corriente reactiva de referencia  $I_{QREF}$ . En base al voltaje trifásico  $v_l$  se opera el sincronizador de señales (PLL) para proporcionar la sincronización básica de señales y calcular el ángulo  $\Theta$  con respecto al ángulo del voltaje de línea de la fase *a*. El conjunto de corrientes trifásicas de salida del inversor  $i_l$  es descompuesto en su componente activa  $I_{1d}$ , y la componente reactiva  $I_{1q}$ . La componente reactiva es comparada con el valor de corriente reactiva de referencia deseada  $I_{QREF}$ . El error generado por esta comparación se pasa a través de un amplificador de error obteniéndose un ángulo *ALPHA* que define el desfaseamiento relativo del voltaje de salida del inversor con respecto al voltaje de la línea de transmisión. El ángulo *ALPHA* se suma con el ángulo  $\Theta$  y el resultado representa la señal de sincronismo dada al inversor para obtener la corriente reactiva de referencia. Esta señal de sincronismo dada por el ángulo  $\Theta_1$  opera la configuración lógica de las compuertas de los tiristores GTO. El bloque de

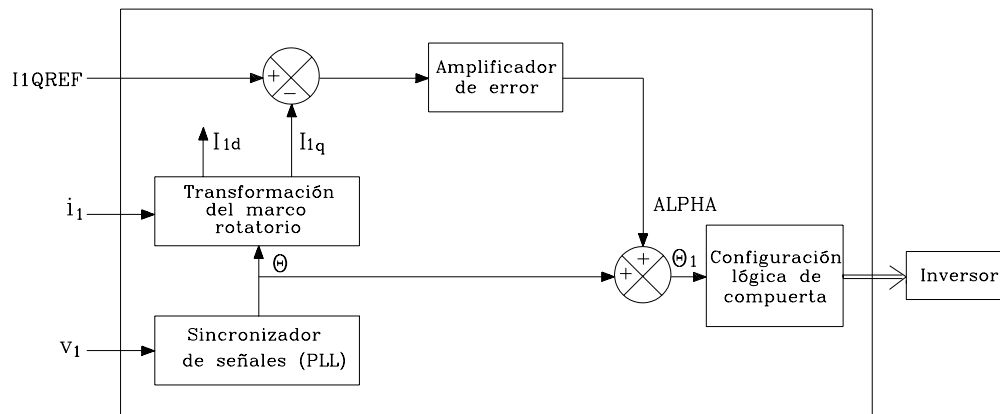


Figura 5.8 Diagrama de control del Compensador Estático Síncrono.

configuración lógica de compuerta determina los periodos de encendido y apagado de cada GTO que corresponde al voltaje de salida requerido. La corriente reactiva de referencia  $I_{QREF}$  puede ser definida como positiva si el CES esta simulando una reactancia inductiva, o negativa si esta simulando una reactancia capacitiva [Hingorani y Gyugyi 2000]. El voltaje del capacitor en el enlace de corriente directa es dinámicamente ajustado en relación con el voltaje del inversor para seguir el valor de corriente  $I_{QREF}$ .

El CSES puede tener diferentes modos de operación los cuales son: inyección de voltaje, regulación del ángulo de fase, regulación y control de voltaje en el nodo, compensación de impedancia de línea y control automático de flujos de potencia. En cada modo de operación, el resultado final es tal que el CSES controla la magnitud y el ángulo del voltaje que se inyecta en serie con la línea de transmisión, y siempre proyectado a influenciar el flujo de potencia en la línea compensada [Sen 1998], [Sen y Stacey 1998] y [Hingorani y Gyugyi 2000]. En este trabajo el CSES se opera en modo de inyección de voltaje. La Figura 5.9 ilustra el diagrama de bloques del control del CSES en el modo de inyección de voltaje [Sen y Stacey 1998].

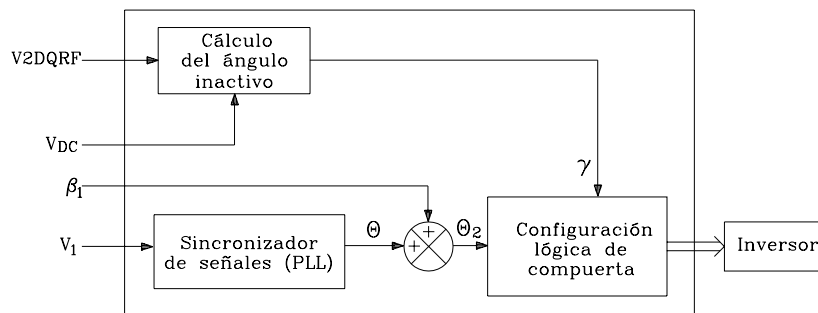


Figura 5.9 Diagrama de control del Compensador Serie Estático Síncrono.

Las entradas del control a la Figura 5.9 son: la medición instantánea del voltaje trifásico  $v_1$  en el *NODO 1*, el voltaje de corriente directa en el capacitor  $v_{DC}$ , el voltaje máximo de referencia  $V2DQRF$  de la salida del inversor y el ángulo relativo  $\beta_1$  con respecto al ángulo de referencia del sincronizador de señales. El ángulo de fase  $\theta_2$  del voltaje del inversor se calcula por adición del ángulo  $\beta_1$ , y el ángulo proveniente del sincronizador de señales  $\theta$ . El ángulo gama  $\gamma$  de cada polo se obtiene mediante el voltaje máximo de referencia  $V2DQRF$  y el nivel de voltaje de corriente directa en el capacitor mediante la

ecuación 5.1 con  $n_l=1$ . Finalmente se toman en cuenta el ángulo de fase  $\theta_2$  y el ángulo gama  $\gamma$ , para el bloque de configuración lógica de las compuertas de los GTO.

## 5.4 Casos de estudio

### 5.4.1 El CUFP con inversores de 24 pulsos alimentados a tres niveles

La característica principal del modelo del CUFP es que en su diseño hay dos inversores, uno inyecta un voltaje casi sinusoidal en serie con la línea de transmisión a cualquier desfaseamiento respecto a la corriente de línea y el otro inyecta una corriente casi sinusoidal en el punto de conexión. Las componentes de la corriente son: La parte activa está en fase con el voltaje de línea, entrega o absorbe potencia activa de la línea que se inyecta por la fuente de voltaje más las pérdidas en el CUFP. La parte reactiva está en cuadratura con el voltaje de línea y simula una reactancia inductiva o capacitiva en el punto de conexión.

El modelo del CUFP que se utiliza para la simulación dinámica se ilustra en la Figura 5.10, donde, el CSES opera en modo de inyección de voltaje mientras que el CES trabaja para no entregar corriente reactiva. Los valores del voltaje inyectado de referencia son dados en la Tabla 5.1 [Sen y Stacey 1998]. En la Figura 5.11 se ilustra los resultados de la simulación digital y después se hace una descripción detallada.

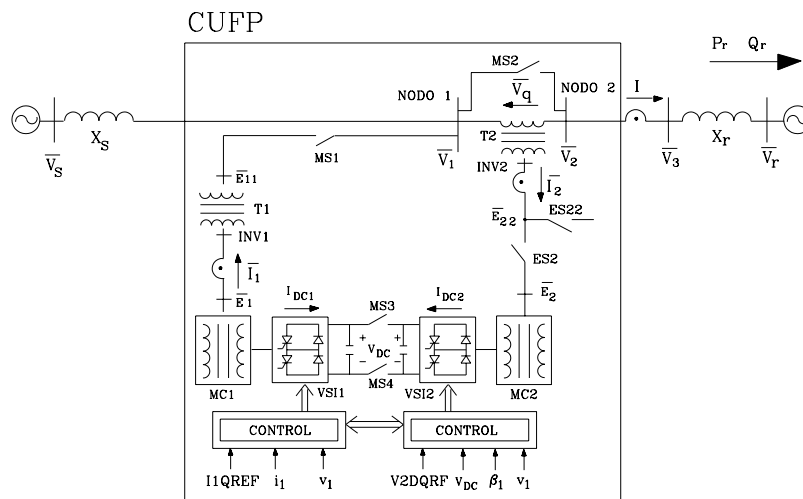
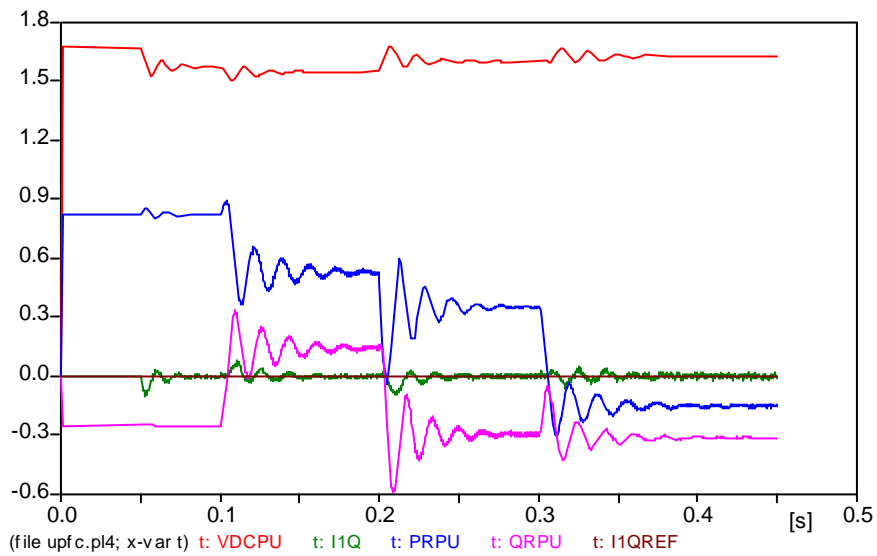


Figura 5.10 Modelo de control del CUFP en ATP-EMTP.

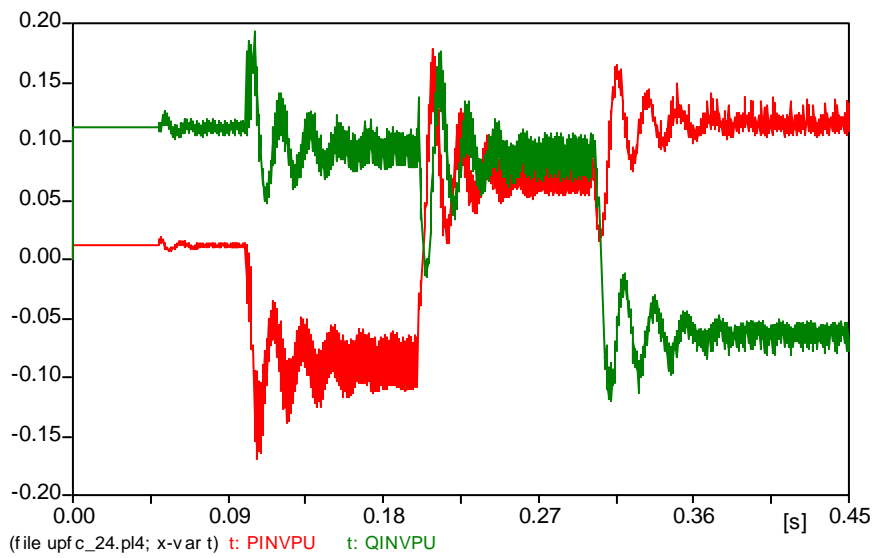


Tabla 5.1 Valores del voltaje inyectado de referencia.

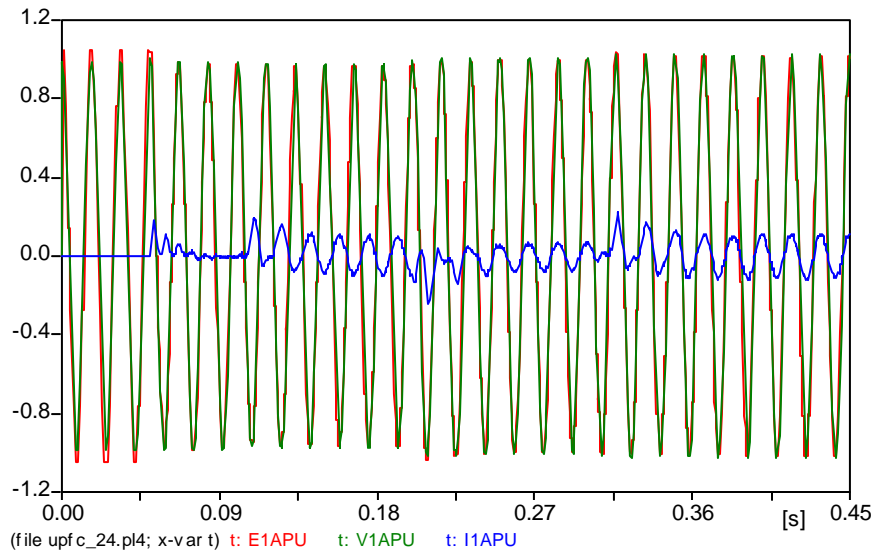
Tiempo milisegundos	Inyección de voltaje $V2DQRF$	Ángulo de la inyección de voltaje $\beta_1$
100	0.2	120°
200	0.2	60°
300	0.4	60°



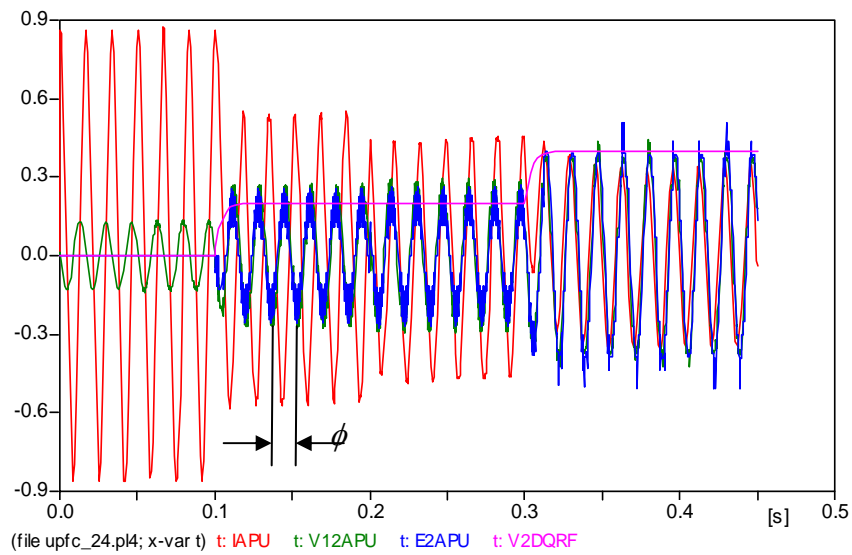
(a)



(b)



(c)



(d)

Figura 5.11 Respuesta del Controlador Unificado de Flujos de Potencia con el inversor de 24 pulsos alimentado a tres niveles de voltaje, opera en modo de inyección de voltaje.

(a) Voltaje de corriente directa en el capacitor, corriente de cuadratura, y potencia real y reactiva en el nodo de recepción.

(b) Potencia real y reactiva intercambiada entre el CSES y la línea de transmisión.

(c) Voltaje en el nodo 1, voltaje de salida del inversor en derivación y corriente en el inversor en derivación de la fase a.

(d) Corriente de línea, voltaje inyectado, el voltaje de salida de inversor serie de la fase a y el voltaje de referencia.

Las condiciones iniciales de la simulación en los primeros 49 milisegundos (ms) son: el interruptor mecánico *MS2* y el interruptor electrónico *ES22* están abiertos mientras que el interruptor electrónico *ES2* está cerrado. El inversor *VSI2* no inyecta voltaje, los dispositivos anteriores y el transformador de acoplamiento *T2* se ilustran en la Figura 5.10. El voltaje inyectado *V12APU* por las terminales del transformador de acoplamiento *T2* es el voltaje en la reactancia de dispersión. La potencia intercambiada *QINVPU* en las terminales del transformador de acoplamiento *T2*, es principalmente reactiva debido a la inductancia del transformador, ilustrado en la parte (b) de la Figura 5.11. El interruptor mecánico *MS1*, está abierto, desconectando el CES de la línea de transmisión. El capacitor del enlace de corriente directa es precargado. A los 50 ms, el interruptor mecánico *MS1* se cierra y se introduce al módulo de control del CES una corriente de cuadratura de referencia del inversor igual a cero  $I_{QREF}=0$ , ilustrado en la parte (a) de la Figura 5.11, y permaneciendo en un valor nulo durante todo el tiempo del estudio. Lo anterior debido a que no entrega corriente reactiva. A los 100 ms, se inicia un cambio en el proceso dinámico al introducir al módulo de control del CSES un valor inyección de voltaje serie de referencia de 0.2 p.u., en el lado del inversor, a un ángulo  $\beta_1 = 120^\circ$  en adelante con respecto al ángulo de referencia del sincronizador de señales, tal como se ilustra en la Figura 5.11(d). En consecuencia, las variables del CUFV tienden a modificar su comportamiento, lo que origina que el voltaje de salida del inversor serie *E2APU* de la fase *a* adelante a la corriente de línea *IAPU* por un ángulo  $\phi$ . Puesto que  $\phi > 90^\circ$ , el CSES simula una resistencia negativa que se suma a la reactancia inductiva en serie con la línea de transmisión. Así mismo, el voltaje de salida de la fase *a* del inversor en derivación *E1APU*, está casi  $180^\circ$  fuera de fase de la corriente *I1APU* que fluye a través del dispositivo, como se observa en la Figura 5.11(c). De tal manera, la potencia activa en el nodo de recepción *PRPU* se decrementa y la potencia reactiva *QRPU* se vuelve inductiva, como se muestra en la Figura 5.11(a). La potencia activa que se entrega a la línea por el inversor serie fluye del *NODO1* a través del CES. A los 200 ms, la inyección de voltaje serie de referencia se mantiene a 0.2 p.u. existiendo solamente cambio en el ángulo, ahora igual a  $\beta_1 = 60^\circ$ . Este cambio en la entrada del control hace que el voltaje de salida del inversor conectado en derivación *E1APU* de la fase *a* esté en fase con la corriente *I1APU* que fluye a través del dispositivo. Por otra parte, la potencia activa en el nodo de recepción *PRPU* se decrementa y la potencia reactiva *QRPU* entregada en la recepción se vuelve capacitiva. La potencia activa que es

absorbida de la línea por el inversor serie fluye del *NODO 1* a través de CES. A los 300 ms, la inyección de voltaje serie de referencia es incrementado a 0.4 por unidad mientras se mantiene el mismo ángulo  $\beta_1 = 60^\circ$ . A causa de lo anterior ahora el voltaje de salida del inversor serie *E2APU* de la fase *a* está atrasado de la corriente de línea *IAPU* por un ángulo  $\phi$ . Influyendo también en el flujo de potencia activa *PRPU*, que ahora se invierte. De la misma manera, la potencia reactiva intercambiada *QINVPU* en terminales del transformador de acoplamiento *T2* se vuelve capacitiva. En la Figura 5.12 se ilustra una vista expandida de dos secciones de la Figura 5.11(d). El voltaje y la corriente ilustran la presencia de componentes armónicos.

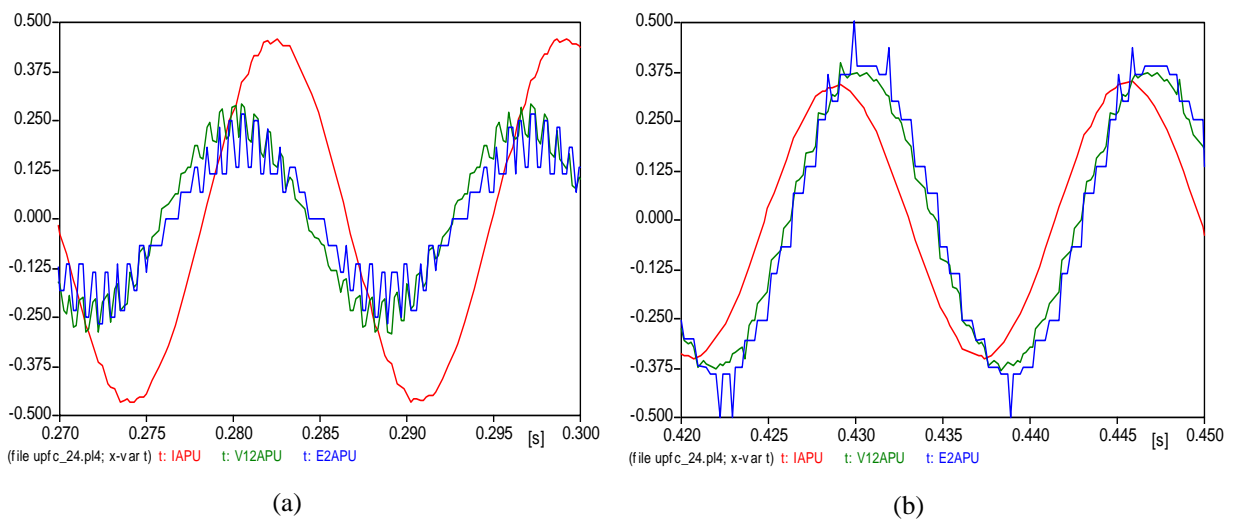


Figura 5.12 Formas de onda de la corriente de línea, voltaje inyectado y el voltaje de salida del inversor serie de la fase *a*.

- (a) El voltaje de salida del inversor serie está adelantado de la corriente de línea.
- (b) La corriente de línea está adelantada del voltaje de salida de inversor serie.

#### 5.4.2 Comparación de algunas formas de onda del CUFP utilizando el inversor de 24 y 48 pulsos

Las curvas que se ilustran en la Figura 5.13 corresponden al voltaje de salida de la fase *a* (*EIAPU*) del inversor de 24 pulsos alimentado a tres niveles de voltaje conectado en derivación. El voltaje de salida del inversor cuando opera con un ángulo gama  $\gamma_D = 0^\circ$  se comporta como un inversor de 24 pulsos alimentado a dos niveles de voltaje. Ahora si se

cambia el ángulo gama a  $\gamma_D = 180^\circ/48$ , el voltaje de salida es igual al obtenido en un inversor de 48 pulsos alimentado a dos niveles voltaje.

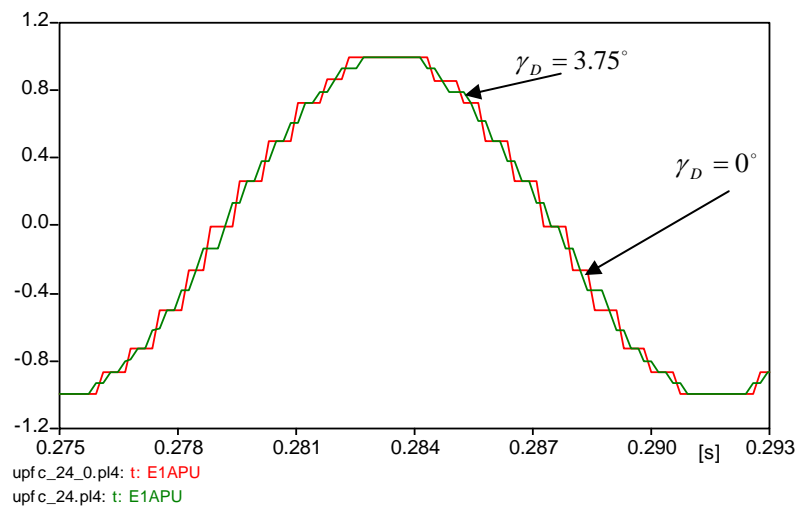


Figura 5.13 Voltaje de salida de la fase a (E1APU) del inversor conectado en derivación de 24 pulsos con  $\gamma_D = 0^\circ$  y  $\gamma_D = 3.75^\circ$  en el CUFP.

En la Figura 5.14 se ilustra ahora el voltaje de salida del inversor de 48 pulsos alimentado a tres niveles de voltaje con el ángulo  $\gamma_D = 0^\circ$  y cuando se cambia el ángulo gama a  $\gamma_D = 1.875^\circ$ . Con  $\gamma_D = 1.875^\circ$  la forma de onda ya está muy cercana a la sinusoidal, y se puede decir que es un inversor de 96 pulsos alimentado a dos niveles de voltaje.

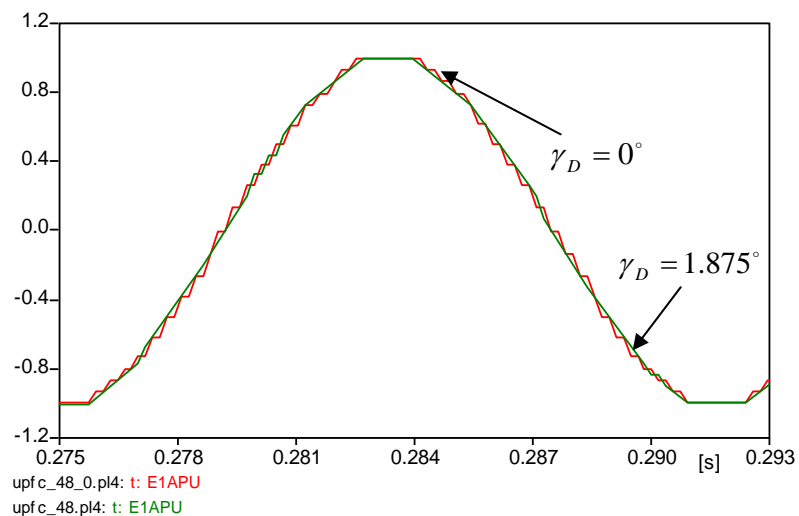


Figura 5.14 Voltaje de salida de la fase a (E1APU) del inversor conectado en derivación de 48 pulsos con  $\gamma_D = 0^\circ$  y  $\gamma_D = 1.875^\circ$  en el CUFP.

Para comprobar el grado de contaminación armónica producida por el inversor, se hace la evaluación de la distorsión armónica total ( $THD_v$ ) de las formas de onda de voltaje ilustradas en las Figuras 5.13 y 5.14. Los resultados arrojados se muestran en los espectros armónicos de la Figura 5.15.

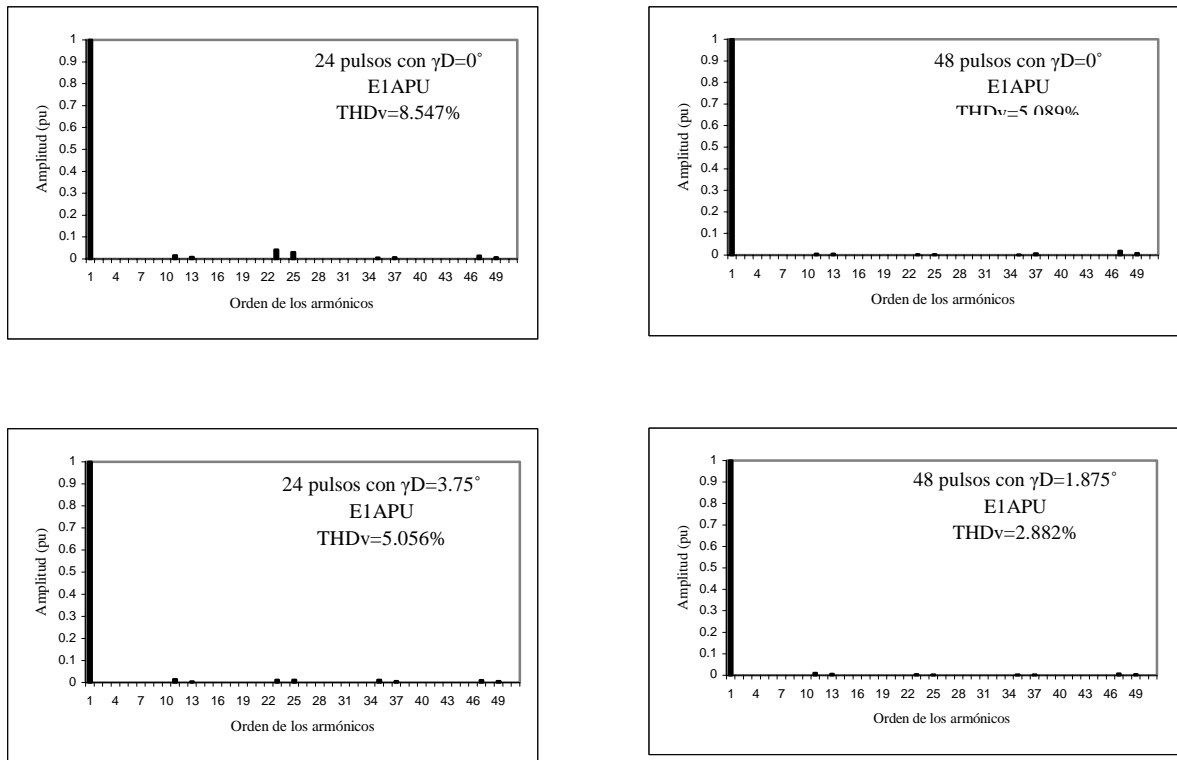


Figura 5.15  $THD_v$  y espectro armónico del voltaje de salida de la fase a (E1APU) del inversor conectado en derivación de 24 y 48 pulsos en el CUPF.

Después de observar las figuras antes mencionadas se concluye que a medida que se aumenta el número de pulsos disminuye el  $THD_v$ , de la misma forma se comporta al cambiar el valor del ángulo  $\gamma$ ; por ejemplo, en el inversor de 24 pulsos el  $THD_v$  se reduce en 3.491 puntos porcentuales cuando se cambia  $\gamma_D$  de  $\gamma_D = 0^\circ$  a  $\gamma_D = 3.75^\circ$ . La variación de este ángulo tiene un impacto menor en el inversor de 48 pulsos ya que solamente se reduce el  $THD_v$  en 2.207 puntos porcentuales al cambiar el ángulo  $\gamma$  de  $\gamma_D = 0^\circ$  a  $\gamma_D = 1.875^\circ$ .

Comparando el  $THD_v$  del inversor de 24 y 48 pulsos operando valores de ángulo  $\gamma_D = 3.75^\circ$  y  $\gamma_D = 0^\circ$ , respectivamente; se observa que existe una diferencia de 33

milésimas. Esto implica que la distorsión de las ondas de voltaje es función tanto del número de pulsos como del valor del ángulo  $\gamma$ . De tal manera, un inversor de 24 pulsos operando a un valor adecuado del ángulo  $\gamma$  producirá una contaminación armónica similar a la producida por un inversor de 48 pulsos.

En la Figura 5.16 se ilustran las formas de onda que corresponden a la corriente de la fase  $a$  ( $I_{APU}$ ) del inversor de 24 pulsos alimentado a tres niveles de voltaje conectado en derivación. El ángulo  $\gamma$  toma el valor de  $\gamma_D = 0^\circ$  y  $\gamma_D = 3.75^\circ$ , con menos rizado en la forma de onda cuando se utiliza el último ángulo.

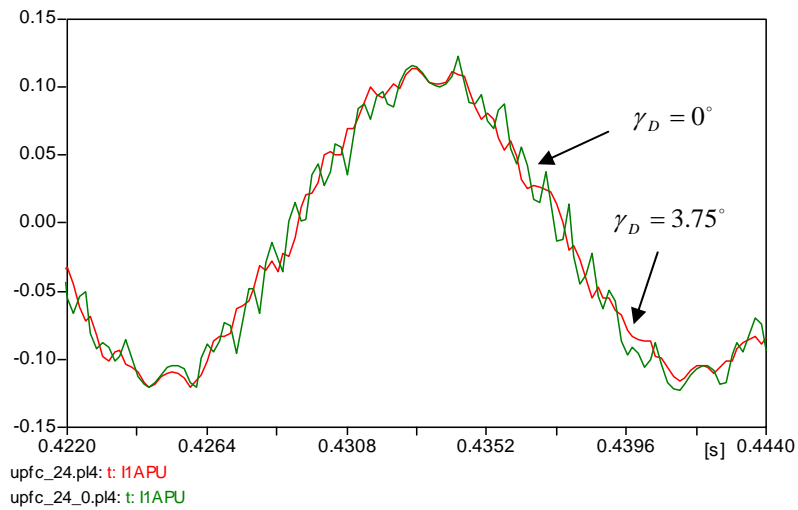


Figura 5.16 Corriente de la fase  $a$  ( $I_{APU}$ ) del inversor conectado en derivación de 24 pulsos con  $\gamma_D = 0^\circ$  y  $\gamma_D = 3.75^\circ$  en el CUF $P$ .

En la Figura 5.17 se ilustran las formas de onda que corresponden a la corriente de la fase  $a$  ( $I_{APU}$ ) del inversor de 48 pulsos alimentado a tres niveles de voltaje conectado en derivación. El ángulo  $\gamma$  toma el valor de  $\gamma_D = 0^\circ$  y  $\gamma_D = 1.875^\circ$ , mejorando la forma de onda con el último ángulo.

Ahora, se evalúa la distorsión armónica total ( $THD_i$ ) de las formas de onda de voltaje ilustradas en las Figuras 5.16 y 5.17. Los resultados arrojados se muestran en los espectros armónicos de la Figura 5.18.

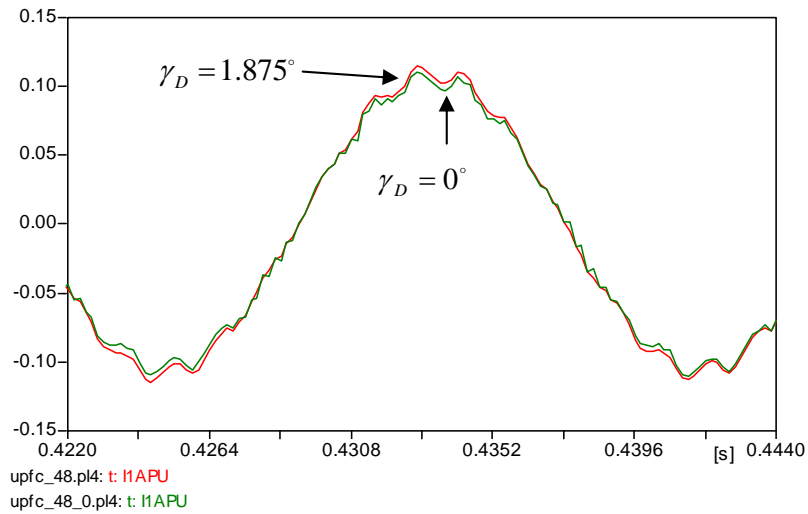


Figura 5.17 Corriente de la fase a (IIAPU) del inversor conectado en derivación de 48 pulsos con  $\gamma_D = 0^\circ$  y  $\gamma_D = 1.875^\circ$  en el CUFp.

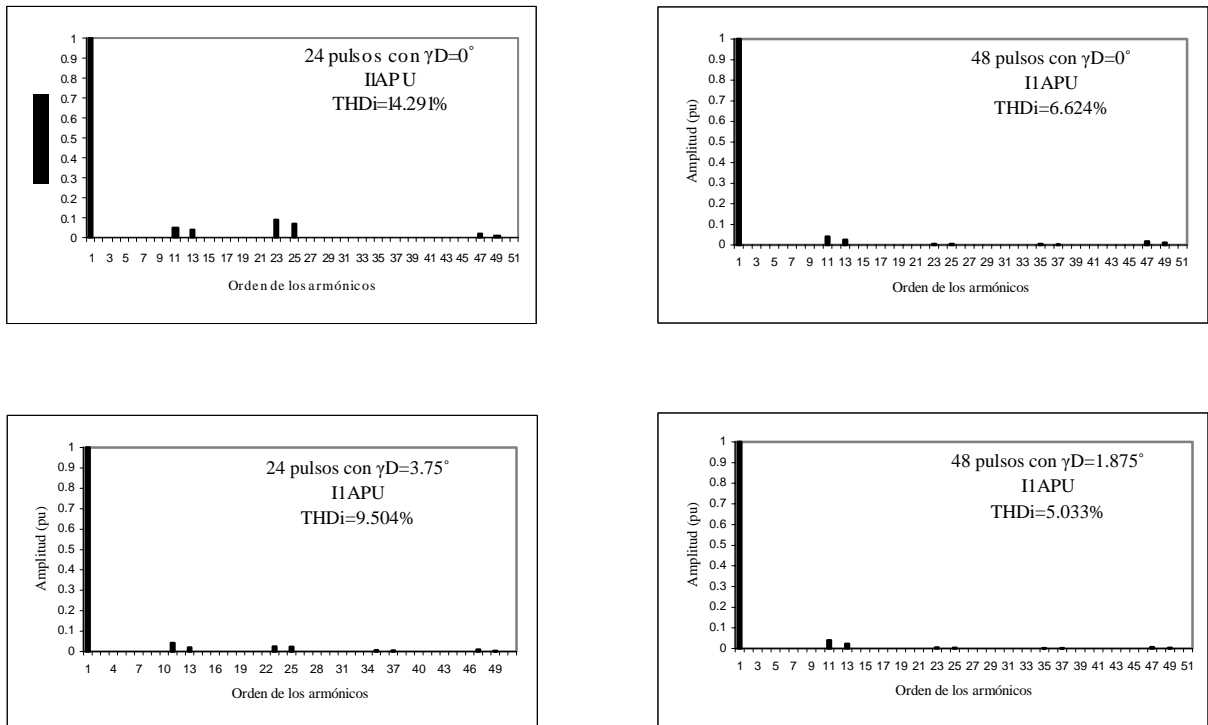


Figura 5.18 THDi y espectro armónico de corriente de la fase a (IIAPU) del inversor conectado en derivación de 24 y 48 pulsos en el CUFp.

Al observar las figuras antes mencionadas se concluye que a medida que se aumenta el número de pulsos disminuye el THDi. El mismo comportamiento se observa al cambiar el



valor del ángulo gama; si en el inversor de 24 pulsos se cambia de  $\gamma_D = 0^\circ$  a  $\gamma_D = 3.75^\circ$ , el  $\text{THD}_i$  se reduce en 4.787 puntos porcentuales. En el caso del inversor de 48 pulsos solamente se reduce el  $\text{THD}_i$  en 1.591 puntos porcentuales cuando el ángulo gama cambia de  $\gamma_D = 0^\circ$  a  $\gamma_D = 1.875^\circ$ .

En la Figura 5.19 se ilustra el voltaje de salida ( $E2APU$ ) del inversor serie de 24 pulsos alimentado a tres niveles de voltaje, con dos valores diferentes del ángulo gama del inversor en derivación  $\gamma_D$ . En donde se puede observar que existe un comportamiento muy similar entre ambas formas de onda, haciéndose énfasis en que el ángulo gama del inversor serie es variable  $\gamma_S$  y los valores del ángulo gama del inversor en derivación son:  $\gamma_D = 0^\circ$  y  $\gamma_D = 3.75^\circ$ .

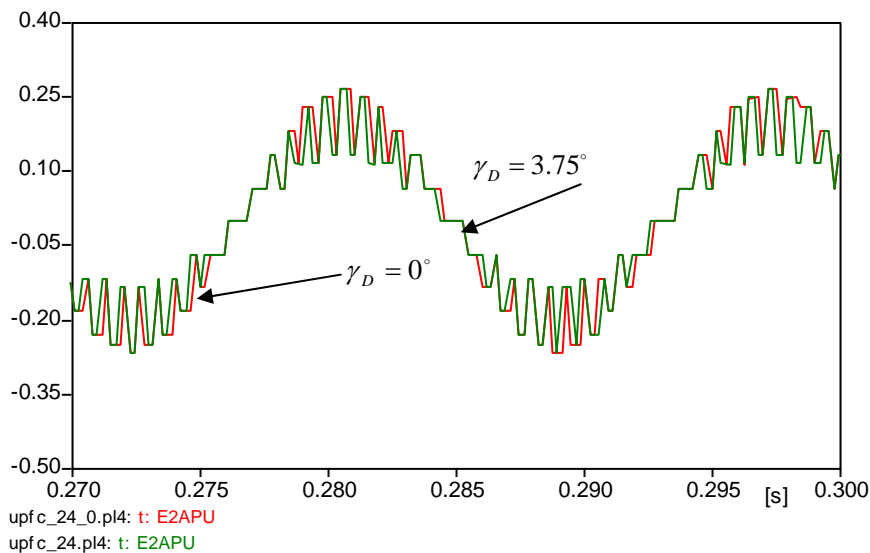


Figura 5.19 Voltaje de salida de la fase a ( $E2APU$ ) del inversor conectado en serie de 24 pulsos en el CUFP.

En la Figura 5.20 se ilustra el voltaje de salida ( $E2APU$ ) del inversor serie de 48 pulsos alimentado a tres niveles de voltaje con el ángulo gama variable  $\gamma_S$  y los valores que toma el ángulo gama del inversor en derivación son:  $\gamma_D = 0^\circ$  y  $\gamma_D = 1.875^\circ$ .

Ahora, si se comparan las formas de onda de las Figuras 5.19 y 5.20 se observa que el voltaje de salida se aproxima más a una onda sinusoidal cuando se utiliza el inversor de

48 pulsos, y no es muy notable la influencia de la variación del ángulo gama del inversor en derivación  $\gamma_D$ . A continuación se evalúa el  $THD_v$  del voltaje de salida.

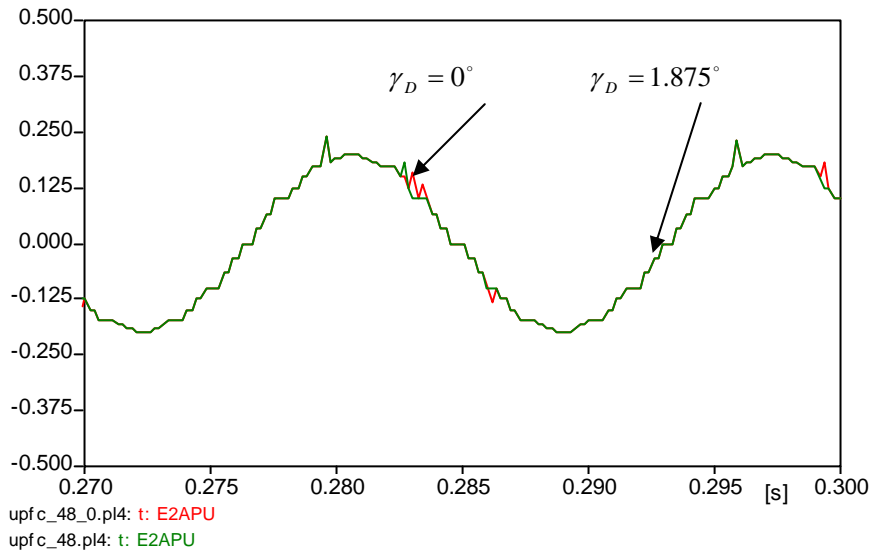


Figura 5.20 Voltaje de salida de la fase a (E2APU) del inversor conectado en serie de 48 pulsos en el CUPF

La evaluación del  $THD_v$  de las formas de onda ilustradas en las Figuras 5.19 y 5.20 se presenta mediante los espectros armónicos de la Figura 5.21.

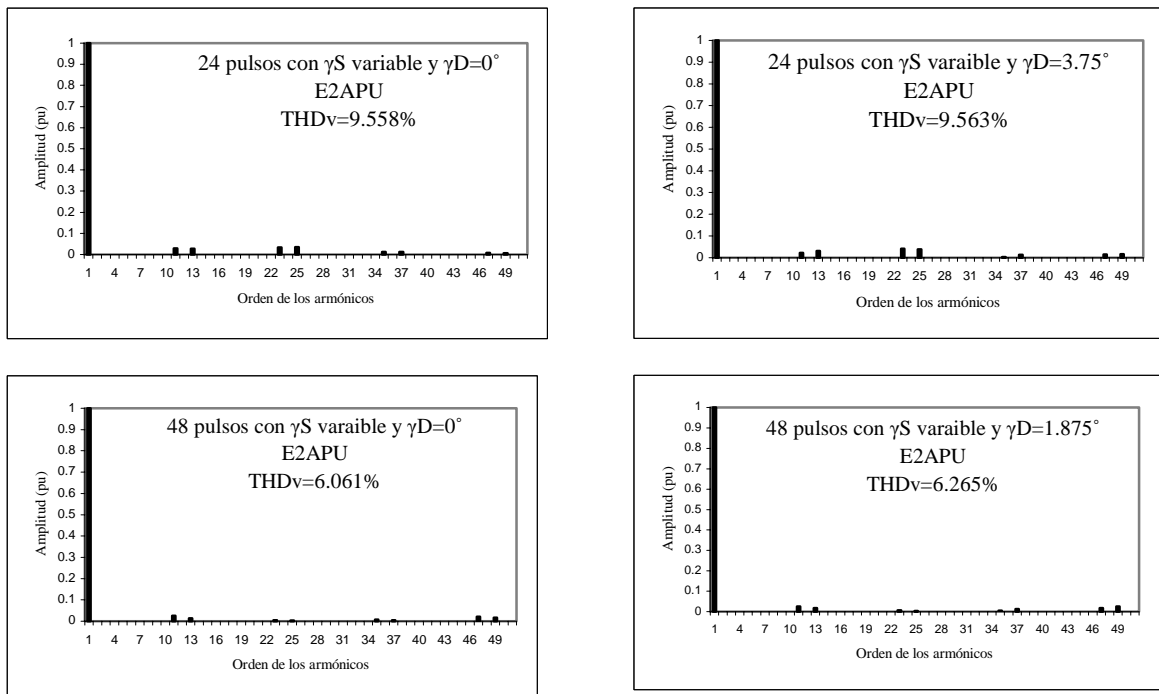
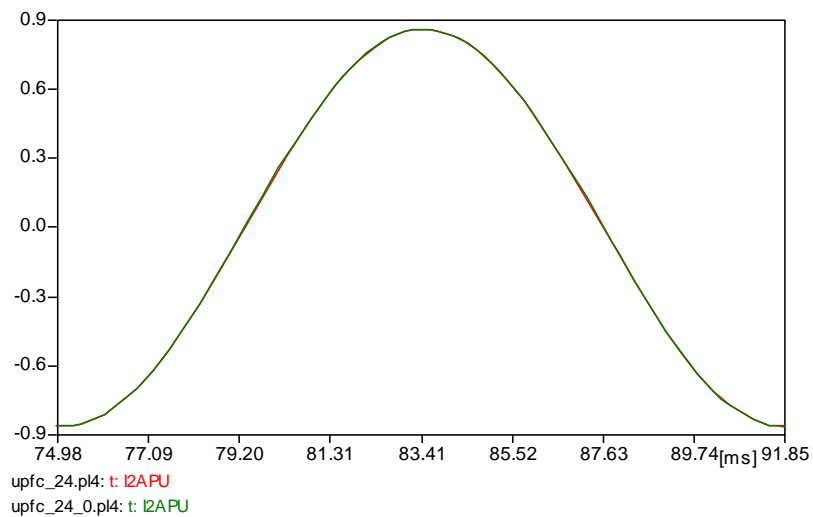


Figura 5.21  $THD_v$  y espectro armónico del voltaje de salida de la fase a (E2APU) del inversor conectado en serie de 24 y 48 pulsos.

El  $THD_v$  del voltaje del inversor de 24 pulsos conectado en serie se puede decir que es igual con diferente valor del ángulo gama del inversor en derivación ( $\gamma_D = 0^\circ$  o  $\gamma_D = 3.75^\circ$ ) y se comporta de forma similar con la configuración de 48 pulsos. De lo anterior se puede concluir que el cambio más notable del  $THD_v$  es realmente cuando se aumenta del número de pulsos.

En la Figura 5.22 se ilustra la corriente de salida ( $I_{2APU}$ ) del inversor serie de 24 pulsos con dos valores diferentes del ángulo gama del inversor en derivación ( $\gamma_D = 0^\circ$  y  $\gamma_D = 3.75^\circ$ ). Se observa que ambas formas de onda se comportan igual y no afecta el cambio del ángulo en el inversor en derivación.



*Figura 5.22 Corriente de salida de la fase a ( $I_{2APU}$ ) del inversor conectado en serie de 24 pulsos en el CUFp.*

En la Figura 5.23 se ilustra la corriente de salida ( $I_{2APU}$ ) del inversor serie de 48 pulsos, con dos valores diferentes del ángulo gama del inversor en derivación ( $\gamma_D = 0^\circ$  y  $\gamma_D = 1.875^\circ$ ). En las formas de onda resultantes se observa que son iguales entre ellas y se comportan de la misma manera que en el caso anterior. Lo anterior debido a que su ángulo gama es variable.

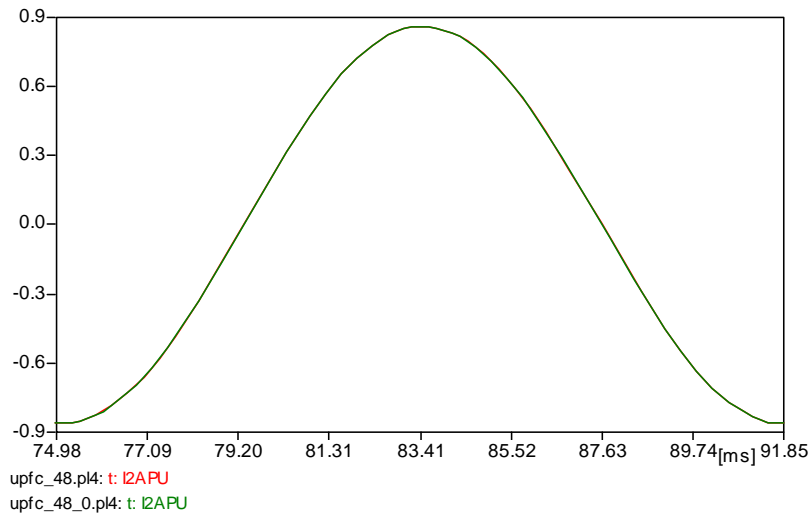


Figura 5.23 Corriente de la fase a ( $I_{2APU}$ ) del inversor conectado en serie de 48 pulsos en el CUPF.

A continuación se evalúa el  $THD_i$  de las formas de onda de la corriente de salida del inversor de la fase a ( $I_{2APU}$ ) ilustradas en las Figuras 5.22 y 5.23, y los resultados se presentan en la Figura 5.24 mediante el espectro armónico asociado a cada una de las formas de onda. De estos resultados se observa que no hay una variación significativa en el  $THD_i$  al incrementar el número de pulsos en el inversor. Se considera aceptable el  $THD_i$  con cualquiera de las configuraciones.

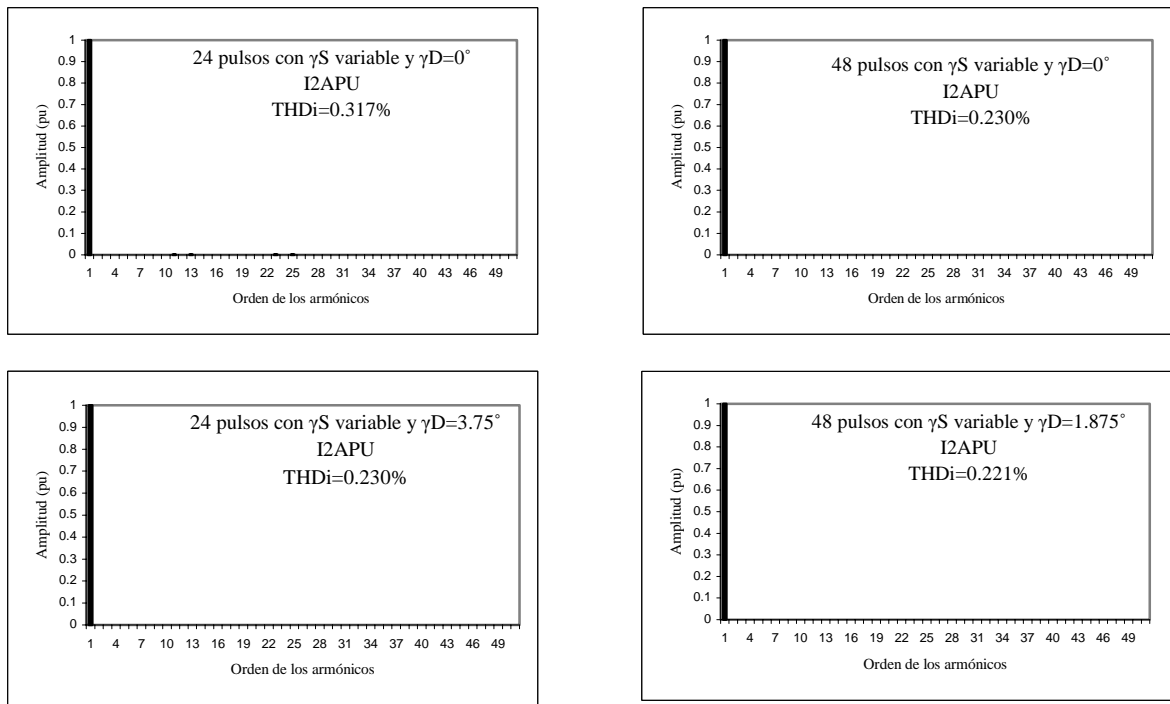


Figura 5.24  $THD_i$  y espectro armónico de corriente de la fase a ( $I_{2APU}$ ) del inversor conectado en serie de 24 y 48 pulsos.

## 5.4 Conclusiones

En este capítulo se presenta el modelado y análisis dinámico básico del CUFP. Se describe el principio de operación del CUFP y los componentes principales del controlador como son: el inversor de 24 pulsos alimentado a tres niveles de voltaje, los transformadores neutralizadores de armónicos con conexión estrella-delta al igual que el transformador de acoplamiento y el modelo del control. El control está en por unidad y se realiza para cada uno de los inversores, el CSES se opera por inyección de voltaje en serie con la línea de transmisión y el CES se controla por regulación de corriente reactiva [Sen y Stacey 1998].

Se realizó la transformación de la configuración de los dos inversores (serie y derivación) de 24 a 48 pulsos, en el inversor en derivación se cambio el valor del ángulo gama  $\gamma_D$  para cada configuración. También se evaluó el THD del voltaje de salida de los inversores.

---

# *CAPÍTULO 6*

## **CONCLUSIONES GENERALES, APORTACIONES Y TRABAJO FUTUROS**

---

### **6.1 Conclusiones generales**

En el presente trabajo se ha descrito los fundamentos de las fuentes de voltaje controladas, enfocándose al convertidor trifásico de tres niveles de voltaje; además, se realizó la simulación para dichos modelos en el ATP-EMTP con el control en lazo abierto publicado en [Sen 1998], [Sen y Stacey 1998] y [Sen 1999].

En esta tesis se explicó el principio de operación de los dispositivos CSES, CES y CUFP, las diferentes configuraciones para la fuente de voltaje controladas y el transformador neutralizador de armónicos. La configuración del convertidor para el CSES y CES se considero multipulso de 12, 24 y 48 pulsos, y para el CUFP se utilizó la multinivel de 24 y 48 pulsos. En el caso del transformador neutralizador de armónicos se consideraron diferentes conexiones de los devanados. Para el transformador asociado al CSES se considera una conexión en zigzag-estrella; mientras que para el CES y CUFP la conexión es estrella-delta.

En base a los modelos del convertidor y los del transformador neutralizador de armónicos descritos, se conformaron los modelos dinámicos de los dispositivos CSES, CES y CUFP adecuados para la simulación transitoria por medio del programa ATP-EMTP.

Se presentaron mediante ejemplos numéricos casos de estudio para cada uno de los controladores SIFLETCA conectados en una red simple de dos nodos, con la finalidad de ilustrar sus capacidades de control y cuantificar su efecto en la operación del sistema. El

modelo del CSES se utilizó para ilustrar su capacidad de inyectar un voltaje de AC en serie con una línea de transmisión y así controlar el flujo de potencia de la línea; igualmente se demostró que el CES tiene la función de inyectar una corriente de magnitud variable en el punto de conexión la línea de transmisión [Sen 1999]. Por último, se mostró que el CUFPP puede formarse por la conexión de los dos dispositivos antes mencionados.

Lo anterior permitió hacer un análisis detallado del comportamiento dinámico de estos dispositivos y su capacidad de control en las variables que determinan el estado de operación del sistema eléctrico. De igual manera, se hizo un estudio detallado de las formas de onda de voltaje y corriente en terminales de AC del controlador con la finalidad de cuantificar el grado de contaminación armónica y el efecto que tiene en ella el número de pulsos del inversor y el valor de ángulo gama.

## **6.2 Aportaciones**

La aportación principal de este trabajo de tesis es el desarrollo de una herramienta computacional para los análisis dinámicos de tres de los dispositivos SIFLETCA basados en convertidores multipulsos (12, 24 y 48) alimentados por voltajes de dos o tres niveles y diferente conexión del transformador neutralizador de armónicos.

Las características principales son:

- La rápida respuesta para cambiar el modo de operación, es decir, de inductivo a capacitivo o viceversa.
- La facilidad para integrar los modelos a una red existente modelada en ATP-EMTP de cualquier nivel de voltaje y de corriente.

## **6.3 Trabajos futuros**

Las siguientes son algunas sugerencias que se consideran importantes a realizar en trabajos futuros de investigación en el mismo campo:

- El desarrollo del modelo dinámico del controlador de flujos de potencia interlínea (CFPI) en su forma más simple de dos líneas, siguiendo el mismo esquema de los modelos propuestos.
- Continuando con el punto anterior generalizar el modelo a más de dos líneas.
- Integrar los modelos de los dispositivos SIFLETCA con diferentes tipos de controles.
- Integrar un control de lazo cerrado a los modelos propuestos de dispositivos SIFLETCA.



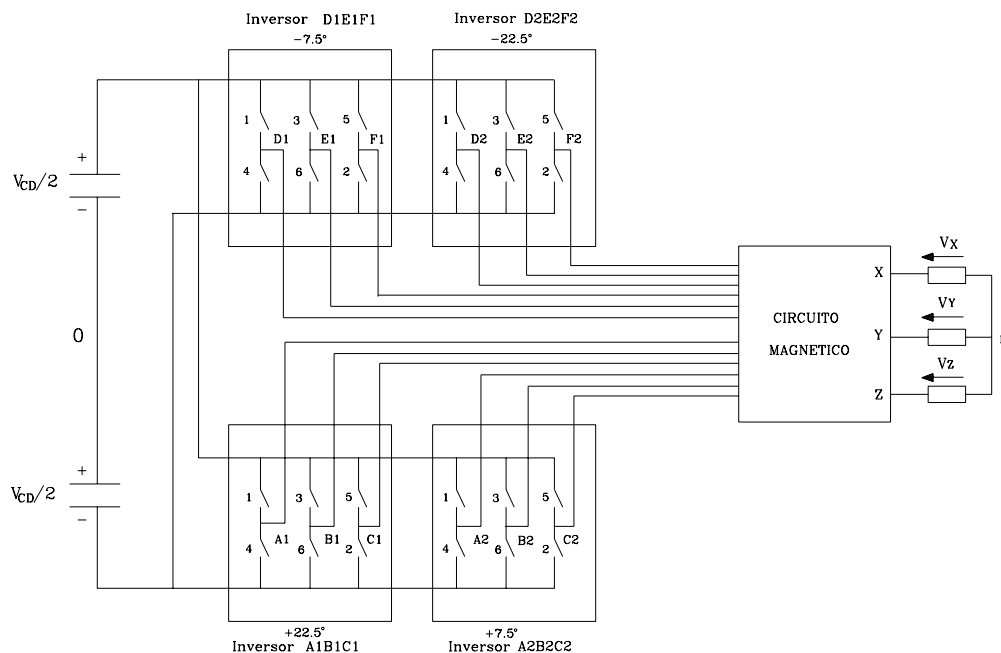
---

# APÉNDICE A

## SECUENCIA DE DISPAROS DE LOS TIRISTORES EN UN INVERSOR DE 24 PULSOS

---

En el presente apéndice se describe la secuencia de disparo de los tiristores en un inversor de 24 pulsos ilustrado en la Figura A.1. Esta configuración se implementó con cuatro inversores de seis pulsos que se combinan para obtener una estructura multipulso.



*Figura A.1 Inversor trifásico de 24 pulsos.*

La Figura A.2 ilustra gráficamente la secuencia de encendido y apagado de los tiristores en las fases de cada inversor de seis pulsos con los respectivos desfases. La primer gráfica está graduada en grados e indica con las flechas los momentos en que se encienden los tiristores de la fila superior (cuando el ánodo sea positivo con respecto al cátodo) de la fase indicada de cada inversor. Las siguientes tres gráficas corresponden al

inversor  $D2E2F2$ , en donde se observan los cambios de signo del voltaje de fase, debido al cambio de estado del tiristor en turno y después de  $180^\circ$  de conducción (por ejemplo cuando en la fase  $D2$  cambia la conducción del tiristor 1 al 4). De las siguientes gráficas se observa que los desfases existentes entre los voltajes de las fases asociadas a cada inversor, siempre corresponden a  $120^\circ$  entre si, y el ángulo de desplazamiento entre los inversores consecutivos siguiendo la secuencia  $D2E2F2$ ,  $D1E1F1$ ,  $A2B2C2$  y  $A1B1C1$ , ó bien,  $A1B1C1$ ,  $A2B2C2$ ,  $D1E1F1$  y  $D2E2F2$  en la configuración del inversor multipulso, es de  $2\pi/24=15^\circ$ . Esto se indica esquemáticamente con una punta de flecha en la gráfica de la primera fase de cada inversor. En base a lo anterior, se puede concluir que existe un desplazamiento de  $30^\circ$  entre dos inversores alternos, es decir, entre los inversores  $D2E2F2$  y  $A2B2C2$ , al igual que para los inversores  $D1E1F1$  y  $A1B1C1$ . Las últimas tres gráficas corresponden al voltaje de fase a fase del inversor  $D2E2F2$ .

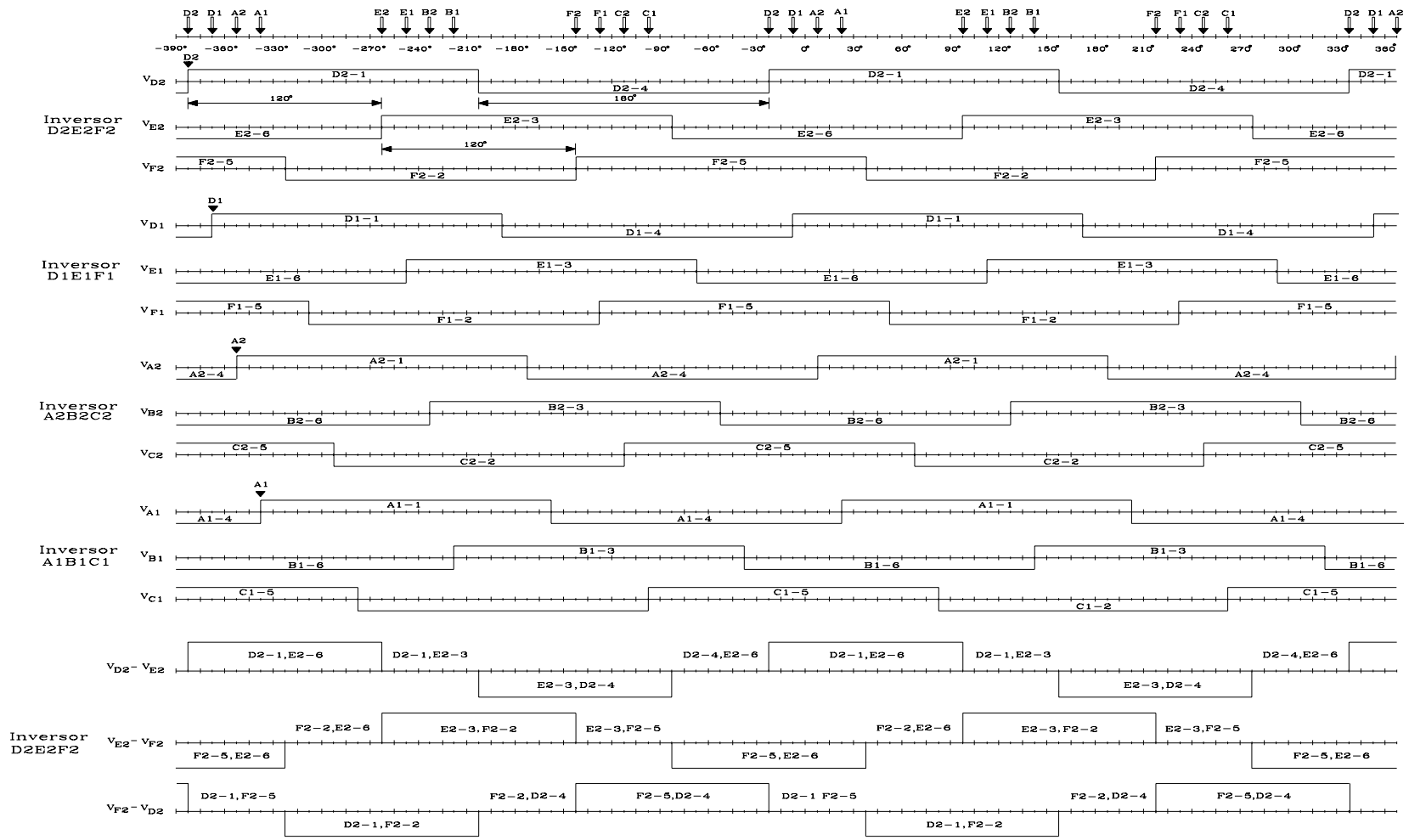


Figura A.2 Formas de onda de AC de un inversor de 24 pulsos

---

## *APÉNDICE B*

# **MODELADO DE SISTEMAS DE CONTROL EN EL ATP-EMTP**

---

El programa ATP-EMTP permite modelar diferentes elementos que conforman la red eléctrica, así como sistemas de control, con la finalidad de realizar estudios de transitorios electromagnéticos en sistemas eléctricos de potencia [Long 1991].

Uno de los primeros trabajos referente a la simulación de los sistemas de control de sistemas eléctricos de potencia que utilizaron programas de fines generales fue realizado por [Dubé y Dommel 1997]. Su técnica fue incorporada en un programa de computadora digital llamada TACS (análisis transitorio de los sistemas de control), que se hizo parte del EMTP.

Algunas de las características importantes de los TACS son [Lasseter 1989] y [Araújo 1993]:

- Su código es independiente del EMTP, y las interfaces con el EMTP tienen un tiempo de retraso;
- puede aceptar interconexiones arbitrarias entre los bloques para la construcción del sistema de control;
- resuelve las ecuaciones del sistema de control por la integración implícita con la regla trapezoidal.

La Figura *B.1* ilustra el diagrama típico del sistema de control que puede ser simulado mediante TACS-EMTP, donde el control recibe cierta información de la red, realiza algunas acciones y entonces devuelve la información a la red.

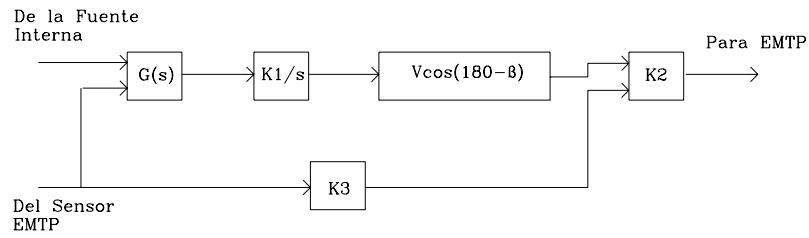


Figura B.1 Diagrama típico de un sistema de control

Los bloques básicos usados para simular cualquier sistema de control son [Lasseter 1989] y [Araújo 1993]:

- *Función de transferencia* – funciones racionales polinomiales en el  $s$ -dominio son la base para la construcción de los bloques de un sistema de control;
- *Fuentes* – fuentes dependientes del tiempo, tales como  $DC$ , pulso, escalón, etc;
- *Expresiones en FORTRAN* – una función general dada por una declaración en FORTRAN que describe las relaciones entre las entradas y la salida de un bloque;
- *Dispositivos* – Los subsistemas preprogramados de los sistemas de control, tal como tiempos de retraso en el funcionamiento de los interruptores.

## Método de Solución de los TACS

### 1. Función de Transferencia - Bloques Lineales

Un bloque general de la función de transferencia se ilustra en la Figura B.2. Donde se describe la relación entre la salida  $X$  y las entradas  $U_i$  como una función racional  $G(s)=N(s)/D(s)$  con una ganancia  $K$  y  $m \leq n$ .

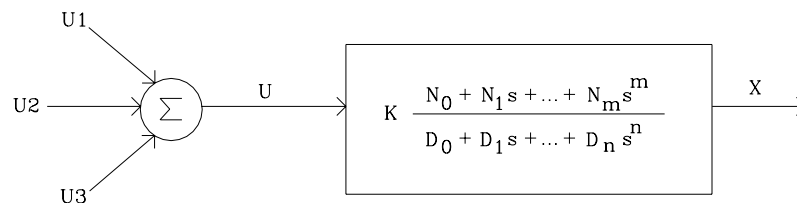


Figura B.2 Bloque de la función de transferencia.

En este caso, la función de transferencia es de orden  $n$  y se transforma en un sistema de ecuaciones diferenciales ordinarias de primer orden que se integra con la regla trapezoidal. Después de eliminar las variables de estado internamente creadas para las derivadas de segundo y alto orden, una sola ecuación que relaciona la salida con las entradas es formada:

$$cx(t) = K \times d \times u(t) + hist(t - \Delta t) \quad (B.1)$$

donde  $u$  es la suma de todas las variables de entrada. Los coeficientes  $c$  y  $d$  se calculan usando la fórmula recursiva:

$$c_i = c_{i-1} + (-2)^i \left\{ \binom{i}{i} \left( \frac{2}{\Delta t} \right)^i D_i + \binom{i+1}{i} \left( \frac{2}{\Delta t} \right)^{i+1} d_{i+1} + \dots + \binom{n}{i} \left( \frac{2}{\Delta t} \right)^n d_n \right\},$$

donde  $\binom{j}{i}$  es el coeficiente binomial, y

$$c_o = \sum_{i=0}^n \left( \frac{2}{\Delta t} \right)^i D_i,$$

donde  $c = c_o$ . Las fórmulas para  $d$  son encontradas al reemplazar  $D$  por  $N$  en las ecuaciones anteriores.

El cálculo del término  $hist(t - \Delta t)$  no es simple para detalles ver la referencia [Dommel 1986].

Después de discretizar todas las funciones de transferencia, es posible construir una ecuación matricial.

$$(A)(X) = (hist)$$

Para aclarar este punto, se asume que el sistema de la Figura B.3 va a ser simulado [Dommel 1986].

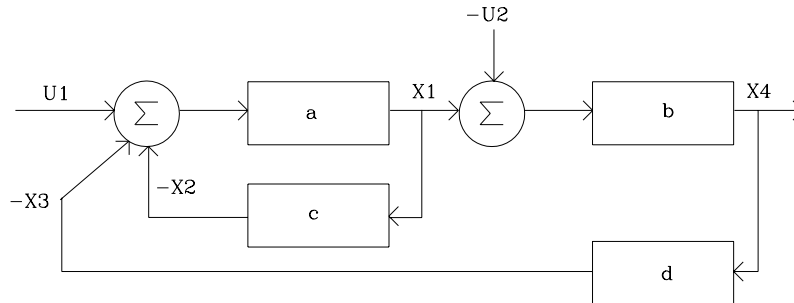


Figura B.3 Sistema de control de la función de transferencia con bloques lineales.

Al aplicar la ecuación (B.1) a los bloques de la Figura B.3, se obtiene la ecuación matricial siguiente:

$$\begin{pmatrix} c_a & K_a d_a & K_a d_a & 0 & -K_a d_a & 0 \\ -K_b d_b & 0 & 0 & c_b & 0 & K_b d_b \\ -K_c d_c & c_c & 0 & 0 & 0 & 0 \\ 0 & 0 & c_d & -K_d d_d & 0 & 0 \end{pmatrix} \begin{pmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \\ u_1 \\ u_2 \end{pmatrix} = \begin{pmatrix} hist_a \\ hist_b \\ hist_c \\ hist_d \end{pmatrix} \quad (B.2)$$

Si  $u_1$  y  $u_2$  son fuentes conocidas para cada paso tiempo, las variables desconocidas son  $x_1$ ,  $x_2$ ,  $x_3$  y  $x_4$ . Entonces la ecuación anterior se puede escribir como:

$$(A_{xx})(x) = (hist) - (A_{xu})(u), \quad (B.3)$$

donde

$$A_{xx} = \begin{pmatrix} c_a & K_a d_a & K_a d_a & 0 \\ -K_b d_b & 0 & 0 & c_b \\ -K_c d_c & c_c & 0 & 0 \\ 0 & 0 & c_d & -K_d d_d \end{pmatrix}$$

y

$$A_{xu} = \begin{pmatrix} -K_a d_a & 0 \\ 0 & K_b d_b \\ 0 & 0 \\ 0 & 0 \end{pmatrix}$$

La ecuación (B.3) se soluciona para las variables desconocidas en cada paso de tiempo en base el método de factorización triangular LU utilizando técnicas de dispersidad.

## 2. Bloques de función no lineales

Los bloques de función no lineales no se incluyen en la solución simultánea de todo el sistema. Estos se resuelven en forma secuencial y tan pronto como sus señales de

entrada lleguen a estar disponibles en una etapa determinada del proceso de sustitución hacia atrás del método LU empleado para resolver (B.3) [Araújo 1993].

En una configuración del lazo abierto, la no linealidad no plantea ningún problema puesto que su entrada no depende de su salida. Los problemas se presentan en la configuración del lazo cerrado, donde la solución secuencial obliga a la introducción de un tiempo de retraso desacoplando la entrada de la salida del bloque no lineal (véase en la Figura B.4).

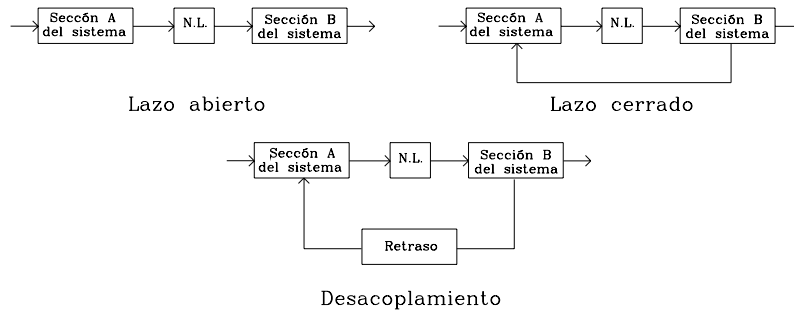


Figura B.4 Bloques de función no lineales.

La introducción del tiempo de retraso ocurre siempre que un bloque no lineal exista dentro de una configuración del lazo cerrado. Muchas de las funciones de FORTRAN y bloques de los dispositivos no lineales son la probable causa de los tiempos de retraso, de los cuales el usuario del programa ni siquiera puede ser consciente.

### 3. Función de transferencia con limitadores

El bloque general de la función de transferencia tiene una característica adicional que permite al usuario utilizar dos tipos de limitadores (estáticos y dinámicos), teniendo como objetivo limitar la salida del bloque si se alcanza cierta condición [Araújo 1993].

La salida del limitador estático y dinámico se ilustra en la Figura B.5.

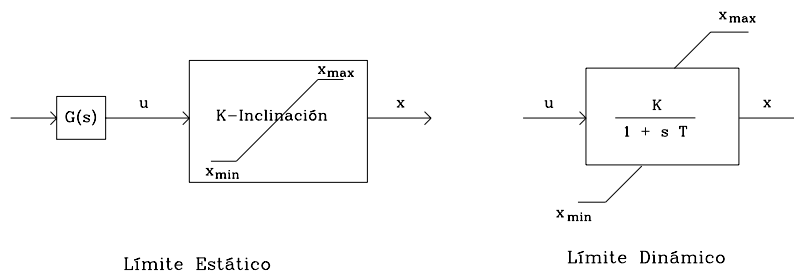


Figura B.5 Limitadores estáticos y dinámicos



$$x = \begin{cases} Ku & \text{si } x_{\min} < Ku < x_{\max} \\ x_{\min} & \text{si } Ku \leq x_{\min} \\ x_{\max} & \text{si } Ku \geq x_{\max} \end{cases}$$

Cada una de las tres ecuaciones anteriores son una expresión algebraica lineal de la forma de la ecuación (B.1), con  $c=d=1$ ,  $hist=0$  dentro de los límites, y en los límites  $c=1$ ,  $d=0$  y  $hist = (x_{\max} \text{ o } x_{\min})$ .

Contrario a los limitadores estáticos, la acción limitadora de los limitadores dinámicos cambia el comportamiento dinámico del bloque de la función de transferencia. Estos limitadores se aplican solamente a las funciones de transferencia de primer orden [Dommel 1986]. Las ecuaciones para el limitador dinámico son (véase la Figura B.5)

$$x = \begin{cases} x + T \frac{dx}{dt} = Ku & \text{si } x_{\min} < x < x_{\max} \\ x = x_{\min} & \text{si } x \leq x_{\min} \text{ y } (Ku - x) < 0 \\ x = x_{\max} & \text{si } x \geq x_{\max} \text{ y } (Ku - x) > 0 \end{cases}$$

Las ecuaciones con limitador dinámico se pueden también poner en el formato de la ecuación (B.1). Dentro de los límites, los coeficientes son:

$$\begin{aligned} d &= K; \\ c &= \left(1 + \frac{2T}{\Delta t}\right); \\ hist &= Ku(t - \Delta t) - \left(1 - \frac{2t}{\Delta t}\right)x(t - \Delta t) \end{aligned}$$

Fuera de los límites los coeficientes son los mismos para ambos limitadores.

Ambos tipos de ajuste de los limitadores en la ecuación (B.1), se presentan cuando estos son lazos cerrados y su entrada dependerá de su salida. Esta situación es similar al caso de bloques no lineales donde la introducción del tiempo de retraso es inevitable.

#### 4. Interfase de los EMTP-TACS

Según lo mencionado anteriormente, los TACS resuelven el conjunto de ecuaciones del sistema de control independientemente del EMTP y tienen que

comunicarse con él para intercambiar la información y así la acción del control influye en el sistema de potencia. En la Figura B.6 se muestra esquemáticamente el proceso del interfaz entre ambos programas, donde es claro que para emitir cualquier señal de control (TACS) al sistema de potencia debe de haber recibido previamente información del EMTP. La Figura B.7 ilustra cómo se desarrolla el proceso en función de tiempo [Lasseter 1989] y [Araújo 1993].

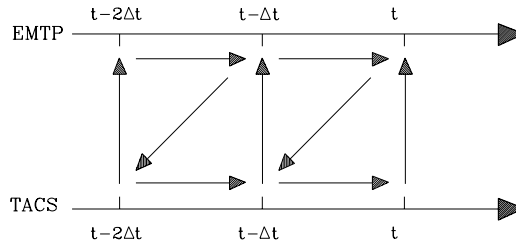


Figura B.6 Interacción entre el Sistema de potencia y el Sistema de Control

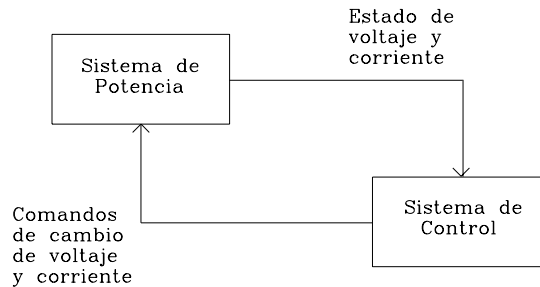


Figura B.7 Tiempo de retraso entre los TACS y el EMTP

Los TACS solucionan las ecuaciones del sistema de control de  $(t - 2\Delta t)$  a  $(t - \Delta t)$ . Entonces da los valores de las variables al EMTP. El EMTP soluciona las ecuaciones del sistema de potencia para  $(t - \Delta t)$  a  $(t)$ . En  $t$ , el EMTP da a los TACS los valores de las variables para que los TACS avancen en la solución de  $(t - \Delta t)$  a  $(t)$ . Por consiguiente, el EMTP siempre utiliza la información de los TACS retrasado por un paso de tiempo [Lasseter 1989] y [Araújo 1993].

### Enfoque del Tiempo de demora en los TACS-EMTP

Resumiendo lo que se ha discutido hasta ahora, existen dos tipos de retraso en los TACS-EMTP [Araújo 1993]:

- Tiempo de retraso entre TACS y el EMTP – tiempo de retraso externo;

- Tiempo de retraso generado por los propios TACS debido a la no linealidad de los bloques o al bloque de la función de transferencia con los limitadores – tiempo de retraso interno.

En 1984 Ma Ren-ming hizo algunas revisiones al código original de los TACS con respecto al orden en la cual los bloques del sistema de control se solucionan [Dommel 1986] y [Ren-ming 1984]. Uno de los objetivos de esta revisión era disminuir la posibilidad de introducir el tiempo de retraso interno en una variedad de situaciones.

Para ilustrar el proceso, se considera la Figura B.8. La función de transferencia consiste de 10 bloques tres de ellos con límites. Los primeros cuatro bloques forman un sistema independiente de ecuaciones, al igual que los últimos cuatro bloques. Para resolver el sistema que comprende los primeros cuatro bloques, se debe calcular primero la salida de F2 y tan pronto como la salida esté disponible los límites son aplicados. Una vez conocida la salida de F2, ya puede ser calculada la salida de F3 y para continuar con el procedimiento F4 y F1 se resuelven en este orden. F5 y F6 se solucionan después y el último sistema de cuatro bloques el orden es: F10 → F7 → F8 → F9 [Araújo 1993].

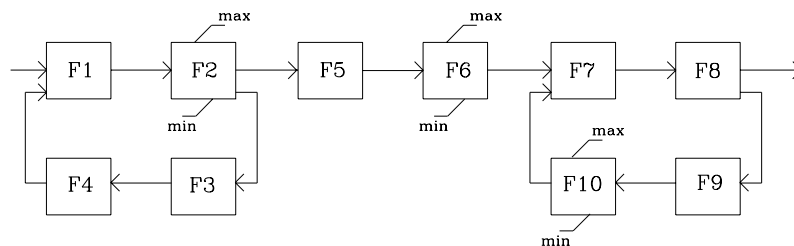


Figura B.8 Posible solución con TACS-EMTP

El algoritmo de ordenamiento utilizado en este caso evita la introducción de tiempos de retraso en el procedimiento de la solución, pero cualquier algoritmo falla si hay dos bloques con límites en un solo lazo cerrado. Además, es necesario para detectar los lazos con los limitadores o los bloques no lineales [Araújo 1993].

Unos de los problemas que puede causar el tiempo de retraso en la simulación del sistema del control y de potencia, es la inestabilidad numérica y de inexactitudes [Lasseter 1989], [Lima 1685], [Ceraolo 1992] y [Lasseter 1987]. El trabajo más relacionado a la eliminación de tiempos de retraso es la referencia [Ren-ming 1984].

---

## APÉNDICE C

### FORMULACIÓN UTILIZADA EN ATP-EMTP

---

La metodología empleada por el ATP-EMTP para el estudio de transitorios de sistemas eléctricos, en el dominio del tiempo, se basa en las relaciones lineales entre voltaje y corriente que se obtienen al combinar el método de las características y la regla de integración trapezoidal. Lo anterior se logra al establecer las relaciones normales con el medio (condiciones de frontera), tal como las ecuaciones de Kirchhoff, generando un algoritmo generalizado capaz de resolver transitorios en cualquier red con parámetros concentrados y distribuidos.

En base a lo anterior, el ATP-EMTP puede resolver cualquier red que consista de interconexiones de elementos eléctricos con parámetros concentrados, tales como resistencias, inductancias, capacitancias, circuitos  $\pi$  de líneas de transmisión multifásicas, y parámetros distribuidos, tales como cables o líneas de transmisión multifásicas. El análisis de un fenómeno transitorio se realiza en el dominio del tiempo por medio de un incremento  $\Delta t$ , el cual puede ser variable o constante. Arrancando de condiciones iniciales en  $t=0$ , el estado del sistema se encuentra para  $t=\Delta t, 2\Delta t, 3\Delta t, \dots$ , hasta un tiempo máximo,  $t_{max}$ . Mientras se resuelve para el estado  $t$ , todos los estados anteriores  $t-\Delta t, t-2\Delta t, \dots$ , son conocidos. Una porción limitada de los términos de historia es necesaria en el método de las características, el cual es usado para las líneas de transmisión y cables, y en la regla trapezoidal, el cual es usado para parámetros concentrados. En el primer caso es necesario mantener en memoria un número de términos sobre un espacio de tiempo igual al tiempo de viaje de la onda,  $n=z/\Delta t$ , en el último caso solo es necesario el término del paso previo.

Para desarrollar una explicación simple de la formulación utilizada en ATP-EMTP solamente se considerarán elementos de una sola fase. La Figura C.1 ilustra simplemente los detalles de una red más grande para la región alrededor de nodo  $I$ . Se supone que se han calculado voltajes y corrientes a instantes de tiempo  $0, \Delta t, 2\Delta t, \dots$ , a  $t - \Delta t$ , y que

la solución debe encontrarse ahora para el instante de tiempo  $t$ . A cualquier instantáneo de tiempo, la suma de las corrientes que salen del nodo  $1$  a través de las ramas debe ser igual a las corrientes inyectadas  $i_1$ :

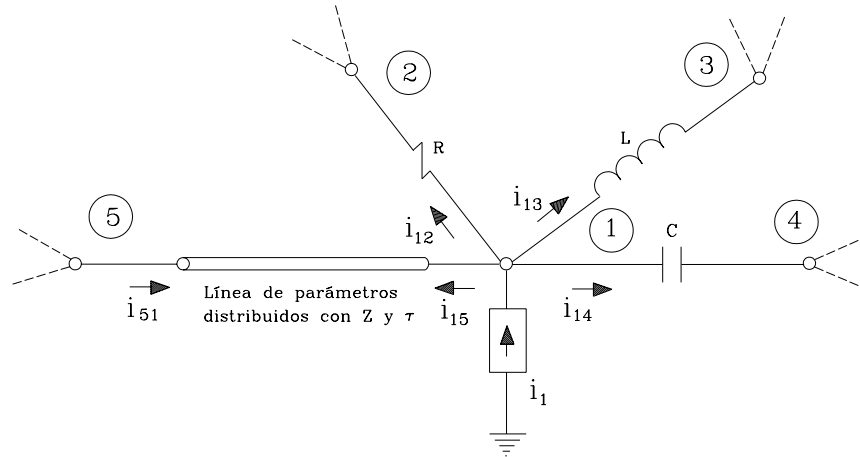


Figure C.1 Detalles de una red más grande alrededor del nodo 1.

$$i_{12}(t) + i_{13}(t) + i_{14}(t) + i_{15}(t) = i_1(t) \quad (C.1)$$

Los voltajes de nodo son usados como variables de estado en el ATP-EMTP. Por lo tanto, es necesario expresar las corrientes de rama  $i_{12}$ , etc., en función de los voltajes de nodo. En el caso de las ecuaciones diferenciales ordinarias que describen las relaciones voltaje-corriente de los elementos lineales desacoplados  $L$  o  $C$  son transformadas, por medio de la regla trapezoidal, a redes equivalentes que contienen resistores constantes y fuentes de corriente conocidas, variantes en el tiempo. Las relaciones voltaje-corriente son las siguientes.

### Modelado de parámetros concentrados, lineales, desacoplados

Los elementos concentrados, lineales, desacoplados son los resistores  $R$ , las inductancias propias  $L$  y los capacitores  $C$ . Estos usualmente aparecen como parte de circuitos equivalentes, los cuales pueden representar generadores, transformadores, secciones cortas de líneas de transmisión u otros componentes de un sistema eléctrico de potencia.

Para la resistencia:

$$i_{12}(t) = \frac{1}{R}(v_1(t) - v_2(t)) \quad (C.2)$$

Para la inductancia:

$$v = L \frac{di}{dt}$$

Para la inductancia la relación de voltaje y corriente es

$$v_1(t) - v_3(t) = L \frac{d i_{13}(t)}{dt} \quad (C.3)$$

Integrando la ecuación (C.3) desde un estado conocido  $t - \Delta t$  hasta un nuevo estado  $t$ :

$$\int_{t-\Delta t}^t [v_1(t) - v_3(t)] dt = L \int_{t-\Delta t}^t d i_{13}(t) \quad (C.4)$$

$$\int_{t-\Delta t}^t [v_1(t) - v_3(t)] dt = L [i_{13}(t) - i_{13}(t - \Delta t)] \quad (C.5)$$

de lo cual se obtiene

$$i_{13}(t) = i_{13}(t - \Delta t) + \frac{1}{L} \int_{t-\Delta t}^t [v_1(t) - v_3(t)] dt \quad (C.6)$$

Aplicando la regla de integración trapezoidal a la ecuación (C.6), se obtiene

$$i_{13}(t) = i_{13}(t - \Delta t) + \frac{1}{L} \left[ \frac{\Delta t}{2} (v_1(t) - v_3(t)) + \frac{\Delta t}{2} (v_1(t - \Delta t) - v_3(t - \Delta t)) \right] \quad (C.7)$$

lo que conduce a:

$$i_{13}(t) = \frac{\Delta t}{2L} (v_1(t) - v_3(t)) + hist_{i_{13}}(t - \Delta t) \quad (C.8)$$

para el caso de la Figura C.1, donde la corriente equivalente de la historia es:

$$hist_{i_{13}}(t - \Delta t) = i_{13}(t - \Delta t) + \frac{\Delta t}{2L} (v_1(t - \Delta t) - v_3(t - \Delta t)) \quad (C.9)$$

Para el capacitor de la Figura C.1, la relación voltaje-corriente es:

$$i_{14}(t) = C \frac{d (v_1(t) - v_4(t))}{dt} \quad (C.10)$$

Integrando la ecuación (C.10) desde un estado conocido  $t - \Delta t$  hasta un nuevo estado  $t$ :

$$\int_{t-\Delta t}^t i_{14}(t) dt = C \int_{t-\Delta t}^t [d v_1(t) - d v_4(t)] \quad (C.11)$$

de lo cual se obtiene

$$\int_{t-\Delta t}^t i_{14}(t) dt = C [v_1(t) - v_4(t) - v_1(t - \Delta t) + v_4(t - \Delta t)] \quad (C.12)$$

Aplicando la regla de integración trapezoidal a la ecuación (C.12), se obtiene:

$$\frac{\Delta t}{2} [i_{14}(t) + i_{14}(t - \Delta t)] = C [v_1(t) - v_4(t) - v_1(t - \Delta t) + v_4(t - \Delta t)] \quad (C.13)$$

lo que conduce a:

$$i_{14}(t) = \frac{2C}{\Delta t} (v_1(t) - v_4(t)) + hist_{14}(t - \Delta t) \quad (C.14)$$

donde la corriente equivalente de la historia es:

$$hist_{14}(t - \Delta t) = -i_{14}(t - \Delta t) - \frac{2C}{\Delta t} (v_1(t - \Delta t) - v_4(t - \Delta t)) \quad (C.15)$$

### Modelado de elementos con parámetros distribuidos

El elemento con parámetros distribuidos considerado es la línea de transmisión. Para su modelado matemático se utiliza el método de las características. En este caso se considera la línea de transmisión sin pérdidas. Lo anterior debido a que la aplicación del método de las características a la línea de transmisión con pérdidas produce ecuaciones diferenciales ordinarias que no son directamente integrables.

Considerando la línea sin pérdidas de la Figura C.1, la relación voltaje-corriente está dada por las ecuaciones diferenciales parciales conocidas como ecuaciones de onda. Estas ecuaciones son aplicables en cada instante de tiempo  $t$  y en cada posición espacial  $x$  sobre la línea. Las ecuaciones de onda para la línea de transmisión entre los nodos 1 y 5, son:

$$\begin{aligned} -\frac{\partial v(x,t)}{\partial x} &= L' \frac{\partial i(x,t)}{\partial t} \\ -\frac{\partial i(x,t)}{\partial x} &= C' \frac{\partial v(x,t)}{\partial t} \end{aligned} \quad (C.16)$$

donde  $L'$  y  $C'$  son la inductancia y capacitancia distribuida por unidad de longitud respectivamente.

La solución general de las ecuaciones de onda, expresadas en la ecuación (C.16):

$$\begin{aligned} i(x,t) &= f_1(x-vt) - f_2(x+vt) \\ v(x,t) &= Zf_1(x-vt) + Zf_2(x+vt) \end{aligned} \quad (C.17)$$

donde

$$Z = \text{impedancia característica } Z = \sqrt{L'/C'},$$

$$v = \text{velocidad de propagación de la onda } v = \frac{1}{\sqrt{L' C'}}.$$

Tanto la impedancia característica  $Z$  como la velocidad de propagación de las ondas  $v$  son constantes.  $f_1$  y  $f_2$  son funciones desconocidas que dependen de las condiciones frontera y condiciones iniciales del problema que en particular se este analizando. El término  $f_1(x-vt)$  puede interpretarse como una onda viajando a una velocidad  $v$  en una dirección progresiva, mientras que  $f_2(x+vt)$  es una onda viajando a una velocidad  $v$  en una dirección regresiva.

Si la corriente en la ecuación (C.17) se multiplica por la impedancia característica  $Z$  y restándola de la segunda expresión, dada también en (C.17).

$$v(x,t) - Zi(x,t) = -2Zf_2(x+vt) \quad (C.18)$$

Multiplicando la primera expresión dada en (C.17) por la impedancia característica y sumándola a la segunda expresión, dada en (C.17)

$$v(x,t) + Zi(x,t) = 2Zf_1(x-vt) \quad (C.19)$$

En la ecuación (C.18), el término de lado izquierdo ( $v-Zi$ ) será constante si el argumento ( $x+vt$ ) es constante. De la misma manera ( $v+Zi$ ) de la ecuación (C.19) será constante si el argumento ( $x-vt$ ) también lo es. Los argumentos constantes son las características de las ecuaciones diferenciales dadas en (C.16).

El significado de la ecuación (C.19) puede ser visualizado de la siguiente manera:

Considerando un observador ficticio viajando a lo largo de la línea de transmisión en dirección progresiva y una velocidad  $v$ , entonces ( $x-vt$ ) y consecuentemente ( $v+Zi$ ) serán constantes para este observador en todo lo largo de la línea.



Si el tiempo de viaje, tiempo que tarda la onda en desplazarse desde un punto de envío hasta un punto de recepción, es:

$$\tau = \text{longitud de la línea} / v \quad (C.20)$$

Entonces la expresión  $(v+Zi)$  vista por el observador cuando deja el nodo de envío (nodo 1) en el tiempo  $t - \tau$  debe ser la misma cuando arribe al nodo de recepción (nodo 5) en el tiempo  $t$ . Matemáticamente se expresa como:

$$v_1(t - \tau) + Zi_{15}(t - \tau) = v_5(t) + Z(-i_{51}(t)) \quad (C.21)$$

donde el signo negativo de  $i_{51}$  es debida a la dirección de referencia contraria comparada con  $i_{15}$ .

Análogamente, la relación  $(v-Zi)$  saliendo del nodo 5 en tiempo  $(t - \tau)$  debe ser constante cuando arribe al nodo 1 en el tiempo  $t$ .

$$v_5(t - \tau) + Zi_{51}(t - \tau) = v_1(t) + Z(-i_{15}(t)) \quad (C.22)$$

Las ecuaciones (C.21) y (C.22) pueden ser escritas como ecuaciones de dos puertos para las corrientes en el tiempo  $t$ , esto es:

$$\begin{aligned} i_{51}(t) &= \frac{1}{Z} v_5(t) + hist_5(t - \tau) \\ i_{15}(t) &= \frac{1}{Z} v_1(t) + hist_1(t - \tau) \end{aligned} \quad (C.23)$$

donde las fuentes de corriente equivalente  $hist_5$  y  $hist_1$ , las cuales son conocidas para el tiempo  $t$  de la historia en el tiempo  $(t - \tau)$ , son:

$$\begin{aligned} hist_5(t - \tau) &= -\frac{1}{Z} v_1(t - \tau) - i_{15}(t - \tau) \\ hist_1(t - \tau) &= -\frac{1}{Z} v_5(t - \tau) - i_{51}(t - \tau) \end{aligned} \quad (C.24)$$

### **Método nodal para la solución de redes monofásicas**

La aplicación del método nodal se deriva para propósitos de explicación en base a la Figura C.1, la cual incluye todos los elementos necesarios para crear una expresión de tipo general.

Si las ecuaciones (C.2), (C.8), (C.14) y (C.23) se sustituyen en la ecuación (C.1), entonces se obtiene la ecuación para el nodo  $I$

$$\begin{aligned} & \frac{1}{R}(v_1(t) - v_2(t)) + \frac{\Delta t}{2L}(v_1(t) - v_3(t) + hist_{13}(t - \Delta t) + \\ & \frac{2C}{\Delta t}(v_1(t) - v_4(t)) + hist_{14}(t - \Delta t) + \frac{1}{Z}v_1(t) + hist_1(t - \tau) = i_1(t) \end{aligned} \quad (C.25)$$

Efectuando operaciones algebraicas con la ecuación (C.25), se obtiene:

$$\begin{aligned} & \left( \frac{1}{R} + \frac{\Delta t}{2L} + \frac{2C}{\Delta t} + \frac{1}{Z} \right) v_1(t) - \frac{1}{R}v_2(t) - \frac{\Delta t}{2L}v_3(t) - \frac{2C}{\Delta t}v_4(t) = \\ & i_1(t) - hist_{13}(t - \Delta t) - hist_{14}(t - \Delta t) - hist_1(t - \tau) \end{aligned} \quad (C.26)$$

De igual manera, para el nodo 2 se tiene:

$$i_{21}(t) = i_2(t) \quad (C.27)$$

tal que

$$\frac{1}{R}(v_2(t) - v_1(t)) = i_2(t) \quad (C.28)$$

Para el nodo 3

$$i_{31}(t) = i_3(t) \quad (C.29)$$

así

$$\begin{aligned} & \frac{\Delta t}{2L}(v_3(t) - v_1(t)) + hist_{31}(t - \Delta t) = i_3(t) \\ & \frac{\Delta t}{2L}(v_3(t) - v_1(t)) = i_3(t) - hist_{31}(t - \Delta t) \end{aligned} \quad (C.30)$$

Para el nodo 4

$$i_{41}(t) = i_4(t) \quad (C.31)$$

así

$$\begin{aligned} & \frac{2C}{\Delta t}(v_4(t) - v_1(t)) + hist_{41}(t - \Delta t) = i_4(t) \\ & \frac{2C}{\Delta t}(v_4(t) - v_1(t)) = i_4(t) - hist_{41}(t - \Delta t) \end{aligned} \quad (C.32)$$

Para el nodo 5

$$i_{51}(t) = i_5(t) \quad (C.33)$$

entonces:

$$\begin{aligned}\frac{1}{Z}v_5(t) + hist_5(t - \tau) &= i_5(t) \\ \frac{1}{Z}v_5(t) &= i_5(t) - hist_5(t - \tau)\end{aligned}\tag{C.34}$$

Expresando las ecuaciones nodales anteriores en forma matricial, se tiene:

$$\begin{bmatrix} \frac{1}{R} + \frac{\Delta t}{2L} + \frac{2C}{\Delta t} + \frac{1}{Z} & -\frac{1}{R} & -\frac{\Delta t}{2L} & -\frac{2C}{\Delta t} & 0 \\ -\frac{1}{R} & \frac{1}{R} & 0 & 0 & 0 \\ -\frac{\Delta t}{2L} & 0 & \frac{\Delta t}{2L} & 0 & 0 \\ -\frac{2C}{\Delta t} & 0 & 0 & \frac{2C}{\Delta t} & 0 \\ 0 & 0 & 0 & 0 & \frac{1}{Z} \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ v_4(t) \\ v_5(t) \end{bmatrix} = \begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \\ i_4(t) \\ i_5(t) \end{bmatrix} - \begin{bmatrix} hist_{13}(t - \Delta t) + hist_{14}(t - \Delta t) + hist_1(t - \tau) \\ 0 \\ hist_{31}(t - \Delta t) \\ hist_{41}(t - \Delta t) \\ hist_5(t - \tau) \end{bmatrix}\tag{C.35}$$

Para cualquier tipo de red con  $N$  nodos, el sistema de  $n$ -ecuaciones lineales queda expresado por:

$$[G(\Delta t)] [v(t)] = [i(t)] - [hist(t - \Delta t, t - \tau)]\tag{C.36}$$

donde

$[G(\Delta t)]$  = matriz simétrica de conductancias nodal.

$[v(t)]$  = vector columna de voltajes en los nodos.

$[i(t)]$  = vector columna de fuentes de corrientes.

$[hist(t - \Delta t, t - \tau)]$  = vector columna de términos de historia.

De la ecuación (C.35) se observa que los elementos de conductancia de la línea de transmisión solo aparecen en la diagonal principal. En cambio los elementos resistivos, inductivos y capacitivos forman parte de la diagonal principal y de términos fuera de la diagonal. La formación de  $[G]$  sigue las reglas para formar la matriz de admitancia nodal en análisis de estado estable.

Si la red contiene fuentes de voltaje conectadas a tierra, la ecuación (C.36) puede ser particionada en una parte  $A$  con voltajes desconocidos y en una parte  $B$  con voltajes conocidos, entonces:

$$\begin{bmatrix} G_{AA}(\Delta t) & G_{AB}(\Delta t) \\ G_{BA}(\Delta t) & G_{BB}(\Delta t) \end{bmatrix} \begin{bmatrix} v_A(t) \\ v_B(t) \end{bmatrix} = \begin{bmatrix} i_A(t) \\ i_B(t) \end{bmatrix} - \begin{bmatrix} hist_A(t - \Delta t, t - \tau) \\ hist_B(t - \Delta t, t - \tau) \end{bmatrix} \quad (C.37)$$

Entonces los voltajes desconocidos se encuentran mediante la siguiente expresión:

$$[G_{AA}(\Delta t)] [v_A(t)] = [i_A(t)] - [hist_A(t - \Delta t, t - \tau)] - [G_{AB}(\Delta t)] [v_B(t)] \quad (C.38)$$

de tal forma, la ecuación (C.35) queda expresada como:

$$\begin{bmatrix} \frac{1}{R} + \frac{\Delta t}{2L} + \frac{2C}{\Delta t} + \frac{1}{Z} & -\frac{1}{R} & -\frac{\Delta t}{2L} & -\frac{2C}{\Delta t} \\ & -\frac{1}{R} & \frac{1}{R} & 0 \\ & -\frac{\Delta t}{2L} & 0 & \frac{\Delta t}{2L} \\ & -\frac{2C}{\Delta t} & 0 & 0 \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \\ v_4(t) \end{bmatrix} = \begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \\ i_4(t) \end{bmatrix} - \begin{bmatrix} hist_{13}(t - \Delta t) + hist_{14}(t - \Delta t) + hist_1(t - \tau) \\ 0 \\ hist_{31}(t - \Delta t) \\ hist_{41}(t - \Delta t) \end{bmatrix} \quad (C.39)$$

Una observación importante es que la matriz de conductancia  $[G_{AA}(\Delta t)]$  es simétrica y real. En caso que el incremento de tiempo  $\Delta t$  se considere a un valor fijo durante todo el intervalo de tiempo sobre el cual se efectúa el estudio, la matriz de conductancia será constante. En particular,  $[G_{AA}(\Delta t)]$  es estrictamente diagonal en sistemas donde los elementos concentrados están conectados desde un nodo a tierra o desde un nodo del subconjunto  $A$  a un nodo del subconjunto  $B$ . Esto debido a que las líneas de transmisión con parámetros distribuidos solo contribuyen con elementos diagonales.

### Solución computacional de la ecuación nodal de red

El análisis de un fenómeno transitorio en una red eléctrica utilizando el método de Bergeron se reduce a obtener la solución de la ecuación matricial (C.38) y a continuación reenumerada.

$$[G_{AA}(\Delta t)] [v_A(t)] = [i_A(t)] - [hist_A(t - \Delta t, t - \tau)] - [G_{AB}(\Delta t)] [v_B(t)] \quad (C.40)$$

La solución de la ecuación (C.40) en un programa de transitorios puede efectuarse de la siguiente manera:

Las matrices  $[G_{AA}(\Delta t)]$  y  $[G_{AB}(\Delta t)]$  son construidas y se efectúa la triangularización de  $[G_{AA}(\Delta t)]$  antes de que inicie el proceso iterativo. Para cada paso de tiempo, los vectores del lado derecho de la ecuación (C.40) son calculados y entonces el sistema de ecuaciones lineales es resuelto para  $[v_A(t)]$  utilizando la matriz de conductancia triangularizada. Debido a la poca conectividad existente entre los diferentes nodos que integran la red eléctrica, solo algunos elementos de la matriz  $[G_{AA}(\Delta t)]$  y  $[G_{AB}(\Delta t)]$  son diferentes de cero. De tal manera, esta esparsidad debe ser explotada en el proceso de solución utilizando técnicas de eliminación ordenada, reduciéndose el tiempo de cómputo y los requerimientos de memoria.

La utilización de la eliminación Gaussiana para la triangularización de la matriz  $[G_{AA}(\Delta t)]$  implica que este proceso se efectúe durante cada paso de tiempo seleccionado debido a que el lado derecho de la ecuación (C.40) cambia conforme transcurre el tiempo. La matriz  $[G_{AA}(\Delta t)]$  puede ser descompuesta en factores triangulares, tal que esta matriz descompuesta será constante durante todo el tiempo de cómputo. Al efectuarse la descomposición, se requiere una sustitución hacia adelante y una solución hacia atrás para obtener la solución de los voltajes que integran el vector  $[v_A(t)]$ . Los términos del lado derecho de la ecuación (C.40) deben ser calculados antes de efectuar la sustitución hacia adelante.

Aparentemente el algoritmo de solución está resuelto con lo anteriormente descrito, sin embargo aún se tienen problemas que resolver respecto a la formación de los vectores del lado derecho de la ecuación (C.40), entre ellos se tienen:

1. Contiene elementos que son funciones del tiempo  $t$ , estos son las fuentes de corriente y de voltaje conocidas.
2. Las fuentes de corriente equivalente de las cargas inductivas y capacitivas son función del tiempo  $(t - \Delta t)$ .
3. La fuente equivalente de la línea de transmisión con parámetros distribuidos es función del tiempo  $(t - \tau)$ .

Cada una de las fuentes de corriente mencionadas anteriormente se debe de ir determinando a medida que se avanza en el proceso iterativo, de manera que debe calcularse un término de historia y otro término en función de la corriente actual, que para el próximo

paso, pasa a ser el término de historia pasada. Sin embargo, existen términos con diferentes tiempos de referencia, por lo que se debe buscar el momento y lugar adecuado para localizar sus ecuaciones correspondientes; esto se logra en forma sistemática si se establecen las condiciones iniciales para cada una de las fuentes de corriente equivalente.

### Condiciones iniciales del proceso de solución

Cualquier simulación de un fenómeno transitorio que se analiza desde un tiempo inicial ( $t = 0$ ), hasta un tiempo final ( $t = t_{\max}$ ), requiere de la especificación de las condiciones de estado que existen en la red en el tiempo inicial ( $t = 0$ ). A continuación se determinan las condiciones iniciales de los diferentes elementos que conforman la red eléctrica y la relación que guardan entre si.

#### 1. Condiciones iniciales cero

Las condiciones iniciales iguales a cero son las más fáciles de implementar. Un simple ejemplo en el cual pueden ser manejadas estas condiciones es en el análisis de las ondas de voltaje y/o corriente generadas por maniobras de interruptores considerando al sistema atrás del interruptor como una fuente inductiva Figura C.2.

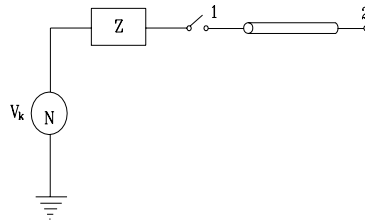


Figura C.2 Energización de una línea de transmisión desde una fuente inductiva.

### Condiciones iniciales en las ecuaciones de la línea de transmisión.

Las ecuaciones para la línea de transmisión con parámetros distribuidos son:

$$\begin{aligned} i_{mk}(t) &= \frac{1}{Z} v_m(t) + hist_m(t - \tau) \\ i_{km}(t) &= \frac{1}{Z} v_k(t) + hist_k(t - \tau) \end{aligned} \tag{C.41}$$

donde las fuentes de corriente equivalente  $hist_m$  y  $hist_k$ , son conocidas de la historia en el tiempo ( $t - \tau$ ), siendo estas:

$$\begin{aligned}
hist_m(t - \tau) &= -\frac{1}{Z}v_k(t - \tau) - i_{km}(t - \tau) \\
hist_k(t - \tau) &= -\frac{1}{Z}v_m(t - \tau) - i_{mk}(t - \tau)
\end{aligned}
\tag{C.42}$$

Del grupo de ecuaciones (C.41) y (C.42) se observa que la solución de una de ellas depende de la solución de la otra. Además se tiene una relación de términos en función del tiempo  $t$  y otros en función de la historia pasada  $t - \tau$  por lo que conviene establecer los siguientes períodos de análisis:

Período  $0 < t < \tau$

Al inicio del proceso no existen términos de historia, entonces para  $t = \Delta t$  estos términos son:

$$\begin{aligned}
hist_m(\Delta t - \tau) &= 0 \\
hist_k(\Delta t - \tau) &= 0
\end{aligned}
\tag{C.43}$$

tal que

$$\begin{aligned}
i_{mk}(\Delta t) &= \frac{1}{Z}v_m(\Delta t) \\
i_{km}(\Delta t) &= \frac{1}{Z}v_k(\Delta t)
\end{aligned}
\tag{C.44}$$

Para  $t = n\Delta t < \tau$ , siendo  $n = 1, 2, 3, \dots$ , se obtienen expresiones similares a (C.43) y (C.44). Lo anterior es debido a que la corriente  $i_{km}(n\Delta t)$  [ $i_{mk}(n\Delta t)$ ] es utilizada en el término de historia  $hist_k(n\Delta t - \tau)$  [ $hist_m(n\Delta t - \tau)$ ] cuando se está realizando el análisis para el tiempo  $(n+1)\Delta t$ ; puesto que  $i_{km}(n\Delta t) = v_k(n\Delta t)/Z$  [ $i_{mk}(n\Delta t) = v_m(n\Delta t)/Z$ ] el término de historia pasada  $hist_k(n\Delta t - \tau)$  [ $hist_m(n\Delta t - \tau)$ ] será cero.

Período  $\tau < t < t_{\max}$

Para  $t = \tau + \Delta t$ , los términos de la historia pasada son:

$$\begin{aligned}
hist_m(\Delta t) &= -\frac{1}{Z}v_k(\Delta t) - i_{km}(\Delta t) \\
hist_k(\Delta t) &= -\frac{1}{Z}v_m(\Delta t) - i_{mk}(\Delta t)
\end{aligned}
\tag{C.45}$$

Así los términos  $i_{km}(n\Delta t)$ ,  $i_{mk}(n\Delta t)$ ,  $v_k(n\Delta t)/Z$ ,  $v_m(n\Delta t)/Z$  que fueron los primeros obtenidos en el período pasado, se convierten en los primeros términos de historia para el período de tiempo actual. De las ecuaciones (C.41), se tiene:

$$\begin{aligned}
i_{mk}(\tau + \Delta t) &= \frac{1}{Z} v_m(\tau + \Delta t) + hist_m(\Delta t) \\
i_{km}(\tau + \Delta t) &= \frac{1}{Z} v_k(\tau + \Delta t) + hist_k(\Delta t)
\end{aligned}
\tag{C.46}$$

Las ecuaciones (C.46) tienen los componentes de historia que se determinaron por medio de las expresiones dadas en (C.45).

Es importante observar que en el proceso es necesario manejar las ecuaciones del extremo emisor y del extremo receptor debido a que se complementan mutuamente. Además se debe mantener en memoria un número de términos igual a la razón dada entre el tiempo de viaje de la onda y el incremento de tiempo ( $\tau/\Delta t$ ), el cual no es normalmente mayor de 10 términos. Esta lista se debe de ir actualizando conforme transcurre el tiempo en el proceso iterativo.

### **Condiciones iniciales para las fuentes de corriente equivalente de la carga inductiva.**

Las ecuaciones para la carga inductiva fueron anteriormente descritas, siendo estas:

$$i_{km}(t) = \frac{\Delta t}{2L} (v_k(t) - v_m(t)) + hist_{km}(t - \Delta t) \tag{C.47}$$

donde la corriente equivalente de la historia pasada es:

$$hist_{km}(t - \Delta t) = i_{km}(t - \Delta t) + \frac{\Delta t}{2L} (v_k(t - \Delta t) - v_m(t - \Delta t)) \tag{C.48}$$

De nueva cuenta se observa que una de las ecuaciones está en función de la otra y aparecen términos en función del tiempo ( $t$ ) y del tiempo ( $t-\Delta t$ ), lo que sugiere considerar los siguientes períodos:

Período  $0 < t < \Delta t$

Para  $t = \Delta t$  las ecuaciones (C.47) y (C.48) son:

$$hist_{km}(\Delta t - \Delta t) = 0 \tag{C.49}$$

$$i_{km}(\Delta t) = \frac{\Delta t}{2L} (v_k(\Delta t) - v_m(\Delta t)) \tag{C.50}$$

Período  $\Delta t < t < t_{\max}$

Para  $t = 2\Delta t$  las ecuaciones (C.47) y (C.48) son:

$$hist_{km}(\Delta t) = i_{km}(\Delta t) + \frac{\Delta t}{2L} (v_k(\Delta t) - v_m(\Delta t)) \tag{C.51}$$



$$i_{km}(2\Delta t) = \frac{\Delta t}{2L}(v_k(2\Delta t) - v_m(2\Delta t)) + hist_{km}(\Delta t) \quad (C.52)$$

El primer término de historia de este período esta en función de los valores de voltajes y corrientes calculados en el período pasado, así la componente  $i_{km}(\Delta t)$  contenida en la ecuación (C.51) fue calculada en el período pasado por la ecuación (C.50). Los términos de voltaje fueron también calculados en el período pasado por medio de eliminación Gaussiana o un proceso de descomposición factorial. De tal manera solo se requiere un término de la historia.

### Condiciones iniciales para las fuentes de corriente equivalente de la carga capacitiva.

Las ecuaciones para la carga capacitiva fueron anteriormente descritas, siendo estas:

$$i_{km}(t) = \frac{2C}{\Delta t}(v_k(t) - v_m(t)) + hist_{km}(t - \Delta t) \quad (C.53)$$

donde la corriente equivalente de la historia pasada es:

$$hist_{km}(t - \Delta t) = -i_{km}(t - \Delta t) - \frac{2C}{\Delta t}(v_k(t - \Delta t) - v_m(t - \Delta t)) \quad (C.54)$$

De nueva cuenta se observa que una de las ecuaciones está en función de la otra y aparecen términos en función del tiempo ( $t$ ) y del tiempo ( $t-\Delta t$ ), lo que sugiere considerar los siguientes períodos:

Período  $0 < t < \Delta t$

Para  $t = \Delta t$  las ecuaciones (C.53) y (C.54) son:

$$hist_{km}(\Delta t - \Delta t) = 0 \quad (C.55)$$

$$i_{km}(\Delta t) = \frac{2C}{\Delta t}(v_k(\Delta t) - v_m(\Delta t)) \quad (C.56)$$

Período  $\Delta t < t < t_{\max}$

Para  $t = 2\Delta t$  las ecuaciones (C.53) y (C.54) son:

$$hist_{km}(\Delta t) = -i_{km}(\Delta t) - \frac{2C}{\Delta t}(v_k(\Delta t) - v_m(\Delta t)) \quad (C.57)$$

$$i_{km}(2\Delta t) = \frac{2C}{\Delta t}(v_k(2\Delta t) - v_m(2\Delta t)) + hist_{km}(\Delta t) \quad (C.58)$$

De manera similar a las ecuaciones para la carga inductiva, solo se requiere un término de la historia.

### Condiciones iniciales de la fuente equivalente de corriente formada por el producto.

$$G_{AB}(t - \Delta t, t - \tau) v_B(t)$$

El vector de fuentes de voltajes conocidas es  $v_B(t)$ . De tal manera, para cada tiempo  $t$  en el que sea requerido, el producto  $G_{AB}(t - \Delta t, t - \tau) v_B(t)$  son fuentes de corriente equivalentes conocidas.

### 2 Condiciones iniciales de corriente directa

El análisis de un fenómeno transitorio ocasionado por maniobras de interruptores, considerando el sistema de potencia como una fuente inductiva vista desde el nodo donde se efectúa la maniobra, puede ser más complicado si existe carga atrapada (voltajes de corriente directa entre las capacitancias de la línea de transmisión) previo al recierre del circuito interruptor. En este tipo de fenómenos las condiciones iniciales de corriente directa son de importancia práctica debido a que las cargas atrapadas incrementan el nivel de sobrevoltaje producido por la maniobra del interruptor. Lo anterior puede ser fácilmente manejado al igualar los términos de historia  $hist_k$  e  $hist_m$  de la ecuación (C.42) a  $-V_{dc}/Z$  para  $t = 0, -\Delta t, -2\Delta t, \dots, -\tau$ , siendo  $V_{dc}$  el voltaje de corriente directa en la capacitancia de la línea.

### 3. Condiciones iniciales de corriente alterna en estado estable lineal

En algunos casos se requiere efectuar el análisis de un fenómeno transitorio desde condiciones de estado estable a una frecuencia dada (50 Hz ó 60 Hz).

Para obtener la condición del sistema en un estado estable lineal a una frecuencia dada. Es importante señalar que el programa que se utilice para obtener la solución en estado estable debe de estar realizado en base a modelos de componentes de la red similares a los utilizados por el programa de transitorios.

La solución de estado estable a una frecuencia dada puede ser explicada para el caso de la Figura C.1. Usando las ecuaciones nodales, la ecuación (C.1) ahora se escribe

$$I_{12} + I_{13} + I_{14} + I_{15} = I_1 \quad (C.59)$$

donde las corrientes  $I$  son ahora cantidades fasoriales complejas  $|I| * e^{j\alpha}$ . Para los elementos de rama se tiene:

Para la resistencia:

$$I_{12} = \frac{1}{R}(V_1 - V_2) \quad (C.60)$$

Para la inductancia:

$$I_{13} = \frac{1}{j\omega L}(V_1 - V_3) \quad (C.61)$$

Para la capacitancia:

$$I_{14} = j\omega C(V_1 - V_4) \quad (C.62)$$

Para una línea de transmisión con parámetros distribuidos  $R'$ ,  $L'$ ,  $G'$  y  $C'$ , la solución en estado estable es:

$$\begin{bmatrix} I_{15} \\ I_{51} \end{bmatrix} = \begin{bmatrix} Y_{serie} + \frac{1}{2}Y_{derivación} & -Y_{serie} \\ -Y_{serie} & Y_{serie} + \frac{1}{2}Y_{derivación} \end{bmatrix} \begin{bmatrix} V_1 \\ V_5 \end{bmatrix} \quad (C.63)$$

si la representación del circuito  $\pi$  equivalente de la Figura C.3 se utiliza, con

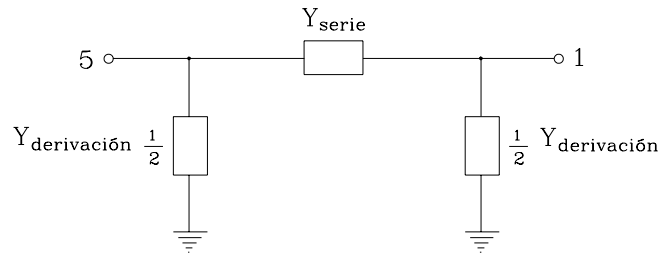


Figura C.3 Circuito equivalente  $\pi$  para la solución de estado estable de la línea de transmisión.

$$Y_{serie} = \frac{1}{Z_{serie}}$$

$$Z_{series} = l(R' + j\omega L') \frac{\sinh(\gamma l)}{\gamma l} \quad (C.64)$$

$$\frac{1}{2}Y_{derivación} = \frac{1}{2}(G' + j\omega C') \frac{\tanh\left(\frac{\gamma l}{2}\right)}{\frac{\gamma l}{2}}$$

y a veces igualmente útil,

$$Y_{serie} + \frac{1}{2}Y_{derivación} = \cosh(\gamma l)Y_{serie} \quad (C.65)$$

donde  $\gamma$  es la constante de la propagación,

$$\gamma = \sqrt{(R' + j\omega L')(G' + j\omega C')} \quad (C.66)$$

En base al circuito equivalente de la Figura C.3, la ecuación de rama para la línea de transmisión es:

$$I_{15} = (Y_{serie} + \frac{1}{2}Y_{derivación})V_1 - Y_{serie}V_5 \quad (C.67)$$

Ahora, nosotros podemos escribir la ecuación para el nodo 1, sustituyendo las ecuaciones (C.60), (C.61), (C.62) y (C.67) en la ecuación (C.59) y efectuando operaciones aritméticas se obtiene:

$$\left( \frac{1}{R} + \frac{1}{j\omega L} + j\omega C + Y_{serie} + \frac{1}{2}Y_{derivación} \right) V_1 - \frac{1}{R}V_2 - \frac{1}{j\omega L}V_3 - j\omega CV_4 - Y_{serie}V_5 = I_1 \quad (C.68)$$

Para una red de  $N$ - nodos, el sistema de  $n$ -ecuaciones lineales queda expresado por:

$$[Y] [V] = [I] \quad (C.69)$$

con

$[Y]$  = matriz simétrica de admitancia nodal.

$[V]$  = vector columna de voltajes en los nodos.

$[I]$  = vector columna de fuentes de corrientes.

Si la red contiene fuentes de voltaje conectadas a tierra, la ecuación (C.69) puede ser particionada en una parte "A" con voltajes desconocidos y en una parte "B" con voltajes conocidos, entonces:

$$\begin{bmatrix} Y_{AA} & Y_{AB} \\ Y_{BA} & Y_{BB} \end{bmatrix} \begin{bmatrix} V_A \\ V_B \end{bmatrix} = \begin{bmatrix} I_A \\ I_B \end{bmatrix} \quad (C.70)$$

Entonces los voltajes desconocidos se encuentran mediante la siguiente expresión:

$$[Y_{AA}] [V_A] = [I_A(t)] - [Y_{AB}] [V_B] \quad (C.71)$$

Los voltajes desconocidos son encontrados al resolver el sistema lineal de ecuaciones algebraicas. El hecho de llevar el término  $[Y_{AB}][V_B]$  del lado izquierdo, en la ecuación (C.70), al lado derecho, en la ecuación (C.71), es una generalización de convertir circuitos equivalentes de Thevenin (vector de voltajes  $[V_B]$  atrás de la matriz de admitancias  $[Y_{AB}]$ ) a circuitos equivalentes de Norton (vector de corrientes  $[Y_{AB}][V_B]$  en paralelo con la matriz de admitancia  $[Y_{AB}]$ ).

Una vez que se conocen los voltajes nodales, fácilmente se encuentran las corrientes en las ramas. La matriz de admitancia de la ecuación (C.71) tiene elementos complejos, y los voltajes y corrientes son fasores. Las condiciones iniciales  $i(0)$  y  $v(0)$  en los elementos concentrados son simplemente la parte real de sus respectivos valores fasoriales. Para las líneas con parámetros distribuidos, los términos de historia son primeramente calculados en forma de valores fasoriales  $I|e^{j\beta}$ , y los valores que son almacenados en los vectores de historia son encontrados de  $I_{\max} \cos(\omega t + \beta)$ , con  $t=0, -\Delta t, -2\Delta t, \dots, -\tau$ .

La aplicación del método anteriormente descrito para la obtención de condiciones iniciales en estado estable es admisible debido a que el análisis de fenómenos transitorios producidos por maniobra de interruptores sobre líneas de transmisión no está influenciado por los flujos de potencia dentro de la red, siempre y cuando la red no contenga elementos no lineales. Los únicos parámetros importantes son:

1. La impedancia (dependiente de la frecuencia) de la red vista desde el nodo en el cual se efectúa la maniobra.
2. El voltaje establecido en el bus desde el cual se obtiene el equivalente.

---

# APÉNDICE D

## ARCHIVO DE DATOS

---

### LISTA DE CODIGO EN ATP-EMTP

#### 1. Modelo del Controlador Serie Estático Síncrono con el inversor de 12 pulsos

```
BEGIN NEW DATA CASE
$WIDTH,80
C FILE NAME = SSSC12.DAT (12-Pulse harmonic neutralized
C CSES). SSSC Static Synchronous Series Compensator
C
C *****
C MISC_CARD
C ..... Miscellaneous data .....
C 34567890123456789012345678901234567890123456789012345678901234567890
C DeltaT|TMax |XOpt |COpt |Epsilon|TolMat|TStart|
C 50.E-6 0.2
16.666-6600.00-3
C IOU|IPlot|IDoubl|KSSOut|MaxOut|Ipun|MemSav|ICat|NEnerg|IPrSu
  40 10 0 0 0 0 1 0
C
TACS HYBRID
99CRD = 180 / PI
99CDR = 1 / CRD
99TWOPI = 2.0 * PI
99K11 = SIN(120 * CDR) / SIN(60 * CDR) / 2
99K12 = SIN(0 * CDR) / SIN(60 * CDR) / 2
99K21 = SIN(90 * CDR) / SIN(60 * CDR) / 2
99K22 = SIN(30 * CDR) / SIN(60 * CDR) / 2
99KpseV = 10
99KiseV = 100
99Kinv = 2 / PI
99KPLLp = 100000.0
99KPLLl = 250000.0
99MS2 = 0
99Cap = 42.0E-6
C Inverter base
99Vbasei = 112676.528
99Ibasei = 946.662704
C Inputs from the measuring switches
90BUS01A
90BUS01B
90BUS01C
90VRA
90VRB
90VRC
91INV02A
91INV02B
91INV02C
91BUS03A
91BUS03B
91BUS03C
C BUS1 voltage computation
99v1a = BUS01A
99v1b = BUS01B
99v1c = BUS01C
99v1apu = v1a / vbasei
99v1bpu = v1b / vbasei
```

```

99v1cpu = v1c / vbasei
99v1ds = v1apu
99v1qs = -(v1apu + 2.0 * v1cpu) / SQRT(3)
99v1d = v1ds * COSPLL + v1qs * SINPLL
99v1q = -v1ds * SINPLL + v1qs * COSPLL
C Phase-Lock-Loop (locked to phase a voltage of BUS1)
99PLLerr = v1qs * COS(PLLi) - v1ds * SIN(PLLi)
99PLLint = PLLini + PLLerr * DELTAT
99PLLdot = KPLLi * PLLint + KPLlp * PLLerr
  PLLini + PLLint
99PLL = PLLi + PLLdot * DELTAT
  PLLi + PLL
99theta = PLL - TWOPI * TRUNC(PLL/TWOPI)
99COSPLL = COS(theta)
99SINPLL = SIN(theta)
C - Receiving-end voltage computation
99vrapu = VRA / Vbasei
99vrbpv = VRB / Vbasei
99vrcpu = VRC / Vbasei
C Line current computation
99ia = BUS03A
99ib = BUS03B
99ic = BUS03C
99iapu = ia / Ibasei
99ibpu = ib / Ibasei
99icpu = ic / Ibasei
99ids = iapu
99iqs = -(iapu + 2.0 * icpu) / SQRT(3)
99id = ids * COSPLL + iqs * SINPLL
99iq = -ids * SINPLL + iqs * COSPLL
99iamp1 = SQRT( id * id + iq * iq)
99thetaa = ATAN( iq / (id + 1.1E-10) )
99thetab = thetaa + PI*((id .LT. 0.0) .AND. (iq .GE. 0.0))
99thetir = thetab - PI*((id .LT. 0.0) .AND. (iq .LT. 0.0))
C Series inverter current computation
99i2a = INV02A
99i2b = INV02B
99i2c = INV02C
99i2apu = i2a / Ibasei
99i2bpu = i2b / Ibasei
99i2cpu = i2c / Ibasei
C Setting the SSSC reactance demand
99Xqcm1 = 0.15 * (TIMEX .GE. 0.001)
99Xqcm2 = 0.15 * (TIMEX .GE. 0.175)
99Xqcm3 = 0.4 * (TIMEX .GE. 0.30)
99Xqcm4 = 0.05 * (TIMEX .GE. 0.45)
99Xqcmd = -Xqcm1 - Xqcm2 + Xqcm3 + Xqcm4
  1Xqref +Xqcmd
  1.0
  1.0 0.0020
C Inverter angle calculation
99Vqcmd = Xqref * iamp1
99VDCcmd = ABS(Vqcmd / Kinv)
99VDCsgn = SIGN(Vqcmd)
99VDCerr = (VDCcmd - vDCpu) * ES2
99VDCint = VDCini + VDCerr * DELTAT
  VDCini +VDCint
99beta = VDCsgn * (KpseV * VDCerr + KiseV * VDCint)
99thetai = theta + thetir
99thetav = thetai - VDCsgn * Pi / 2
99tha2 = thetav + PI / 2 + beta
C This addition of PI/2 is because the gating signals are
C sine reference and the Phase-Lock-Loop signals are
C cosine reference.
99theta2 = tha2 + TWOPI * (tha2 .LT. 0.0) - TWOPI * (tha2 .GE. TWOPI)
C Inverter Pole Voltages
99an2A1 = theta2
99ang2A1 = an2A1 + TWOPI * (an2A1 .LT. 0.0) - TWOPI * (an2A1 .GE. TWOPI)
99a12A1 = (ang2A1 .GE. 0) .AND. ((ang2A1 - PI) .LT. 0)
99be2A1 = ((ang2A1 - PI) .GE. 0) .AND. ((ang2A1 - TWOPI) .LT. 0)
99v2A1 = vDC / 2 * a12A1 - vDC / 2 * be2A1
99an2B1 = theta2 - 120.0 * CDR

```

```

99ang2B1 = an2B1 + TWOPI * (an2B1 .LT. 0.0) - TWOPI * (an2B1 .GE. TWOPI)
99a12B1 = (ang2B1 .GE. 0) .AND. ((ang2B1 - PI) .LT. 0)
99be2B1 = ((ang2B1 - PI) .GE. 0) .AND. ((ang2B1 - TWOPI) .LT. 0)
99v2B1 = vDC / 2 * a12B1 - vDC / 2 * be2B1
99an2C1 = theta2 - 240.0 * CDR
99ang2C1 = an2C1 + TWOPI * (an2C1 .LT. 0.0) - TWOPI * (an2C1 .GE. TWOPI)
99a12C1 = (ang2C1 .GE. 0) .AND. ((ang2C1 - PI) .LT. 0)
99be2C1 = ((ang2C1 - PI) .GE. 0) .AND. ((ang2C1 - TWOPI) .LT. 0)
99v2C1 = vDC / 2 * a12C1 - vDC / 2 * be2C1
99an2D1 = theta2 - 30 * CDR
99ang2D1 = an2D1 + TWOPI * (an2D1 .LT. 0.0) - TWOPI * (an2D1 .GE. TWOPI)
99a12D1 = (ang2D1 .GE. 0) .AND. ((ang2D1 - PI) .LT. 0)
99be2D1 = ((ang2D1 - PI) .GE. 0) .AND. ((ang2D1 - TWOPI) .LT. 0)
99v2D1 = vDC / 2 * a12D1 - vDC / 2 * be2D1
99an2E1 = theta2 - 150 * CDR
99ang2E1 = an2E1 + TWOPI * (an2E1 .LT. 0.0) - TWOPI * (an2E1 .GE. TWOPI)
99a12E1 = (ang2E1 .GE. 0) .AND. ((ang2E1 - PI) .LT. 0)
99be2E1 = ((ang2E1 - PI) .GE. 0) .AND. ((ang2E1 - TWOPI) .LT. 0)
99v2E1 = vDC / 2 * a12E1 - vDC / 2 * be2E1
99an2F1 = theta2 - 270 * CDR
99ang2F1 = an2F1 + TWOPI * (an2F1 .LT. 0.0) - TWOPI * (an2F1 .GE. TWOPI)
99a12F1 = (ang2F1 .GE. 0) .AND. ((ang2F1 - PI) .LT. 0)
99be2F1 = ((ang2F1 - PI) .GE. 0) .AND. ((ang2F1 - TWOPI) .LT. 0)
99v2F1 = vDC / 2 * a12F1 - vDC / 2 * be2F1

```

C Magnetic Circuit

C Note: The signals vX, vY and vZ in Fig. 7 are renamed as C e2a, e2b and e2c, respectively.

```

99v2N11 = (v2A1 + v2B1 + v2C1) / 3
99v2A1N = v2A1 - v2N11
99v2B1N = v2B1 - v2N11
99v2C1N = v2C1 - v2N11
99v2N21 = (v2D1 + v2E1 + v2F1) / 3
99v2D1N = v2D1 - v2N21
99v2E1N = v2E1 - v2N21
99v2F1N = v2F1 - v2N21
99e2a1 = K11 * v2A1N + K12 * v2B1N
99e2b1 = K11 * v2B1N + K12 * v2C1N
99e2c1 = K11 * v2C1N + K12 * v2A1N
99e2a2 = K21 * v2D1N + K22 * v2F1N
99e2b2 = K21 * v2E1N + K22 * v2D1N
99e2c2 = K21 * v2F1N + K22 * v2E1N

```

C VS12 output voltage

```

99e2a = e2a1 + e2a2
99e2b = e2b1 + e2b2
99e2c = e2c1 + e2c2
99e2apu = e2a / Vbasei
99e2bpu = e2b / Vbasei
99e2cpu = e2c / Vbasei

```

C DC link capacitor voltage calculation

```

99Pin2 = e2a * i2a + e2b * i2b + e2c * i2c
99iDC2 = (Pin2 / (vDCpu + 1.0E-8) / Vbasei) * ES2
99DvDCpu = iDC2 / Cap / Vbasei
1vDCpu +DvDCpu 1.00.0001 1.00
1.0
0.0 1.0

```

```
99vDC = vDCpu * Vbasei
```

C Receiveing-end power calculation

```

99Pqpu = (vrapu*iapu + vrbpu*ibpu + vrcpu*icpu) / 1.5
99Qqpu = (vrapu*icpu - vrcpu*iapu) * SQRT(3) / 1.5

```

C Setting up the electronic switches

```

99ES22 = 0
99ES2 = .NOT. ES22

```

C TACS output

```

33vDCpu e2apu e2bpu e2cpu iapu Xqref Pqpu Qqpu
33i2apu i2bpu i2cpu

```

```

BLANK RECORD ENDING TACS
VSA BUS01A 1.0053 19.73
VSB BUS01BVSA BUS01A
VSC BUS01CVSA BUS01A
BUS03AVRA 3.0159 59.19
BUS03BVRB BUS03AVRA
BUS03CVRC BUS03AVRA

```



```

e2a e22a      1.00+8
e2b e22b      1.00+8
e2c e22c      1.00+8
e22a          1.00+8
e22b          1.00+8
e22c          1.00+8
TRANSFORMER          T2A
  9999
1INV02A          0.892723.679 1.0
2BUS01ABUS02A    0.892723.679 1.0
TRANSFORMER          T2B
  9999
1INV02B          0.892723.679 1.0
2BUS01BBUS02B    0.892723.679 1.0
TRANSFORMER          T2C
  9999
1INV02C          0.892723.679 1.0
2BUS01CBUS02C    0.892723.679 1.0
BLANK RECORD ENDING BRANCHES
BUS02ABUS03A          MEASURING
BUS02BBUS03B          MEASURING
BUS02CBUS03C          MEASURING
INV02Ae22a           MEASURING
INV02Be22b           MEASURING
INV02Ce22c           MEASURING
13e2a e22a           ES2
13e2b e22b           ES2
13e2c e22c           ES2
13e22a              CLOSED ES22
13e22b              CLOSED ES22
13e22c              CLOSED ES22
13BUS01ABUS02A          MS2
13BUS01BBUS02B          MS2
13BUS01CBUS02C          MS2
BLANK RECORD ENDING SWITCHES
60e2a
60e2b
60e2c
14VSA 112676.528 60.00 0.00 -1.0E-03 9999.
14VSB 112676.528 60.00 -120.00 -1.0E-03 9999.
14VSC 112676.528 60.00 120.00 -1.0E-03 9999.
14VRA 112676.528 60.00 -30.00 -1.0E-03 9999.
14VRB 112676.528 60.00 -150.00 -1.0E-03 9999.
14VRC 112676.528 60.00 90.00 -1.0E-03 9999.
BLANK RECORD ENDING SOURCES
BLANK RECORD ENDING NODE VOLTAGE OUTPUT
BLANK RECORD ENDING PLOT
BEGIN NEW DATA CASE
BLANK RECORD ENDING ALL DATA CASES

```

## 2. Modelo del Controlador Serie Estático Síncrono con el inversor de 48 pulsos

```

BEGIN NEW DATA CASE
$WIDTH,80
C FILE NAME = SSSC48.DAT (48-Pulse harmonic neutralized
C CSES). SSSC Static Synchronous Series Compensator
C
C *****
C MISC_CARD
C ..... Miscellaneous data .....
C 34567890123456789012345678901234567890123456789012345678901234567890
C DeltaT| TMax | XOpt | COpt | Espiln | TolMat | TStart |
C 50.E-6 0.2
16.666-6600.00-3
C IOU| IPlot | IDoubl | KSSOut | MaxOut | Ipun | MemSav | ICat | NEnerg | IPrSu
  40 10 0 0 0 0 1 0
C
TACS HYBRID

```

```

99CRD = 180 / PI
99CDR = 1 / CRD
99TWOPI = 2.0 * PI
99K11 = SIN(93.75 * CDR) / SIN(60 * CDR) / 8
99K14 = SIN(26.25 * CDR) / SIN(60 * CDR) / 8
99K41 = SIN(116.25 * CDR) / SIN(60 * CDR) / 8
99K44 = SIN(3.75 * CDR) / SIN(60 * CDR) / 8
99K22 = SIN(108.75 * CDR) / SIN(60 * CDR) / 8
99K23 = SIN(11.25 * CDR) / SIN(60 * CDR) / 8
99K32 = SIN(101.25 * CDR) / SIN(60 * CDR) / 8
99K33 = SIN(18.75 * CDR) / SIN(60 * CDR) / 8
99KpseV = 10
99KiseV = 100
99Kinv = 2 / PI
99KPLLp = 100000.0
99KPLLl = 250000.0
99MS2 = 0
99Cap = 42.0E-6
C Inverter base
99Vbasei = 112676.528
99Ibasei = 946.662704
C Inputs from the measuring switches
90BUS01A
90BUS01B
90BUS01C
90VRA
90VRB
90VRC
91INV02A
91INV02B
91INV02C
91BUS03A
91BUS03B
91BUS03C
C BUS1 voltage computation
99v1a = BUS01A
99v1b = BUS01B
99v1c = BUS01C
99v1apu = v1a / vbasei
99v1bpu = v1b / vbasei
99v1cpu = v1c / vbasei
99v1ds = v1apu
99v1qs = -(v1apu + 2.0 * v1cpu) / SQRT(3)
99v1d = v1ds * COSPLL + v1qs * SINPLL
99v1q = -v1ds * SINPLL + v1qs * COSPLL
C Phase-Lock-Loop (locked to phase a voltage of BUS1)
99PLLerr = v1qs * COS(PLLi) - v1ds * SIN(PLLi)
99PLLint = PLLini + PLLerr * DELTAT
99PLLdot = KPLLi * PLLint + KPLLp * PLLerr
          PLLini + PLLint
99PLL = PLLi + PLLdot * DELTAT
          PLLi + PLL
99theta = PLL - TWOPI * TRUNC(PLL/TWOPI)
99COSPLL = COS(theta)
99SINPLL = SIN(theta)
C - Receiving-end voltage computation
99vrapu = VRA / Vbasei
99vrbpu = VRB / Vbasei
99vrcpu = VRC / Vbasei
C Line current computation
99ia = BUS03A
99ib = BUS03B
99ic = BUS03C
99iapu = ia / Ibasei
99ibpu = ib / Ibasei
99icpu = ic / Ibasei
99ids = iapu
99iqs = -(iapu + 2.0 * icpu) / SQRT(3)
99id = ids * COSPLL + iqs * SINPLL
99iq = -ids * SINPLL + iqs * COSPLL
99iamp1 = SQRT(id * id + iq * iq)
99thetaa = ATAN(iq / (id + 1.1E-10))

```

```

99thetab =theta + PI*((id .LT. 0.0) .AND. (iq .GE. 0.0))
99thetir =theta - PI*((id .LT. 0.0) .AND. (iq .LT. 0.0))
C Series inverter current computation
99i2a = INV02A
99i2b = INV02B
99i2c = INV02C
99i2apu = i2a / Ibasei
99i2bpu = i2b / Ibasei
99i2cpu = i2c / Ibasei
C Setting the SSSC reactance demand
99Xqcm1 = 0.15 * (TIMEX .GE. 0.001)
99Xqcm2 = 0.15 * (TIMEX .GE. 0.175)
99Xqcm3 = 0.4 * (TIMEX .GE. 0.30)
99Xqcm4 = 0.05 * (TIMEX .GE. 0.45)
99Xqcmd = - Xqcm1 - Xqcm2 + Xqcm3 + Xqcm4
1Xqref +Xqcmd
1.0
1.0 0.0020
C Inverter angle calculation
99Vqcmd = Xqref * iamp1
99VDCcmd = ABS(Vqcmd / KinV)
99VDCsgn = SIGN(Vqcmd)
99VDCerr = (VDCcmd - vDCpu) * ES2
99VDCint = VDCini + VDCerr * DELTAT
VDCini +VDCint
99beta = VDCsgn * (KpseV * VDCerr + KiseV * VDCint)
99thetai = theta + thetir
99thetav = thetai - VDCsgn * Pi / 2
99tha2 = thetav + PI / 2 + beta
C This addition of PI/2 is because the gating signals are
C sine reference and the Phase-Lock-Loop signals are
C cosine reference.
99theta2 = tha2 + TWOPI * (tha2 .LT. 0.0) - TWOPI * (tha2 .GE. TWOPI)
C Inverter Pole Voltages
99an2A1 = theta2 + 26.25 * CDR
99ang2A1 = an2A1 + TWOPI * (an2A1 .LT. 0.0) - TWOPI * (an2A1 .GE. TWOPI)
99a12A1 = (ang2A1 .GE. 0) .AND. ((ang2A1 - PI) .LT. 0)
99be2A1 = ((ang2A1 - PI) .GE. 0) .AND. ((ang2A1 - TWOPI) .LT. 0)
99v2A1 = vDC / 2 * a12A1 - vDC / 2 * be2A1
99an2B1 = theta2 + (-120.0 + 26.25) * CDR
99ang2B1 = an2B1 + TWOPI * (an2B1 .LT. 0.0) - TWOPI * (an2B1 .GE. TWOPI)
99a12B1 = (ang2B1 .GE. 0) .AND. ((ang2B1 - PI) .LT. 0)
99be2B1 = ((ang2B1 - PI) .GE. 0) .AND. ((ang2B1 - TWOPI) .LT. 0)
99v2B1 = vDC / 2 * a12B1 - vDC / 2 * be2B1
99an2C1 = theta2 + (-240.0 + 26.25) * CDR
99ang2C1 = an2C1 + TWOPI * (an2C1 .LT. 0.0) - TWOPI * (an2C1 .GE. TWOPI)
99a12C1 = (ang2C1 .GE. 0) .AND. ((ang2C1 - PI) .LT. 0)
99be2C1 = ((ang2C1 - PI) .GE. 0) .AND. ((ang2C1 - TWOPI) .LT. 0)
99v2C1 = vDC / 2 * a12C1 - vDC / 2 * be2C1
99an2A2 = theta2 + 18.75 * CDR
99ang2A2 = an2A2 + TWOPI * (an2A2 .LT. 0.0) - TWOPI * (an2A2 .GE. TWOPI)
99a12A2 = (ang2A2 .GE. 0) .AND. ((ang2A2 - PI) .LT. 0)
99be2A2 = ((ang2A2 - PI) .GE. 0) .AND. ((ang2A2 - TWOPI) .LT. 0)
99v2A2 = vDC / 2 * a12A2 - vDC / 2 * be2A2
99an2B2 = theta2 + (-120.0 + 18.75) * CDR
99ang2B2 = an2B2 + TWOPI * (an2B2 .LT. 0.0) - TWOPI * (an2B2 .GE. TWOPI)
99a12B2 = (ang2B2 .GE. 0) .AND. ((ang2B2 - PI) .LT. 0)
99be2B2 = ((ang2B2 - PI) .GE. 0) .AND. ((ang2B2 - TWOPI) .LT. 0)
99v2B2 = vDC / 2 * a12B2 - vDC / 2 * be2B2
99an2C2 = theta2 + (-240.0 + 18.75) * CDR
99ang2C2 = an2C2 + TWOPI * (an2C2 .LT. 0.0) - TWOPI * (an2C2 .GE. TWOPI)
99a12C2 = (ang2C2 .GE. 0) .AND. ((ang2C2 - PI) .LT. 0)
99be2C2 = ((ang2C2 - PI) .GE. 0) .AND. ((ang2C2 - TWOPI) .LT. 0)
99v2C2 = vDC / 2 * a12C2 - vDC / 2 * be2C2
99an2A3 = theta2 + 11.25 * CDR
99ang2A3 = an2A3 + TWOPI * (an2A3 .LT. 0.0) - TWOPI * (an2A3 .GE. TWOPI)
99a12A3 = (ang2A3 .GE. 0) .AND. ((ang2A3 - PI) .LT. 0)
99be2A3 = ((ang2A3 - PI) .GE. 0) .AND. ((ang2A3 - TWOPI) .LT. 0)
99v2A3 = vDC / 2 * a12A3 - vDC / 2 * be2A3
99an2B3 = theta2 + (-120.0 + 11.25) * CDR
99ang2B3 = an2B3 + TWOPI * (an2B3 .LT. 0.0) - TWOPI * (an2B3 .GE. TWOPI)
99a12B3 = (ang2B3 .GE. 0) .AND. ((ang2B3 - PI) .LT. 0)

```

99be2B3 = ((ang2B3 - PI) .GE. 0) .AND. ((ang2B3 - TWOPI) .LT. 0)  
99v2B3 = vDC / 2 \* a12B3 - vDC / 2 \* be2B3  
99an2C3 = theta2 + (-240.0 + 11.25) \* CDR  
99ang2C3 = an2C3 + TWOPI \* (an2C3 .LT. 0.0) - TWOPI \* (an2C3 .GE. TWOPI)  
99a12C3 = (ang2C3 .GE. 0) .AND. ((ang2C3 - PI) .LT. 0)  
99be2C3 = ((ang2C3 - PI) .GE. 0) .AND. ((ang2C3 - TWOPI) .LT. 0)  
99v2C3 = vDC / 2 \* a12C3 - vDC / 2 \* be2C3  
99an2A4 = theta2 + 3.75 \* CDR  
99ang2A4 = an2A4 + TWOPI \* (an2A4 .LT. 0.0) - TWOPI \* (an2A4 .GE. TWOPI)  
99a12A4 = (ang2A4 .GE. 0) .AND. ((ang2A4 - PI) .LT. 0)  
99be2A4 = ((ang2A4 - PI) .GE. 0) .AND. ((ang2A4 - TWOPI) .LT. 0)  
99v2A4 = vDC / 2 \* a12A4 - vDC / 2 \* be2A4  
99an2B4 = theta2 + (-120.0 + 3.75) \* CDR  
99ang2B4 = an2B4 + TWOPI \* (an2B4 .LT. 0.0) - TWOPI \* (an2B4 .GE. TWOPI)  
99a12B4 = (ang2B4 .GE. 0) .AND. ((ang2B4 - PI) .LT. 0)  
99be2B4 = ((ang2B4 - PI) .GE. 0) .AND. ((ang2B4 - TWOPI) .LT. 0)  
99v2B4 = vDC / 2 \* a12B4 - vDC / 2 \* be2B4  
99an2C4 = theta2 + (-240.0 + 3.75) \* CDR  
99ang2C4 = an2C4 + TWOPI \* (an2C4 .LT. 0.0) - TWOPI \* (an2C4 .GE. TWOPI)  
99a12C4 = (ang2C4 .GE. 0) .AND. ((ang2C4 - PI) .LT. 0)  
99be2C4 = ((ang2C4 - PI) .GE. 0) .AND. ((ang2C4 - TWOPI) .LT. 0)  
99v2C4 = vDC / 2 \* a12C4 - vDC / 2 \* be2C4  
99an2D1 = theta2 + (-30 + 26.25) \* CDR  
99ang2D1 = an2D1 + TWOPI \* (an2D1 .LT. 0.0) - TWOPI \* (an2D1 .GE. TWOPI)  
99a12D1 = (ang2D1 .GE. 0) .AND. ((ang2D1 - PI) .LT. 0)  
99be2D1 = ((ang2D1 - PI) .GE. 0) .AND. ((ang2D1 - TWOPI) .LT. 0)  
99v2D1 = vDC / 2 \* a12D1 - vDC / 2 \* be2D1  
99an2E1 = theta2 + (-150 + 26.25) \* CDR  
99ang2E1 = an2E1 + TWOPI \* (an2E1 .LT. 0.0) - TWOPI \* (an2E1 .GE. TWOPI)  
99a12E1 = (ang2E1 .GE. 0) .AND. ((ang2E1 - PI) .LT. 0)  
99be2E1 = ((ang2E1 - PI) .GE. 0) .AND. ((ang2E1 - TWOPI) .LT. 0)  
99v2E1 = vDC / 2 \* a12E1 - vDC / 2 \* be2E1  
99an2F1 = theta2 + (-270 + 26.25) \* CDR  
99ang2F1 = an2F1 + TWOPI \* (an2F1 .LT. 0.0) - TWOPI \* (an2F1 .GE. TWOPI)  
99a12F1 = (ang2F1 .GE. 0) .AND. ((ang2F1 - PI) .LT. 0)  
99be2F1 = ((ang2F1 - PI) .GE. 0) .AND. ((ang2F1 - TWOPI) .LT. 0)  
99v2F1 = vDC / 2 \* a12F1 - vDC / 2 \* be2F1  
99an2D2 = theta2 + (-30 + 18.75) \* CDR  
99ang2D2 = an2D2 + TWOPI \* (an2D2 .LT. 0.0) - TWOPI \* (an2D2 .GE. TWOPI)  
99a12D2 = (ang2D2 .GE. 0) .AND. ((ang2D2 - PI) .LT. 0)  
99be2D2 = ((ang2D2 - PI) .GE. 0) .AND. ((ang2D2 - TWOPI) .LT. 0)  
99v2D2 = vDC / 2 \* a12D2 - vDC / 2 \* be2D2  
99an2E2 = theta2 + (-150 + 18.75) \* CDR  
99ang2E2 = an2E2 + TWOPI \* (an2E2 .LT. 0.0) - TWOPI \* (an2E2 .GE. TWOPI)  
99a12E2 = (ang2E2 .GE. 0) .AND. ((ang2E2 - PI) .LT. 0)  
99be2E2 = ((ang2E2 - PI) .GE. 0) .AND. ((ang2E2 - TWOPI) .LT. 0)  
99v2E2 = vDC / 2 \* a12E2 - vDC / 2 \* be2E2  
99an2F2 = theta2 + (-270 + 18.75) \* CDR  
99ang2F2 = an2F2 + TWOPI \* (an2F2 .LT. 0.0) - TWOPI \* (an2F2 .GE. TWOPI)  
99a12F2 = (ang2F2 .GE. 0) .AND. ((ang2F2 - PI) .LT. 0)  
99be2F2 = ((ang2F2 - PI) .GE. 0) .AND. ((ang2F2 - TWOPI) .LT. 0)  
99v2F2 = vDC / 2 \* a12F2 - vDC / 2 \* be2F2  
99an2D3 = theta2 + (-30 + 11.25) \* CDR  
99ang2D3 = an2D3 + TWOPI \* (an2D3 .LT. 0.0) - TWOPI \* (an2D3 .GE. TWOPI)  
99a12D3 = (ang2D3 .GE. 0) .AND. ((ang2D3 - PI) .LT. 0)  
99be2D3 = ((ang2D3 - PI) .GE. 0) .AND. ((ang2D3 - TWOPI) .LT. 0)  
99v2D3 = vDC / 2 \* a12D3 - vDC / 2 \* be2D3  
99an2E3 = theta2 + (-150 + 11.25) \* CDR  
99ang2E3 = an2E3 + TWOPI \* (an2E3 .LT. 0.0) - TWOPI \* (an2E3 .GE. TWOPI)  
99a12E3 = (ang2E3 .GE. 0) .AND. ((ang2E3 - PI) .LT. 0)  
99be2E3 = ((ang2E3 - PI) .GE. 0) .AND. ((ang2E3 - TWOPI) .LT. 0)  
99v2E3 = vDC / 2 \* a12E3 - vDC / 2 \* be2E3  
99an2F3 = theta2 + (-270 + 11.25) \* CDR  
99ang2F3 = an2F3 + TWOPI \* (an2F3 .LT. 0.0) - TWOPI \* (an2F3 .GE. TWOPI)  
99a12F3 = (ang2F3 .GE. 0) .AND. ((ang2F3 - PI) .LT. 0)  
99be2F3 = ((ang2F3 - PI) .GE. 0) .AND. ((ang2F3 - TWOPI) .LT. 0)  
99v2F3 = vDC / 2 \* a12F3 - vDC / 2 \* be2F3  
99an2D4 = theta2 + (-30 + 3.75) \* CDR  
99ang2D4 = an2D4 + TWOPI \* (an2D4 .LT. 0.0) - TWOPI \* (an2D4 .GE. TWOPI)  
99a12D4 = (ang2D4 .GE. 0) .AND. ((ang2D4 - PI) .LT. 0)  
99be2D4 = ((ang2D4 - PI) .GE. 0) .AND. ((ang2D4 - TWOPI) .LT. 0)  
99v2D4 = vDC / 2 \* a12D4 - vDC / 2 \* be2D4

$99an2E4 = \theta_2 + (-150 + 3.75) * CDR$   
 $99ang2E4 = an2E4 + TWOPI * (an2E4 .LT. 0.0) - TWOPI * (an2E4 .GE. TWOPI)$   
 $99a12E4 = (ang2E4 .GE. 0) .AND. ((ang2E4 - PI) .LT. 0)$   
 $99be2E4 = ((ang2E4 - PI) .GE. 0) .AND. ((ang2E4 - TWOPI) .LT. 0)$   
 $99v2E4 = vDC / 2 * a12E4 - vDC / 2 * be2E4$   
 $99an2F4 = \theta_2 + (-270 + 3.75) * CDR$   
 $99ang2F4 = an2F4 + TWOPI * (an2F4 .LT. 0.0) - TWOPI * (an2F4 .GE. TWOPI)$   
 $99a12F4 = (ang2F4 .GE. 0) .AND. ((ang2F4 - PI) .LT. 0)$   
 $99be2F4 = ((ang2F4 - PI) .GE. 0) .AND. ((ang2F4 - TWOPI) .LT. 0)$   
 $99v2F4 = vDC / 2 * a12F4 - vDC / 2 * be2F4$   
 C Magnetic Circuit  
 C Note: The signals vX, vY and vZ in Fig. 7 are renamed as  
 C e2a, e2b and e2c, respectively.  
 $99v2N11 = (v2A1 + v2B1 + v2C1) / 3$   
 $99v2A1N = v2A1 - v2N11$   
 $99v2B1N = v2B1 - v2N11$   
 $99v2C1N = v2C1 - v2N11$   
 $99v2N12 = (v2A2 + v2B2 + v2C2) / 3$   
 $99v2A2N = v2A2 - v2N12$   
 $99v2B2N = v2B2 - v2N12$   
 $99v2C2N = v2C2 - v2N12$   
 $99v2N13 = (v2A3 + v2B3 + v2C3) / 3$   
 $99v2A3N = v2A3 - v2N13$   
 $99v2B3N = v2B3 - v2N13$   
 $99v2C3N = v2C3 - v2N13$   
 $99v2N14 = (v2A4 + v2B4 + v2C4) / 3$   
 $99v2A4N = v2A4 - v2N14$   
 $99v2B4N = v2B4 - v2N14$   
 $99v2C4N = v2C4 - v2N14$   
 $99v2N21 = (v2D1 + v2E1 + v2F1) / 3$   
 $99v2D1N = v2D1 - v2N21$   
 $99v2E1N = v2E1 - v2N21$   
 $99v2F1N = v2F1 - v2N21$   
 $99v2N22 = (v2D2 + v2E2 + v2F2) / 3$   
 $99v2D2N = v2D2 - v2N22$   
 $99v2E2N = v2E2 - v2N22$   
 $99v2F2N = v2F2 - v2N22$   
 $99v2N23 = (v2D3 + v2E3 + v2F3) / 3$   
 $99v2D3N = v2D3 - v2N23$   
 $99v2E3N = v2E3 - v2N23$   
 $99v2F3N = v2F3 - v2N23$   
 $99v2N24 = (v2D4 + v2E4 + v2F4) / 3$   
 $99v2D4N = v2D4 - v2N24$   
 $99v2E4N = v2E4 - v2N24$   
 $99v2F4N = v2F4 - v2N24$   
 $99e2a1 = K11 * v2A1N + K14 * v2B1N$   
 $99e2b1 = K11 * v2B1N + K14 * v2C1N$   
 $99e2c1 = K11 * v2C1N + K14 * v2A1N$   
 $99e2a2 = K41 * v2A4N + K44 * v2B4N$   
 $99e2b2 = K41 * v2B4N + K44 * v2C4N$   
 $99e2c2 = K41 * v2C4N + K44 * v2A4N$   
 $99e2a3 = K41 * v2D1N + K44 * v2F1N$   
 $99e2b3 = K41 * v2E1N + K44 * v2D1N$   
 $99e2c3 = K41 * v2F1N + K44 * v2E1N$   
 $99e2a4 = K11 * v2D4N + K14 * v2F4N$   
 $99e2b4 = K11 * v2E4N + K14 * v2D4N$   
 $99e2c4 = K11 * v2F4N + K14 * v2E4N$   
 $99e2a5 = K22 * v2A2N + K23 * v2B2N$   
 $99e2b5 = K22 * v2B2N + K23 * v2C2N$   
 $99e2c5 = K22 * v2C2N + K23 * v2A2N$   
 $99e2a6 = K32 * v2A3N + K33 * v2B3N$   
 $99e2b6 = K32 * v2B3N + K33 * v2C3N$   
 $99e2c6 = K32 * v2C3N + K33 * v2A3N$   
 $99e2a7 = K32 * v2D2N + K33 * v2F2N$   
 $99e2b7 = K32 * v2E2N + K33 * v2D2N$   
 $99e2c7 = K32 * v2F2N + K33 * v2E2N$   
 $99e2a8 = K22 * v2D3N + K23 * v2F3N$   
 $99e2b8 = K22 * v2E3N + K23 * v2D3N$   
 $99e2c8 = K22 * v2F3N + K23 * v2E3N$   
 $99vX1 = e2a1 + e2a3$   
 $99vY1 = e2b1 + e2b3$   
 $99vZ1 = e2c1 + e2c3$

```

C VS12 output voltage
99e2a = e2a1 + e2a2 + e2a3 + e2a4 + e2a5 + e2a6 + e2a7 + e2a8
99e2b = e2b1 + e2b2 + e2b3 + e2b4 + e2b5 + e2b6 + e2b7 + e2b8
99e2c = e2c1 + e2c2 + e2c3 + e2c4 + e2c5 + e2c6 + e2c7 + e2c8
99e2apu = e2a / Vbasei
99e2bpu = e2b / Vbasei
99e2cpu = e2c / Vbasei
C DC link capacitor voltage calculation
99Pin2 = e2a * i2a + e2b * i2b + e2c * i2c
99iDC2 = (Pin2 / (vDCpu + 1.0E-8) / Vbasei) * ES2
99DvDCpu = iDC2 / Cap / Vbasei
1vDCpu +DvDCpu          1.00.0001 1.00
1.0
0.0 1.0
99vDC = vDCpu * Vbasei
C Receiveing-end power calculation
99Pqpu = (vrpu*iapu + vrbpu*ibpu + vrcpu*icpu) / 1.5
99Qqpu = (vrpu*icpu - vrcpu*iapu) * SQRT(3) / 1.5
C Setting up the electronic switches
99ES22 = 0
99ES2 = .NOT. ES22
C TACS output
33vDCpu e2apu e2bpu e2cpu iapu Xqref Pqpu Qqpu
33i2apu
BLANK RECORD ENDING TACS
VSA BUS01A 1.0053 19.73
VSB BUS01BVSA BUS01A
VSC BUS01CVSA BUS01A
BUS03AVRA 3.0159 59.19
BUS03BVRB BUS03AVRA
BUS03CVRC BUS03AVRA
e2a e22a 1.00+8
e2b e22b 1.00+8
e2c e22c 1.00+8
e22a 1.00+8
e22b 1.00+8
e22c 1.00+8
TRANSFORMER T2A
9999
1INV02A 0.892723.679 1.0
2BUS01ABUS02A 0.892723.679 1.0
TRANSFORMER T2B
9999
1INV02B 0.892723.679 1.0
2BUS01BBUS02B 0.892723.679 1.0
TRANSFORMER T2C
9999
1INV02C 0.892723.679 1.0
2BUS01CBUS02C 0.892723.679 1.0
BLANK RECORD ENDING BRANCHES
BUS02ABUS03A MEASURING
BUS02BBUS03B MEASURING
BUS02CBUS03C MEASURING
INV02Ae22a MEASURING
INV02Be22b MEASURING
INV02Ce22c MEASURING
13e2a e22a ES2
13e2b e22b ES2
13e2c e22c ES2
13e22a CLOSED ES22
13e22b CLOSED ES22
13e22c CLOSED ES22
13BUS01ABUS02A MS2
13BUS01BBUS02B MS2
13BUS01CBUS02C MS2
BLANK RECORD ENDING SWITCHES
60e2a
60e2b
60e2c
14VSA 112676.528 60.00 0.00 -1.0E-03 9999.
14VSB 112676.528 60.00 -120.00 -1.0E-03 9999.
14VSC 112676.528 60.00 120.00 -1.0E-03 9999.

```

```

14VRA 112676.528 60.00 -30.00 -1.0E-03 9999.
14VRB 112676.528 60.00 -150.00 -1.0E-03 9999.
14VRC 112676.528 60.00 90.00 -1.0E-03 9999.
BLANK RECORD ENDING SOURCES
BLANK RECORD ENDING NODE VOLTAGE OUTPUT
BLANK RECORD ENDING PLOT
BEGIN NEW DATA CASE
BLANK RECORD ENDING ALL DATA CASES

```

### 3. Modelo del Controlador Estático Síncrono con el inversor de 24 pulsos

```

BEGIN NEW DATA CASE
$WIDTH,80
C FILE NAME = STATCOM24_1.DAT (24-Pulse harmonic neutralized
C CES). STATCOM Static Synchronous Compensator
C
C *****
C MISC_CARD
C ..... Miscellaneous data .....
C 34567890123456789012345678901234567890123456789012345678901234567890
C DeltaT| TMax | XOpt | COpt | Espiln | TolMat | TStart |
C 50.E-6 0.2
16.666-6300.00-3
C IOU | IPlot | IDoubl | KSSOut | MaxOut | Ipun | MemSav | ICat | NEnergy | IPrSu
  20 10 0 0 0 0 1 0
C
TACS HYBRID
99CRD = 180 / PI
99CDR = 1 / CRD
99TWOPI = 2.0 * PI
99KpshI = .45
99KishI = 40
99KpshV = 0.0
99KishV = 2500.0
99Kdroop = 0.0
99KPLLp = 100000.0
99KPLLi = 250000.0
99MS1 = TIMEX .GE. 0.05
99Cap = 42.0E-6
C Inverter base
99Vbasei = 112676.528
99Ibasei = 946.662704
C Inputs from the measuring switches
90BUS01A
90BUS01B
90BUS01C
91INV01A
91INV01B
91INV01C
C BUS1 voltage computation
99v1a = BUS01A
99v1b = BUS01B
99v1c = BUS01C
99v1apu = v1a / Vbasei
99v1bpu = v1b / Vbasei
99v1cpu = v1c / Vbasei
99v1ds = v1apu
99v1qs = -(v1apu + 2.0 * v1cpu) / SQRT(3)
99v1d = v1ds * COSPLL + v1qs * SINPLL
99v1q = -v1ds * SINPLL + v1qs * COSPLL
99v1dq = SQRT(v1d * v1d + v1q * v1q)
  1v1dqf +v1dq
    1.0
    1.0 0.0040
C Phase-Lock-Loop (locked to phase a voltage of BUS1)
99PLLerr = v1qs * COS(PLLi) - v1ds * SIN(PLLi)
99PLLint = PLLini + PLLerr * DELTAT
99PLLdot = KPLLi * PLLint + KPLLp * PLLerr
  PLLini +PLLint
99PLL = PLLi + PLLdot * DELTAT

```

```

PLLi  +PLL
99theta = PLL - TWOPI * TRUNC(PLL/TWOPI)
99COSPLL = COS(theta)
99SINPLL = SIN(theta)
C Shunt inverter current computation
99i1a  = INV01A
99i1b  = INV01B
99i1c  = INV01C
99i1apu = i1a / Ibasei
99i1bpu = i1b / Ibasei
99i1cpu = i1c / Ibasei
99i1ds  = i1apu
99i1qs  = -(i1apu + 2.0 * i1cpu) / SQRT(3)
99i1d   = i1ds * COSPLL + i1qs * SINPLL
99i1q   = -i1ds * SINPLL + i1qs * COSPLL
99i1q1mt = 1.0
C Setting the STATCOM reference voltage
99v1rcm1 = 0.025 * (TIMEX .GE. 0.05)
99v1rcm2 = 0.085 * (TIMEX .GE. 0.125)
99v1rcm3 = 0.2 * (TIMEX .GE. 0.175)
99v1rcm4 = 0.06 * (TIMEX .GE. 0.25)
99v1ref  = 0.99 + v1rcm1 + v1rcm2 - v1rcm3 + v1rcm4
C Set vctr1=1 for voltage control / vctr1=0 for current control
99vctr1  = 1
C Outer voltage control loops starts
99v1derr = (v1ref - v1dqf + i1qdly * Kdroop) * MS1
99v1dfnc = v1dini + v1derr * DELTAT
99v1diup = v1dfnc .GE. (i1q1mt / KishV)
99v1di1o = v1dfnc .LE. (-i1q1mt / KishV)
99v1dimd = .NOT. (v1diup .OR. v1di1o)
99v1dint = v1dfnc*v1dimd + (i1q1mt*v1diup-i1q1mt*v1di1o)/KishV
          v1dini +v1dint
99v1dpi  = -(KpshV * v1derr + KishV * v1dint)
99i1qup  = v1dpi .GE. i1q1mt
99i1q1o  = v1dpi .LE. -i1q1mt
99i1qmd  = .NOT. (i1qup .OR. i1q1o)
99i1qrfV = v1dpi * i1qmd + i1q1mt * i1qup - i1q1mt * i1q1o
          i1qdly +i1qrfV
C Outer voltage control loops ends
C Setting the STATCOM reactive reference current
99i1qcm1 = TIMEX .GE. 0.125
99i1qcm2 = 2 * (TIMEX .GE. 0.175)
99i1qcm3 = 2 * (TIMEX .GE. 0.25)
99i1qcmd = -i1qcm1 + i1qcm2 - i1qcm3
          i1qrf1 +i1qcmd
          1.0
          1.0  0.0040
C Inner current control loop starts
99i1qref = i1qrfV * vctr1 + i1qrf1 * (.NOT. vctr1)
99i1qerr = (i1qref - i1q) * MS1
99i1qint = i1qini + i1qerr * DELTAT
          i1qini +i1qint
99alpha  = KpshI * i1qerr + KishI * i1qint
C Inner current control loop ends
99tha1   = theta + PI / 2 + alpha
C This addition of PI/2 is because the gating signals are sine
C reference and the Phase-Lock-Loop signals are cosine
C reference.
99theta1 = tha1 + TWOPI*(tha1.LT.0.0) - TWOPI*(tha1.GE.TWOPI)
C Inverter Pole Voltages
C Note: The signals vA, vB, vC, vD, vE and vF in Fig. 4 are
C renamed as v1A1, v1B1, v1C1, v1D1, v1E1 and v1F1,
C respectively.
99an1A1  = theta1 + 7.5 * CDR
99ang1A1 = an1A1+TWOPI*(an1A1.LT.0.0)-TWOPI*(an1A1.GE.TWOPI)
99pos1A1 = (ang1A1 .GE. 0) .AND. ((ang1A1 - PI) .LT. 0)
99neg1A1 = ((ang1A1-PI).GE.0) .AND. ((ang1A1-TWOPI).LT.0)
99v1A1   = vDC / 2 * pos1A1 - vDC / 2 * neg1A1
99an1B1  = theta1 + (-120.0 + 7.5) * CDR
99ang1B1 = an1B1+TWOPI*(an1B1.LT.0.0)-TWOPI*(an1B1.GE.TWOPI)
99pos1B1 = (ang1B1 .GE. 0) .AND. ((ang1B1 - PI) .LT. 0)
99neg1B1 = ((ang1B1-PI).GE.0) .AND. ((ang1B1-TWOPI).LT.0)

```



$99v1B1 = vDC / 2 * pos1B1 - vDC / 2 * neg1B1$   
 $99an1C1 = theta1 + (-240.0 + 7.5) * CDR$   
 $99ang1C1 = an1C1 + TWOPi*(an1C1.LT.0.0) - TWOPi*(an1C1.GE.TWOPi)$   
 $99pos1C1 = (ang1C1.GE.0) .AND. ((ang1C1 - PI) .LT. 0)$   
 $99neg1C1 = ((ang1C1-PI).GE.0) .AND. ((ang1C1-TWOPi).LT.0)$   
 $99v1C1 = vDC / 2 * pos1C1 - vDC / 2 * neg1C1$   
 $99an1A2 = theta1 - 7.5 * CDR$   
 $99ang1A2 = an1A2 + TWOPi*(an1A2.LT.0.0) - TWOPi*(an1A2.GE.TWOPi)$   
 $99pos1A2 = (ang1A2.GE.0) .AND. ((ang1A2 - PI) .LT. 0)$   
 $99neg1A2 = ((ang1A2-PI).GE.0) .AND. ((ang1A2-TWOPi).LT.0)$   
 $99v1A2 = vDC / 2 * pos1A2 - vDC / 2 * neg1A2$   
 $99an1B2 = theta1 + (-120 - 7.5) * CDR$   
 $99ang1B2 = an1B2 + TWOPi*(an1B2.LT.0.0) - TWOPi*(an1B2.GE.TWOPi)$   
 $99pos1B2 = (ang1B2.GE.0) .AND. ((ang1B2 - PI) .LT. 0)$   
 $99neg1B2 = ((ang1B2-PI).GE.0) .AND. ((ang1B2-TWOPi).LT.0)$   
 $99v1B2 = vDC / 2 * pos1B2 - vDC / 2 * neg1B2$   
 $99an1C2 = theta1 + (-240 - 7.5) * CDR$   
 $99ang1C2 = an1C2 + TWOPi*(an1C2.LT.0.0) - TWOPi*(an1C2.GE.TWOPi)$   
 $99pos1C2 = (ang1C2.GE.0) .AND. ((ang1C2 - PI) .LT. 0)$   
 $99neg1C2 = ((ang1C2-PI).GE.0) .AND. ((ang1C2-TWOPi).LT.0)$   
 $99v1C2 = vDC / 2 * pos1C2 - vDC / 2 * neg1C2$   
 $99an1D1 = theta1 + (-30 + 7.5) * CDR$   
 $99ang1D1 = an1D1 + TWOPi*(an1D1.LT.0.0) - TWOPi*(an1D1.GE.TWOPi)$   
 $99pos1D1 = (ang1D1.GE.0) .AND. ((ang1D1 - PI) .LT. 0)$   
 $99neg1D1 = ((ang1D1-PI).GE.0) .AND. ((ang1D1-TWOPi).LT.0)$   
 $99v1D1 = vDC / 2 * pos1D1 - vDC / 2 * neg1D1$   
 $99an1E1 = theta1 + (-150 + 7.5) * CDR$   
 $99ang1E1 = an1E1 + TWOPi*(an1E1.LT.0.0) - TWOPi*(an1E1.GE.TWOPi)$   
 $99pos1E1 = (ang1E1.GE.0) .AND. ((ang1E1 - PI) .LT. 0)$   
 $99neg1E1 = ((ang1E1-PI).GE.0) .AND. ((ang1E1-TWOPi).LT.0)$   
 $99v1E1 = vDC / 2 * pos1E1 - vDC / 2 * neg1E1$   
 $99an1F1 = theta1 + (-270 + 7.5) * CDR$   
 $99ang1F1 = an1F1 + TWOPi*(an1F1.LT.0.0) - TWOPi*(an1F1.GE.TWOPi)$   
 $99pos1F1 = (ang1F1.GE.0) .AND. ((ang1F1 - PI) .LT. 0)$   
 $99neg1F1 = ((ang1F1-PI).GE.0) .AND. ((ang1F1-TWOPi).LT.0)$   
 $99v1F1 = vDC / 2 * pos1F1 - vDC / 2 * neg1F1$   
 $99an1D2 = theta1 + (-30 - 7.5) * CDR$   
 $99ang1D2 = an1D2 + TWOPi*(an1D2.LT.0.0) - TWOPi*(an1D2.GE.TWOPi)$   
 $99pos1D2 = (ang1D2.GE.0) .AND. ((ang1D2 - PI) .LT. 0)$   
 $99neg1D2 = ((ang1D2-PI).GE.0) .AND. ((ang1D2-TWOPi).LT.0)$   
 $99v1D2 = vDC / 2 * pos1D2 - vDC / 2 * neg1D2$   
 $99an1E2 = theta1 + (-150.0 - 7.5) * CDR$   
 $99ang1E2 = an1E2 + TWOPi*(an1E2.LT.0.0) - TWOPi*(an1E2.GE.TWOPi)$   
 $99pos1E2 = (ang1E2.GE.0) .AND. ((ang1E2 - PI) .LT. 0)$   
 $99neg1E2 = ((ang1E2-PI).GE.0) .AND. ((ang1E2-TWOPi).LT.0)$   
 $99v1E2 = vDC / 2 * pos1E2 - vDC / 2 * neg1E2$   
 $99an1F2 = theta1 + (-270.0 - 7.5) * CDR$   
 $99ang1F2 = an1F2 + TWOPi*(an1F2.LT.0.0) - TWOPi*(an1F2.GE.TWOPi)$   
 $99pos1F2 = (ang1F2.GE.0) .AND. ((ang1F2 - PI) .LT. 0)$   
 $99neg1F2 = ((ang1F2-PI).GE.0) .AND. ((ang1F2-TWOPi).LT.0)$   
 $99v1F2 = vDC / 2 * pos1F2 - vDC / 2 * neg1F2$

C Magnetic Circuit Note: The signals vX, vY and vZ in Fig. 4  
 C are renamed as e1a, e1b and e1c, respectively.

$99v1N11 = (v1A1 + v1B1 + v1C1) / 3$   
 $99v1A1N = v1A1 - v1N11$   
 $99v1B1N = v1B1 - v1N11$   
 $99v1C1N = v1C1 - v1N11$   
 $99v1D1E1 = v1D1 - v1E1$   
 $99v1E1F1 = v1E1 - v1F1$   
 $99v1F1D1 = v1F1 - v1D1$   
 $99v1N12 = (v1A2 + v1B2 + v1C2) / 3$   
 $99v1A2N = v1A2 - v1N12$   
 $99v1B2N = v1B2 - v1N12$   
 $99v1C2N = v1C2 - v1N12$   
 $99v1D2E2 = v1D2 - v1E2$   
 $99v1E2F2 = v1E2 - v1F2$   
 $99v1F2D2 = v1F2 - v1D2$

C VSI1 output voltage

$99e1a1 = (v1A1N + v1D1E1 / SQRT(3)) / 2$   
 $99e1b1 = (v1B1N + v1E1F1 / SQRT(3)) / 2$   
 $99e1c1 = (v1C1N + v1F1D1 / SQRT(3)) / 2$   
 $99e1a2 = (v1A2N + v1D2E2 / SQRT(3)) / 2$

```

99e1b2 = (v1B2N + v1E2F2 / SQRT(3)) / 2
99e1c2 = (v1C2N + v1F2D2 / SQRT(3)) / 2
99e1a = (e1a1 + e1a2) / 2
99e1b = (e1b1 + e1b2) / 2
99e1c = (e1c1 + e1c2) / 2
99e1apu = e1a / Vbasei
99e1bpu = e1b / Vbasei
99e1cpu = e1c / Vbasei
C DC link capacitor voltage calculation
99Pin1 = e1a * i1a + e1b * i1b + e1c * i1c
99iDC1 = (-Pin1 / vDC) * MS1
99DvDC = iDC1 / Cap
1vDC +DvDC
1.0
0.0 1.0
99vDCpu = vDC / Vbasei
77vDC 189000.0
77v1dqf 0.990000
C TACS output
33i1qrefi1q vDCpu e1apu v1apu i1apu alpha v1dq v1ref
BLANK RECORD ENDING TACS
VSA BUS01A 1.0053 19.73
VSB BUS01BVSA BUS01A
VSC BUS01CVSA BUS01A
BUS03AVRA 3.0159 59.19
BUS03BVRB BUS03AVRA
BUS03CVRC BUS03AVRA
e11a BUS01A 1.00+8
e11b BUS01B 1.00+8
e11c BUS01C 1.00+8
TRANSFORMER T1A
9999
11NV01A 0.892723.679 1.0
2e11a 0.892723.679 1.0
TRANSFORMER T1B
9999
11NV01B 0.892723.679 1.0
2e11b 0.892723.679 1.0
TRANSFORMER T1C
9999
11NV01C 0.892723.679 1.0
2e11c 0.892723.679 1.0
BLANK RECORD ENDING BRANCHES
BUS01ABUS03A MEASURING
BUS01BBUS03B MEASURING
BUS01CBUS03C MEASURING
e1a INV01A MEASURING
e1b INV01B MEASURING
e1c INV01C MEASURING
13e11a BUS01A MS1
13e11b BUS01B MS1
13e11c BUS01C MS1
BLANK RECORD ENDING SWITCHES
60e1a
60e1b
60e1c
14VSA 112676.528 60.00 0.00 -1.0E-03 9999.
14VSB 112676.528 60.00 -120.00 -1.0E-03 9999.
14VSC 112676.528 60.00 120.00 -1.0E-03 9999.
14VRA 112676.528 60.00 -20.00 -1.0E-03 9999.
14VRB 112676.528 60.00 -140.00 -1.0E-03 9999.
14VRC 112676.528 60.00 100.00 -1.0E-03 9999.
BLANK RECORD ENDING SOURCES
BLANK RECORD ENDING NODE VOLTAGE OUTPUT
BLANK RECORD ENDING PLOT
BEGIN NEW DATA CASE
BLANK RECORD ENDING ALL DATA CASES

```

#### 4. Modelo del Controlador Estático Síncrono con el inversor de 48 pulsos

```

BEGIN NEW DATA CASE
$WIDTH,80
C FILE NAME = STATCOM48_1.DAT (48-Pulse harmonic neutralized
C CES). STATCOM Static Synchronous Compensator
C
C *****
C MISC_CARD
C ..... Miscellaneous data .....
C 34567890123456789012345678901234567890123456789012345678901234567890
C DeltaT| TMax | XOpt | COpt |Espiln |TolMat |TStart |
C 50.E-6 0.2
16.666-6300.00-3
C IOU| IPlot |IDoubl |KSSOut |MaxOut | Ipun |MemSav | ICat |NEnerg |IPrSu
  20 10 0 0 0 0 1 0
C
TACS HYBRID
99CRD = 180 / PI
99CDR = 1 / CRD
99TWOPI = 2.0 * PI
99KpshI = .45
99KishI = 40
99KpshV = 0.0
99KishV = 2500.0
99Kdroop = 0.0
99KPLLp = 100000.0
99KPLLl = 250000.0
99MS1 = TIMEX .GE. 0.05
99Cap = 42.0E-6
C Inverter base
99Vbasei = 112676.528
99Ibasei = 946.662704
C Inputs from the measuring switches
90BUS01A
90BUS01B
90BUS01C
91INV01A
91INV01B
91INV01C
C BUS1 voltage computation
99v1a = BUS01A
99v1b = BUS01B
99v1c = BUS01C
99v1apu = v1a / Vbasei
99v1bpu = v1b / Vbasei
99v1cpu = v1c / Vbasei
99v1ds = v1apu
99v1qs = -(v1apu + 2.0 * v1cpu) / SQRT(3)
99v1d = v1ds * COSPLL + v1qs * SINPLL
99v1q = -v1ds * SINPLL + v1qs * COSPLL
99v1dq = SQRT(v1d * v1d + v1q * v1q)
  1v1dqf +v1dq
    1.0
    1.0 0.0040
C Phase-Lock-Loop (locked to phase a voltage of BUS1)
99PLLerr = v1qs * COS(PLLl) - v1ds * SIN(PLLl)
99PLLint = PLLini + PLLerr * DELTAT
99PLLdot = KPLLl * PLLint + KPLLp * PLLerr
  PLLini +PLLint
99PLL = PLLl + PLLdot * DELTAT
  PLLl +PLL
99theta = PLL - TWOPI * TRUNC(PLL/TWOPI)
99COSPLL = COS(theta)
99SINPLL = SIN(theta)
C Shunt inverter current computation
99i1a = INV01A
99i1b = INV01B
99i1c = INV01C
99i1apu = i1a / Ibasei
99i1bpu = i1b / Ibasei
99i1cpu = i1c / Ibasei
99i1ds = i1apu
99i1qs = -(i1apu + 2.0 * i1cpu) / SQRT(3)

```

```

99i1d = i1ds * COSPLL + i1qs * SINPLL
99i1q = -i1ds * SINPLL + i1qs * COSPLL
99i1q1mt = 1.0
C Setting the STATCOM reference voltage
99v1rcm1 = 0.025 * (TIMEX .GE. 0.05)
99v1rcm2 = 0.085 * (TIMEX .GE. 0.125)
99v1rcm3 = 0.2 * (TIMEX .GE. 0.175)
99v1rcm4 = 0.06 * (TIMEX .GE. 0.25)
99v1ref = 0.99 + v1rcm1 + v1rcm2 - v1rcm3 + v1rcm4
C Set vctr1=1 for voltage control / vctr1=0 for current control
99vctr1 = 1
C Outer voltage control loops starts
99v1derr = (v1ref - v1dqf + i1qdly * Kdroop) * MS1
99v1dfnc = v1dini + v1derr * DELTAT
99v1diup = v1dfnc .GE. (i1q1mt / KishV)
99v1di1o = v1dfnc .LE. (-i1q1mt / KishV)
99v1dimd = .NOT. (v1diup .OR. v1di1o)
99v1dint = v1dfnc*v1dimd + (i1q1mt*v1diup-i1q1mt*v1di1o)/KishV
v1dini +v1dint
99v1dpi = -(KpshV * v1derr + KishV * v1dint)
99i1qup = v1dpi .GE. i1q1mt
99i1q1o = v1dpi .LE. -i1q1mt
99i1qmd = .NOT. (i1qup .OR. i1q1o)
99i1qrfV = v1dpi * i1qmd + i1q1mt * i1qup - i1q1mt * i1q1o
i1qdly +i1qrfV
C Outer voltage control loops ends
C Setting the STATCOM reactive reference current
99i1qcm1 = TIMEX .GE. 0.125
99i1qcm2 = 2 * (TIMEX .GE. 0.175)
99i1qcm3 = 2 * (TIMEX .GE. 0.25)
99i1qcmd = -i1qcm1 + i1qcm2 - i1qcm3
i1lqrfl +i1qcmd
1.0
1.0 0.0040
C Inner current control loop starts
99i1qref = i1qrfV * vctr1 + i1lqrfl * (.NOT. vctr1)
99i1qerr = (i1qref - i1q) * MS1
99i1qint = i1qini + i1qerr * DELTAT
i1qini +i1qint
99alpha = KpshI * i1qerr + KishI * i1qint
C Inner current control loop ends
99tha1 = theta + PI / 2 + alpha
C This addition of PI/2 is because the gating signals are sine
C reference and the Phase-Lock-Loop signals are cosine
C reference.
99theta1 = tha1 + TWOPI*(tha1.LT.0.0) - TWOPI*(tha1.GE.TWOPI)
C Inverter Pole Voltages
C Note: The signals vA, vB, vC, vD, vE and vF in Fig. 4 are
C renamed as v1A1, v1B1, v1C1, v1D1, v1E1 and v1F1,
C respectively.
99an1A1 = theta1 + 11.25 * CDR
99ang1A1 = an1A1+TWOPI*(an1A1.LT.0.0)-TWOPI*(an1A1.GE.TWOPI)
99pos1A1 = (ang1A1 .GE. 0) .AND. ((ang1A1 - PI) .LT. 0)
99neg1A1 = ((ang1A1-PI).GE.0) .AND. ((ang1A1-TWOPI).LT.0)
99v1A1 = vDC / 2 * pos1A1 - vDC / 2 * neg1A1
99an1B1 = theta1 + (-120 + 11.25) * CDR
99ang1B1 = an1B1+TWOPI*(an1B1.LT.0.0)-TWOPI*(an1B1.GE.TWOPI)
99pos1B1 = (ang1B1 .GE. 0) .AND. ((ang1B1 - PI) .LT. 0)
99neg1B1 = ((ang1B1-PI).GE.0) .AND. ((ang1B1-TWOPI).LT.0)
99v1B1 = vDC / 2 * pos1B1 - vDC / 2 * neg1B1
99an1C1 = theta1 + (-240 + 11.25) * CDR
99ang1C1 = an1C1+TWOPI*(an1C1.LT.0.0)-TWOPI*(an1C1.GE.TWOPI)
99pos1C1 = (ang1C1 .GE. 0) .AND. ((ang1C1 - PI) .LT. 0)
99neg1C1 = ((ang1C1-PI).GE.0) .AND. ((ang1C1-TWOPI).LT.0)
99v1C1 = vDC / 2 * pos1C1 - vDC / 2 * neg1C1
99an1A2 = theta1 + 3.75 * CDR
99ang1A2 = an1A2+TWOPI*(an1A2.LT.0.0)-TWOPI*(an1A2.GE.TWOPI)
99pos1A2 = (ang1A2 .GE. 0) .AND. ((ang1A2 - PI) .LT. 0)
99neg1A2 = ((ang1A2-PI).GE.0) .AND. ((ang1A2-TWOPI).LT.0)
99v1A2 = vDC / 2 * pos1A2 - vDC / 2 * neg1A2
99an1B2 = theta1 + (-120 + 3.75) * CDR
99ang1B2 = an1B2+TWOPI*(an1B2.LT.0.0)-TWOPI*(an1B2.GE.TWOPI)

```

99pos1B2 = (ang1B2 .GE. 0) .AND. ((ang1B2 - PI) .LT. 0)  
99neg1B2 = ((ang1B2-PI).GE.0) .AND. ((ang1B2-TWOPI).LT.0)  
99v1B2 = vDC / 2 \* pos1B2 - vDC / 2 \* neg1B2  
99an1C2 = theta1 + (-240 + 3.75) \* CDR  
99ang1C2 = an1C2+TWOPI\*(an1C2.LT.0.0)-TWOPI\*(an1C2.GE.TWOPI)  
99pos1C2 = (ang1C2 .GE. 0) .AND. ((ang1C2 - PI) .LT. 0)  
99neg1C2 = ((ang1C2-PI).GE.0) .AND. ((ang1C2-TWOPI).LT.0)  
99v1C2 = vDC / 2 \* pos1C2 - vDC / 2 \* neg1C2  
99an1A3 = theta1 - 3.75 \* CDR  
99ang1A3 = an1A3+TWOPI\*(an1A3.LT.0.0)-TWOPI\*(an1A3.GE.TWOPI)  
99pos1A3 = (ang1A3 .GE. 0) .AND. ((ang1A3 - PI) .LT. 0)  
99neg1A3 = ((ang1A3-PI).GE.0) .AND. ((ang1A3-TWOPI).LT.0)  
99v1A3 = vDC / 2 \* pos1A3 - vDC / 2 \* neg1A3  
99an1B3 = theta1 + (-120 - 3.75) \* CDR  
99ang1B3 = an1B3+TWOPI\*(an1B3.LT.0.0)-TWOPI\*(an1B3.GE.TWOPI)  
99pos1B3 = (ang1B3 .GE. 0) .AND. ((ang1B3 - PI) .LT. 0)  
99neg1B3 = ((ang1B3-PI).GE.0) .AND. ((ang1B3-TWOPI).LT.0)  
99v1B3 = vDC / 2 \* pos1B3 - vDC / 2 \* neg1B3  
99an1C3 = theta1 + (-240 - 3.75) \* CDR  
99ang1C3 = an1C3+TWOPI\*(an1C3.LT.0.0)-TWOPI\*(an1C3.GE.TWOPI)  
99pos1C3 = (ang1C3 .GE. 0) .AND. ((ang1C3 - PI) .LT. 0)  
99neg1C3 = ((ang1C3-PI).GE.0) .AND. ((ang1C3-TWOPI).LT.0)  
99v1C3 = vDC / 2 \* pos1C3 - vDC / 2 \* neg1C3  
99an1A4 = theta1 - 11.25 \* CDR  
99ang1A4 = an1A4+TWOPI\*(an1A4.LT.0.0)-TWOPI\*(an1A4.GE.TWOPI)  
99pos1A4 = (ang1A4 .GE. 0) .AND. ((ang1A4 - PI) .LT. 0)  
99neg1A4 = ((ang1A4-PI).GE.0) .AND. ((ang1A4-TWOPI).LT.0)  
99v1A4 = vDC / 2 \* pos1A4 - vDC / 2 \* neg1A4  
99an1B4 = theta1 + (-120 - 11.25) \* CDR  
99ang1B4 = an1B4+TWOPI\*(an1B4.LT.0.0)-TWOPI\*(an1B4.GE.TWOPI)  
99pos1B4 = (ang1B4 .GE. 0) .AND. ((ang1B4 - PI) .LT. 0)  
99neg1B4 = ((ang1B4-PI).GE.0) .AND. ((ang1B4-TWOPI).LT.0)  
99v1B4 = vDC / 2 \* pos1B4 - vDC / 2 \* neg1B4  
99an1C4 = theta1 + (-240 - 11.25) \* CDR  
99ang1C4 = an1C4+TWOPI\*(an1C4.LT.0.0)-TWOPI\*(an1C4.GE.TWOPI)  
99pos1C4 = (ang1C4 .GE. 0) .AND. ((ang1C4 - PI) .LT. 0)  
99neg1C4 = ((ang1C4-PI).GE.0) .AND. ((ang1C4-TWOPI).LT.0)  
99v1C4 = vDC / 2 \* pos1C4 - vDC / 2 \* neg1C4  
99an1D1 = theta1 + (-30 + 11.25) \* CDR  
99ang1D1 = an1D1+TWOPI\*(an1D1.LT.0.0)-TWOPI\*(an1D1.GE.TWOPI)  
99pos1D1 = (ang1D1 .GE. 0) .AND. ((ang1D1 - PI) .LT. 0)  
99neg1D1 = ((ang1D1-PI).GE.0) .AND. ((ang1D1-TWOPI).LT.0)  
99v1D1 = vDC / 2 \* pos1D1 - vDC / 2 \* neg1D1  
99an1E1 = theta1 + (-150 + 11.25) \* CDR  
99ang1E1 = an1E1+TWOPI\*(an1E1.LT.0.0)-TWOPI\*(an1E1.GE.TWOPI)  
99pos1E1 = (ang1E1 .GE. 0) .AND. ((ang1E1 - PI) .LT. 0)  
99neg1E1 = ((ang1E1-PI).GE.0) .AND. ((ang1E1-TWOPI).LT.0)  
99v1E1 = vDC / 2 \* pos1E1 - vDC / 2 \* neg1E1  
99an1F1 = theta1 + (-270 + 11.25) \* CDR  
99ang1F1 = an1F1+TWOPI\*(an1F1.LT.0.0)-TWOPI\*(an1F1.GE.TWOPI)  
99pos1F1 = (ang1F1 .GE. 0) .AND. ((ang1F1 - PI) .LT. 0)  
99neg1F1 = ((ang1F1-PI).GE.0) .AND. ((ang1F1-TWOPI).LT.0)  
99v1F1 = vDC / 2 \* pos1F1 - vDC / 2 \* neg1F1  
99an1D2 = theta1 + (-30 + 3.75) \* CDR  
99ang1D2 = an1D2+TWOPI\*(an1D2.LT.0.0)-TWOPI\*(an1D2.GE.TWOPI)  
99pos1D2 = (ang1D2 .GE. 0) .AND. ((ang1D2 - PI) .LT. 0)  
99neg1D2 = ((ang1D2-PI).GE.0) .AND. ((ang1D2-TWOPI).LT.0)  
99v1D2 = vDC / 2 \* pos1D2 - vDC / 2 \* neg1D2  
99an1E2 = theta1 + (-150 + 3.75) \* CDR  
99ang1E2 = an1E2+TWOPI\*(an1E2.LT.0.0)-TWOPI\*(an1E2.GE.TWOPI)  
99pos1E2 = (ang1E2 .GE. 0) .AND. ((ang1E2 - PI) .LT. 0)  
99neg1E2 = ((ang1E2-PI).GE.0) .AND. ((ang1E2-TWOPI).LT.0)  
99v1E2 = vDC / 2 \* pos1E2 - vDC / 2 \* neg1E2  
99an1F2 = theta1 + (-270 + 3.75) \* CDR  
99ang1F2 = an1F2+TWOPI\*(an1F2.LT.0.0)-TWOPI\*(an1F2.GE.TWOPI)  
99pos1F2 = (ang1F2 .GE. 0) .AND. ((ang1F2 - PI) .LT. 0)  
99neg1F2 = ((ang1F2-PI).GE.0) .AND. ((ang1F2-TWOPI).LT.0)  
99v1F2 = vDC / 2 \* pos1F2 - vDC / 2 \* neg1F2  
99an1D3 = theta1 + (-30 - 3.75) \* CDR  
99ang1D3 = an1D3+TWOPI\*(an1D3.LT.0.0)-TWOPI\*(an1D3.GE.TWOPI)  
99pos1D3 = (ang1D3 .GE. 0) .AND. ((ang1D3 - PI) .LT. 0)  
99neg1D3 = ((ang1D3-PI).GE.0) .AND. ((ang1D3-TWOPI).LT.0)

$99v1D3 = vDC / 2 * pos1D3 - vDC / 2 * neg1D3$   
 $99an1E3 = theta1 + (-150 - 3.75) * CDR$   
 $99ang1E3 = an1E3 + TWOP1*(an1E3.LT.0.0) - TWOP1*(an1E3.GE.TWOP1)$   
 $99pos1E3 = (ang1E3.GE.0) .AND. ((ang1E3 - PI) .LT. 0)$   
 $99neg1E3 = ((ang1E3-PI).GE.0) .AND. ((ang1E3-TWOP1).LT.0)$   
 $99v1E3 = vDC / 2 * pos1E3 - vDC / 2 * neg1E3$   
 $99an1F3 = theta1 + (-270 - 3.75) * CDR$   
 $99ang1F3 = an1F3 + TWOP1*(an1F3.LT.0.0) - TWOP1*(an1F3.GE.TWOP1)$   
 $99pos1F3 = (ang1F3.GE.0) .AND. ((ang1F3 - PI) .LT. 0)$   
 $99neg1F3 = ((ang1F3-PI).GE.0) .AND. ((ang1F3-TWOP1).LT.0)$   
 $99v1F3 = vDC / 2 * pos1F3 - vDC / 2 * neg1F3$   
 $99an1D4 = theta1 + (-30 - 11.25) * CDR$   
 $99ang1D4 = an1D4 + TWOP1*(an1D4.LT.0.0) - TWOP1*(an1D4.GE.TWOP1)$   
 $99pos1D4 = (ang1D4.GE.0) .AND. ((ang1D4 - PI) .LT. 0)$   
 $99neg1D4 = ((ang1D4-PI).GE.0) .AND. ((ang1D4-TWOP1).LT.0)$   
 $99v1D4 = vDC / 2 * pos1D4 - vDC / 2 * neg1D4$   
 $99an1E4 = theta1 + (-150 - 11.25) * CDR$   
 $99ang1E4 = an1E4 + TWOP1*(an1E4.LT.0.0) - TWOP1*(an1E4.GE.TWOP1)$   
 $99pos1E4 = (ang1E4.GE.0) .AND. ((ang1E4 - PI) .LT. 0)$   
 $99neg1E4 = ((ang1E4-PI).GE.0) .AND. ((ang1E4-TWOP1).LT.0)$   
 $99v1E4 = vDC / 2 * pos1E4 - vDC / 2 * neg1E4$   
 $99an1F4 = theta1 + (-270 - 11.25) * CDR$   
 $99ang1F4 = an1F4 + TWOP1*(an1F4.LT.0.0) - TWOP1*(an1F4.GE.TWOP1)$   
 $99pos1F4 = (ang1F4.GE.0) .AND. ((ang1F4 - PI) .LT. 0)$   
 $99neg1F4 = ((ang1F4-PI).GE.0) .AND. ((ang1F4-TWOP1).LT.0)$   
 $99v1F4 = vDC / 2 * pos1F4 - vDC / 2 * neg1F4$   
 C Magnetic Circuit Note: The signals vX, vY and vZ in Fig. 4  
 C are renamed as e1a, e1b and e1c, respectively.  
 $99v1N11 = (v1A1 + v1B1 + v1C1) / 3$   
 $99v1A1N = v1A1 - v1N11$   
 $99v1B1N = v1B1 - v1N11$   
 $99v1C1N = v1C1 - v1N11$   
 $99v1D1E1 = v1D1 - v1E1$   
 $99v1E1F1 = v1E1 - v1F1$   
 $99v1F1D1 = v1F1 - v1D1$   
 $99v1N12 = (v1A2 + v1B2 + v1C2) / 3$   
 $99v1A2N = v1A2 - v1N12$   
 $99v1B2N = v1B2 - v1N12$   
 $99v1C2N = v1C2 - v1N12$   
 $99v1D2E2 = v1D2 - v1E2$   
 $99v1E2F2 = v1E2 - v1F2$   
 $99v1F2D2 = v1F2 - v1D2$   
 $99v1N13 = (v1A3 + v1B3 + v1C3) / 3$   
 $99v1A3N = v1A3 - v1N13$   
 $99v1B3N = v1B3 - v1N13$   
 $99v1C3N = v1C3 - v1N13$   
 $99v1D3E3 = v1D3 - v1E3$   
 $99v1E3F3 = v1E3 - v1F3$   
 $99v1F3D3 = v1F3 - v1D3$   
 $99v1N14 = (v1A4 + v1B4 + v1C4) / 3$   
 $99v1A4N = v1A4 - v1N14$   
 $99v1B4N = v1B4 - v1N14$   
 $99v1C4N = v1C4 - v1N14$   
 $99v1D4E4 = v1D4 - v1E4$   
 $99v1E4F4 = v1E4 - v1F4$   
 $99v1F4D4 = v1F4 - v1D4$   
 C VSI1 output voltage  
 $99e1a1 = (v1A1N + v1D1E1 / SQRT(3)) / 2$   
 $99e1b1 = (v1B1N + v1E1F1 / SQRT(3)) / 2$   
 $99e1c1 = (v1C1N + v1F1D1 / SQRT(3)) / 2$   
 $99e1a2 = (v1A2N + v1D2E2 / SQRT(3)) / 2$   
 $99e1b2 = (v1B2N + v1E2F2 / SQRT(3)) / 2$   
 $99e1c2 = (v1C2N + v1F2D2 / SQRT(3)) / 2$   
 $99e1a3 = (v1A3N + v1D3E3 / SQRT(3)) / 2$   
 $99e1b3 = (v1B3N + v1E3F3 / SQRT(3)) / 2$   
 $99e1c3 = (v1C3N + v1F3D3 / SQRT(3)) / 2$   
 $99e1a4 = (v1A4N + v1D4E4 / SQRT(3)) / 2$   
 $99e1b4 = (v1B4N + v1E4F4 / SQRT(3)) / 2$   
 $99e1c4 = (v1C4N + v1F4D4 / SQRT(3)) / 2$   
 $99e1a = (e1a1 + e1a2 + e1a3 + e1a4) / 4$   
 $99e1b = (e1b1 + e1b2 + e1b3 + e1b4) / 4$   
 $99e1c = (e1c1 + e1c2 + e1c3 + e1c4) / 4$

```

99e1apu = e1a / Vbasei
99e1bpu = e1b / Vbasei
99e1cpu = e1c / Vbasei
C DC link capacitor voltage calculation
99Pin1 = e1a * i1a + e1b * i1b + e1c * i1c
99iDC1 = (-Pin1 / vDC) * MS1
99DvDC = iDC1 / Cap
1vDC +DvDC
1.0
0.0 1.0
99vDCpu = vDC / Vbasei
77vDC 189000.0
77v1dqf 0.990000
C TACS output
33i1qrefi1q vDCpu e1apu v1apu i1apu alpha v1dq v1ref
BLANK RECORD ENDING TACS
VSA BUS01A 1.0053 19.73
VSB BUS01BVSA BUS01A
VSC BUS01CVSA BUS01A
BUS03AVRA 3.0159 59.19
BUS03BVRB BUS03AVRA
BUS03CVRC BUS03AVRA
e11a BUS01A 1.00+8
e11b BUS01B 1.00+8
e11c BUS01C 1.00+8
TRANSFORMER T1A
9999
11NV01A 0.892723.679 1.0
2e11a 0.892723.679 1.0
TRANSFORMER T1B
9999
11NV01B 0.892723.679 1.0
2e11b 0.892723.679 1.0
TRANSFORMER T1C
9999
11NV01C 0.892723.679 1.0
2e11c 0.892723.679 1.0
BLANK RECORD ENDING BRANCHES
BUS01ABUS03A MEASURING
BUS01BBUS03B MEASURING
BUS01CBUS03C MEASURING
e1a INV01A MEASURING
e1b INV01B MEASURING
e1c INV01C MEASURING
13e11a BUS01A MS1
13e11b BUS01B MS1
13e11c BUS01C MS1
BLANK RECORD ENDING SWITCHES
60e1a
60e1b
60e1c
14VSA 112676.528 60.00 0.00 -1.0E-03 9999.
14VSB 112676.528 60.00 -120.00 -1.0E-03 9999.
14VSC 112676.528 60.00 120.00 -1.0E-03 9999.
14VRA 112676.528 60.00 -20.00 -1.0E-03 9999.
14VRB 112676.528 60.00 -140.00 -1.0E-03 9999.
14VRC 112676.528 60.00 100.00 -1.0E-03 9999.
BLANK RECORD ENDING SOURCES
BLANK RECORD ENDING NODE VOLTAGE OUTPUT
BLANK RECORD ENDING PLOT
BEGIN NEW DATA CASE
BLANK RECORD ENDING ALL DATA CASES

```

## 5. Modelo del Controlador Unificado de Flujos de Potencia con el inversor de 48 pulsos

```

BEGIN NEW DATA CASE
$WIDTH,80
C FILE: UPFC_48.DAT (48-Pulse Quasi harmonic neutralized
C CUPF). UPFC Unified Power Flow Controller

```

```

C
C *****
C MISC_CARD
C ..... Miscellaneous data .....
C 34567890123456789012345678901234567890123456789012345678901234567890
C DeltaT| TMax | XOpt | COpt |Espiln |TolMat |TStart |
C 50.E-6 0.2
16.666-6450.00-3
C IOUt | IPlot |IDoubl |KSSOut |MaxOut | IPU n |MemSav | ICat |NEnErg |IPrSu
  30 10 0 0 0 0 1 0
C
TACS HYBRID
99CRD = 180 / PI
99CDR = 1 / CRD
99TWOPI = 2.0 * PI
99KPSHI = .45
99KISHI = 40
99KINV = (2 / PI) * COS(PI/48)
99KPLLp = 100000.0
99KPLLl = 250000.0
99MS1 = TIMEX .GE. 0.05
99MS2 = 0
C Inverter base
99VBASEI = 112676.528
99IBASEI = 946.662704
C InPUts from the measuring switches
90BUS01A
90BUS01B
90BUS01C
90BUS02A
90BUS02B
90BUS02C
90VRA
90VRB
90VRC
90POS
90NEG
91INV01A
91INV01B
91INV01C
91INV02A
91INV02B
91INV02C
91BUS03A
91BUS03B
91BUS03C
C BUS1 voltage comPUtation
99V1APU = BUS01A / VBASEI
99V1BPU = BUS01B / VBASEI
99V1CPU = BUS01C / VBASEI
99V1DS = V1APU
99V1QS = -(V1APU + 2.0 * V1CPU) / SQRT(3)
C Phase-Lock-Loop (locked to phase a voltage of BUS1)
99PLLerr = V1QS * COS(PLLl) - V1DS * SIN(PLLl)
99PLLint = PLLini + PLLerr * DELTAT
99PLLdot = KPLLl * PLLint + KPLLp * PLLerr
  PLLini +PLLint
99PLL = PLLi + PLLdot * DELTAT
  PLLi +PLL
99theta = PLL - TWOPI * TRUNC(PLL/TWOPI)
99COSPLL = COS(theta)
99SINPLL = SIN(theta)
C BUS2 voltage comPUtation
99V2APU = BUS02A / VBASEI
99V2BPU = BUS02B / VBASEI
99V2CPU = BUS02C / VBASEI
C Injected voltage comPUtation
99V12APU = V1APU - V2APU
99V12BPU = V1BPU - V2BPU
99V12CPU = V1CPU - V2CPU
C - Receiving-end voltage comPUtation
99vraPU = VRA / VBASEI

```



```

99vrbPU = VRB / VBASEI
99vrcPU = VRC / VBASEI
C Line current comPUtation
99IAPU = BUS03A / IBASEI
99IBPU = BUS03B / IBASEI
99ICPU = BUS03C / IBASEI
C Shunt inverter current comPUtation
99I1A = INV01A
99I1B = INV01B
99I1C = INV01C
99I1APU = I1A / IBASEI
99I1BPU = I1B / IBASEI
99I1CPU = I1C / IBASEI
99I1DS = I1APU
99I1QS = -(I1APU + 2.0 * I1CPU) / SQRT(3)
99I1D = I1DS * COSPLL + I1QS * SINPLL
99I1Q = -I1DS * SINPLL + I1QS * COSPLL
C Series inverter current comPUtation
99I2A = INV02A
99I2B = INV02B
99I2C = INV02C
99I2APU = I2A / IBASEI
99I2BPU = I2B / IBASEI
99I2CPU = I2C / IBASEI
C Setting the STATCOM reactive current demand
99I1QCM1 = TIMEX .GE. 0.125
99I1QCM2 = 2 * (TIMEX .GE. 0.175)
99I1QCM3 = 2 * (TIMEX .GE. 0.25)
99I1QCMd = (-I1QCM1 + I1QCM2 - I1QCM3) * 0
1I1Qref +I1QCMd
1.0
1.0 0.0040
C Shunt inverter angle calculation
99I1Qerr = (I1Qref - I1Q) * MS1
99I1Qint = I1Qini + I1Qerr * DELTAT
I1Qini +I1Qint
99alpha = KPSHI * I1Qerr + KISHI * I1Qint
99gamma1 = 1.875 * CDR
99tha1 = theta + PI / 2 + alpha
C This addition of PI/2 is because the gating signals are sine
C reference and the Phase-Lock-Loop signals are cosine
C reference.
99theta1 = tha1 + TWOPI*(tha1.LT.0.0) - TWOPI*(tha1.GE.TWOPI)
C Inverter Pole Voltages
99an1A1 = theta1 + 11.25 * CDR
99ang1A1 = an1A1+TWOPI*(an1A1.LT.0.0)-TWOPI*(an1A1.GE.TWOPI)
99a11A1 =((ang1A1-gamma1).GE.0).AND.((ang1A1-PI+gamma1).LT.0)
99bE1A1 = ((ang1A1 - PI-gamma1) .GE. 0) .AND. ((ang1A1 - TWOPI+gamma1) .LT. 0)
99V1A1 = VDC / 2 * a11A1 - VDC / 2 * bE1A1
99an1B1 = theta1 + (-120.0 + 11.25) * CDR
99ang1B1 = an1B1+TWOPI*(an1B1.LT.0.0)-TWOPI*(an1B1.GE.TWOPI)
99a11B1 =((ang1B1-gamma1).GE.0).AND.((ang1B1-PI+gamma1).LT.0)
99bE1B1 = ((ang1B1 - PI-gamma1) .GE. 0) .AND. ((ang1B1 - TWOPI+gamma1) .LT. 0)
99V1B1 = VDC / 2 * a11B1 - VDC / 2 * bE1B1
99an1C1 = theta1 + (-240.0 + 11.25) * CDR
99ang1C1 = an1C1+TWOPI*(an1C1.LT.0.0)-TWOPI*(an1C1.GE.TWOPI)
99a11C1 =((ang1C1-gamma1).GE.0).AND.((ang1C1-PI+gamma1).LT.0)
99bE1C1 = ((ang1C1 - PI-gamma1) .GE. 0) .AND. ((ang1C1 - TWOPI+gamma1) .LT. 0)
99V1C1 = VDC / 2 * a11C1 - VDC / 2 * bE1C1
99an1A2 = theta1 + 3.75 * CDR
99ang1A2 = an1A2+TWOPI*(an1A2.LT.0.0)-TWOPI*(an1A2.GE.TWOPI)
99a11A2 =((ang1A2-gamma1).GE.0).AND.((ang1A2-PI+gamma1).LT.0)
99bE1A2 = ((ang1A2 - PI-gamma1) .GE. 0) .AND. ((ang1A2 - TWOPI+gamma1) .LT. 0)
99V1A2 = VDC / 2 * a11A2 - VDC / 2 * bE1A2
99an1B2 = theta1 + (-120.0 + 3.75) * CDR
99ang1B2 = an1B2+TWOPI*(an1B2.LT.0.0)-TWOPI*(an1B2.GE.TWOPI)
99a11B2 =((ang1B2-gamma1).GE.0).AND.((ang1B2-PI+gamma1).LT.0)
99bE1B2 = ((ang1B2 - PI-gamma1) .GE. 0) .AND. ((ang1B2 - TWOPI+gamma1) .LT. 0)
99V1B2 = VDC / 2 * a11B2 - VDC / 2 * bE1B2
99an1C2 = theta1 + (-240.0 + 3.75) * CDR
99ang1C2 = an1C2+TWOPI*(an1C2.LT.0.0)-TWOPI*(an1C2.GE.TWOPI)
99a11C2 =((ang1C2-gamma1).GE.0).AND.((ang1C2-PI+gamma1).LT.0)

```

99bE1C2 = ((ang1C2 - PI-gamma1) .GE. 0) .AND. ((ang1C2 - TWOPI+gamma1) .LT. 0)  
99V1C2 = VDC / 2 \* a11C2 - VDC / 2 \* bE1C2  
99an1A3 = theta1 - 3.75 \* CDR  
99ang1A3 = an1A3+TWOPI\*(an1A3.LT.0.0)-TWOPI\*(an1A3.GE.TWOPI)  
99a11A3 = ((ang1A3-gamma1).GE.0).AND.((ang1A3-PI+gamma1).LT.0)  
99bE1A3 = ((ang1A3 - PI-gamma1) .GE. 0) .AND. ((ang1A3 - TWOPI+gamma1) .LT. 0)  
99V1A3 = VDC / 2 \* a11A3 - VDC / 2 \* bE1A3  
99an1B3 = theta1 + (-120.0 - 3.75) \* CDR  
99ang1B3 = an1B3+TWOPI\*(an1B3.LT.0.0)-TWOPI\*(an1B3.GE.TWOPI)  
99a11B3 = ((ang1B3-gamma1).GE.0).AND.((ang1B3-PI+gamma1).LT.0)  
99bE1B3 = ((ang1B3 - PI-gamma1) .GE. 0) .AND. ((ang1B3 - TWOPI+gamma1) .LT. 0)  
99V1B3 = VDC / 2 \* a11B3 - VDC / 2 \* bE1B3  
99an1C3 = theta1 + (-240.0 - 3.75) \* CDR  
99ang1C3 = an1C3+TWOPI\*(an1C3.LT.0.0)-TWOPI\*(an1C3.GE.TWOPI)  
99a11C3 = ((ang1C3-gamma1).GE.0).AND.((ang1C3-PI+gamma1).LT.0)  
99bE1C3 = ((ang1C3 - PI-gamma1) .GE. 0) .AND. ((ang1C3 - TWOPI+gamma1) .LT. 0)  
99V1C3 = VDC / 2 \* a11C3 - VDC / 2 \* bE1C3  
99an1A4 = theta1 - 11.25 \* CDR  
99ang1A4 = an1A4+TWOPI\*(an1A4.LT.0.0)-TWOPI\*(an1A4.GE.TWOPI)  
99a11A4 = ((ang1A4-gamma1).GE.0).AND.((ang1A4-PI+gamma1).LT.0)  
99bE1A4 = ((ang1A4 - PI-gamma1) .GE. 0) .AND. ((ang1A4 - TWOPI+gamma1) .LT. 0)  
99V1A4 = VDC / 2 \* a11A4 - VDC / 2 \* bE1A4  
99an1B4 = theta1 + (-120.0 - 11.25) \* CDR  
99ang1B4 = an1B4+TWOPI\*(an1B4.LT.0.0)-TWOPI\*(an1B4.GE.TWOPI)  
99a11B4 = ((ang1B4-gamma1).GE.0).AND.((ang1B4-PI+gamma1).LT.0)  
99bE1B4 = ((ang1B4 - PI-gamma1) .GE. 0) .AND. ((ang1B4 - TWOPI+gamma1) .LT. 0)  
99V1B4 = VDC / 2 \* a11B4 - VDC / 2 \* bE1B4  
99an1C4 = theta1 + (-240.0 - 11.25) \* CDR  
99ang1C4 = an1C4+TWOPI\*(an1C4.LT.0.0)-TWOPI\*(an1C4.GE.TWOPI)  
99a11C4 = ((ang1C4-gamma1).GE.0).AND.((ang1C4-PI+gamma1).LT.0)  
99bE1C4 = ((ang1C4 - PI-gamma1) .GE. 0) .AND. ((ang1C4 - TWOPI+gamma1) .LT. 0)  
99V1C4 = VDC / 2 \* a11C4 - VDC / 2 \* bE1C4  
99an1D1 = theta1 + (-30.0 + 11.25) \* CDR  
99ang1D1 = an1D1+TWOPI\*(an1D1.LT.0.0)-TWOPI\*(an1D1.GE.TWOPI)  
99a11D1 = ((ang1D1-gamma1).GE.0).AND.((ang1D1-PI+gamma1).LT.0)  
99bE1D1 = ((ang1D1 - PI-gamma1) .GE. 0) .AND. ((ang1D1 - TWOPI+gamma1) .LT. 0)  
99V1D1 = VDC / 2 \* a11D1 - VDC / 2 \* bE1D1  
99an1E1 = theta1 + (-150.0 + 11.25) \* CDR  
99ang1E1 = an1E1+TWOPI\*(an1E1.LT.0.0)-TWOPI\*(an1E1.GE.TWOPI)  
99a11E1 = ((ang1E1-gamma1).GE.0).AND.((ang1E1-PI+gamma1).LT.0)  
99bE1E1 = ((ang1E1 - PI-gamma1) .GE. 0) .AND. ((ang1E1 - TWOPI+gamma1) .LT. 0)  
99V1E1 = VDC / 2 \* a11E1 - VDC / 2 \* bE1E1  
99an1F1 = theta1 + (-270.0 + 11.25) \* CDR  
99ang1F1 = an1F1+TWOPI\*(an1F1.LT.0.0)-TWOPI\*(an1F1.GE.TWOPI)  
99a11F1 = ((ang1F1-gamma1).GE.0).AND.((ang1F1-PI+gamma1).LT.0)  
99bE1F1 = ((ang1F1 - PI-gamma1) .GE. 0) .AND. ((ang1F1 - TWOPI+gamma1) .LT. 0)  
99V1F1 = VDC / 2 \* a11F1 - VDC / 2 \* bE1F1  
99an1D2 = theta1 + (-30.0 + 3.75) \* CDR  
99ang1D2 = an1D2+TWOPI\*(an1D2.LT.0.0)-TWOPI\*(an1D2.GE.TWOPI)  
99a11D2 = ((ang1D2-gamma1).GE.0).AND.((ang1D2-PI+gamma1).LT.0)  
99bE1D2 = ((ang1D2 - PI-gamma1) .GE. 0) .AND. ((ang1D2 - TWOPI+gamma1) .LT. 0)  
99V1D2 = VDC / 2 \* a11D2 - VDC / 2 \* bE1D2  
99an1E2 = theta1 + (-150.0 + 3.75) \* CDR  
99ang1E2 = an1E2+TWOPI\*(an1E2.LT.0.0)-TWOPI\*(an1E2.GE.TWOPI)  
99a11E2 = ((ang1E2-gamma1).GE.0).AND.((ang1E2-PI+gamma1).LT.0)  
99bE1E2 = ((ang1E2 - PI-gamma1) .GE. 0) .AND. ((ang1E2 - TWOPI+gamma1) .LT. 0)  
99V1E2 = VDC / 2 \* a11E2 - VDC / 2 \* bE1E2  
99an1F2 = theta1 + (-270.0 + 3.75) \* CDR  
99ang1F2 = an1F2+TWOPI\*(an1F2.LT.0.0)-TWOPI\*(an1F2.GE.TWOPI)  
99a11F2 = ((ang1F2-gamma1).GE.0).AND.((ang1F2-PI+gamma1).LT.0)  
99bE1F2 = ((ang1F2 - PI-gamma1) .GE. 0) .AND. ((ang1F2 - TWOPI+gamma1) .LT. 0)  
99V1F2 = VDC / 2 \* a11F2 - VDC / 2 \* bE1F2  
99an1D3 = theta1 + (-30.0 - 3.75) \* CDR  
99ang1D3 = an1D3+TWOPI\*(an1D3.LT.0.0)-TWOPI\*(an1D3.GE.TWOPI)  
99a11D3 = ((ang1D3-gamma1).GE.0).AND.((ang1D3-PI+gamma1).LT.0)  
99bE1D3 = ((ang1D3 - PI-gamma1) .GE. 0) .AND. ((ang1D3 - TWOPI+gamma1) .LT. 0)  
99V1D3 = VDC / 2 \* a11D3 - VDC / 2 \* bE1D3  
99an1E3 = theta1 + (-150.0 - 3.75) \* CDR  
99ang1E3 = an1E3+TWOPI\*(an1E3.LT.0.0)-TWOPI\*(an1E3.GE.TWOPI)  
99a11E3 = ((ang1E3-gamma1).GE.0).AND.((ang1E3-PI+gamma1).LT.0)  
99bE1E3 = ((ang1E3 - PI-gamma1) .GE. 0) .AND. ((ang1E3 - TWOPI+gamma1) .LT. 0)  
99V1E3 = VDC / 2 \* a11E3 - VDC / 2 \* bE1E3

99an1F3 = theta1 + (-270.0 - 3.75) \* CDR  
 99ang1F3 = an1F3+TWOPI\*(an1F3.LT.0.0)-TWOPI\*(an1F3.GE.TWOPI)  
 99a11F3 =((ang1F3-gamma1).GE.0).AND.((ang1F3-PI+gamma1).LT.0)  
 99be1F3 = ((ang1F3 - PI-gamma1) .GE. 0) .AND. ((ang1F3 - TWOPI+gamma1) .LT. 0)  
 99V1F3 = VDC / 2 \* a11F3 - VDC / 2 \* be1F3  
 99an1D4 = theta1 + (-30.0 - 11.25) \* CDR  
 99ang1D4 = an1D4+TWOPI\*(an1D4.LT.0.0)-TWOPI\*(an1D4.GE.TWOPI)  
 99a11D4 =((ang1D4-gamma1).GE.0).AND.((ang1D4-PI+gamma1).LT.0)  
 99be1D4 = ((ang1D4 - PI-gamma1) .GE. 0) .AND. ((ang1D4 - TWOPI+gamma1) .LT. 0)  
 99V1D4 = VDC / 2 \* a11D4 - VDC / 2 \* be1D4  
 99an1E4 = theta1 + (-150.0 - 11.25) \* CDR  
 99ang1E4 = an1E4+TWOPI\*(an1E4.LT.0.0)-TWOPI\*(an1E4.GE.TWOPI)  
 99a11E4 =((ang1E4-gamma1).GE.0).AND.((ang1E4-PI+gamma1).LT.0)  
 99be1E4 = ((ang1E4 - PI-gamma1) .GE. 0) .AND. ((ang1E4 - TWOPI+gamma1) .LT. 0)  
 99V1E4 = VDC / 2 \* a11E4 - VDC / 2 \* be1E4  
 99an1F4 = theta1 + (-270.0 - 11.25) \* CDR  
 99ang1F4 = an1F4+TWOPI\*(an1F4.LT.0.0)-TWOPI\*(an1F4.GE.TWOPI)  
 99a11F4 =((ang1F4-gamma1).GE.0).AND.((ang1F4-PI+gamma1).LT.0)  
 99be1F4 = ((ang1F4 - PI-gamma1) .GE. 0) .AND. ((ang1F4 - TWOPI+gamma1) .LT. 0)  
 99V1F4 = VDC / 2 \* a11F4 - VDC / 2 \* be1F4

#### C Magnetic Circuit

C Note: The signals vX, vY and vZ in Fig. 10 are renamed  
 C AS E1A, E1B and E1C, respectively. The singals vX1, vY1 and  
 C vZ1 are renamed as E1A1, E1B1 and E1C1, respectively.

99V1N1 = (V1A1 + V1B1 + V1C1) / 3  
 99V1A1N = V1A1 - V1N1  
 99V1B1N = V1B1 - V1N1  
 99V1C1N = V1C1 - V1N1  
 99V1D1E1 = V1D1 - V1E1  
 99V1E1F1 = V1E1 - V1F1  
 99V1F1D1 = V1F1 - V1D1  
 99E1A1 = (V1A1N + V1D1E1 / SQRT(3)) / 2  
 99E1B1 = (V1B1N + V1E1F1 / SQRT(3)) / 2  
 99E1C1 = (V1C1N + V1F1D1 / SQRT(3)) / 2  
 99V1N2 = (V1A2 + V1B2 + V1C2) / 3  
 99V1A2N = V1A2 - V1N2  
 99V1B2N = V1B2 - V1N2  
 99V1C2N = V1C2 - V1N2  
 99V1D2E2 = V1D2 - V1E2  
 99V1E2F2 = V1E2 - V1F2  
 99V1F2D2 = V1F2 - V1D2  
 99E1A2 = (V1A2N + V1D2E2 / SQRT(3)) / 2  
 99E1B2 = (V1B2N + V1E2F2 / SQRT(3)) / 2  
 99E1C2 = (V1C2N + V1F2D2 / SQRT(3)) / 2  
 99V1N3 = (V1A3 + V1B3 + V1C3) / 3  
 99V1A3N = V1A3 - V1N3  
 99V1B3N = V1B3 - V1N3  
 99V1C3N = V1C3 - V1N3  
 99V1D3E3 = V1D3 - V1E3  
 99V1E3F3 = V1E3 - V1F3  
 99V1F3D3 = V1F3 - V1D3  
 99E1A3 = (V1A3N + V1D3E3 / SQRT(3)) / 2  
 99E1B3 = (V1B3N + V1E3F3 / SQRT(3)) / 2  
 99E1C3 = (V1C3N + V1F3D3 / SQRT(3)) / 2  
 99V1N4 = (V1A4 + V1B4 + V1C4) / 3  
 99V1A4N = V1A4 - V1N4  
 99V1B4N = V1B4 - V1N4  
 99V1C4N = V1C4 - V1N4  
 99V1D4E4 = V1D4 - V1E4  
 99V1E4F4 = V1E4 - V1F4  
 99V1F4D4 = V1F4 - V1D4  
 99E1A4 = (V1A4N + V1D4E4 / SQRT(3)) / 2  
 99E1B4 = (V1B4N + V1E4F4 / SQRT(3)) / 2  
 99E1C4 = (V1C4N + V1F4D4 / SQRT(3)) / 2

#### C VSI1 output voltage

99E1A = (E1A1 + E1A2 + E1A3 + E1A4) / 4  
 99E1B = (E1B1 + E1B2 + E1B3 + E1B4) / 4  
 99E1C = (E1C1 + E1C2 + E1C3 + E1C4) / 4  
 99E1APU = E1A / VBASEI  
 99E1BPU = E1B / VBASEI  
 99E1CPU = E1C / VBASEI

C Setting the SSSC voltage demand

99V2CM1 = 0.2 \* (TIMEX .GE. 0.100)  
 99V2CM2 = 0.2 \* (TIMEX .GE. 0.300)  
 99V2DQCM = V2CM1 + V2CM2  
 1V2DQRF +V2DQCM  
 1.0  
 1.0 0.0040  
 99beta1 = 120 \* (TIMEX .GE. 0.100)  
 99beta2 = 60 \* (TIMEX .GE. 0.200)  
 99beta = (beta1 - beta2) \* CDR  
 99cosga2 = V2DQRF / VDCPU / KINV  
 99ga2d = cosga2 + 0.00000001  
 99ga2q = SQRT(1 - cosga2 \* cosga2)  
 99gamma2 = ATAN(ga2q / ga2d)  
 99tha2 = theta + PI / 2 + beta  
 99theta2 = tha2 + TWOPI\*(tha2.LT.0.0) - TWOPI\*(tha2.GE.TWOPI)  
 C Inverter Pole Voltages  
 99an2A1 = theta2 + 11.25 \* CDR  
 99ang2A1 = an2A1+TWOPI\*(an2A1.LT.0.0)-TWOPI\*(an2A1.GE.TWOPI)  
 99a12A1 = ((ang2A1-gamma2).GE.0).AND.((ang2A1-PI+gamma2).LT.0)  
 99bE2A1 = ((ang2A1 - PI-gamma2) .GE. 0) .AND. ((ang2A1 - TWOPI+gamma2) .LT. 0)  
 99V2A1 = VDC / 2 \* a12A1 - VDC / 2 \* bE2A1  
 99an2B1 = theta2 + (-120.0 + 11.25) \* CDR  
 99ang2B1 = an2B1+TWOPI\*(an2B1.LT.0.0)-TWOPI\*(an2B1.GE.TWOPI)  
 99a12B1 = ((ang2B1-gamma2).GE.0).AND.((ang2B1-PI+gamma2).LT.0)  
 99bE2B1 = ((ang2B1 - PI-gamma2) .GE. 0) .AND. ((ang2B1 - TWOPI+gamma2) .LT. 0)  
 99V2B1 = VDC / 2 \* a12B1 - VDC / 2 \* bE2B1  
 99an2C1 = theta2 + (-240.0 + 11.25) \* CDR  
 99ang2C1 = an2C1+TWOPI\*(an2C1.LT.0.0)-TWOPI\*(an2C1.GE.TWOPI)  
 99a12C1 = ((ang2C1-gamma2).GE.0).AND.((ang2C1-PI+gamma2).LT.0)  
 99bE2C1 = ((ang2C1 - PI-gamma2) .GE. 0) .AND. ((ang2C1 - TWOPI+gamma2) .LT. 0)  
 99V2C1 = VDC / 2 \* a12C1 - VDC / 2 \* bE2C1  
 99an2A2 = theta2 + 3.75 \* CDR  
 99ang2A2 = an2A2+TWOPI\*(an2A2.LT.0.0)-TWOPI\*(an2A2.GE.TWOPI)  
 99a12A2 = ((ang2A2-gamma2).GE.0).AND.((ang2A2-PI+gamma2).LT.0)  
 99bE2A2 = ((ang2A2 - PI-gamma2) .GE. 0) .AND. ((ang2A2 - TWOPI+gamma2) .LT. 0)  
 99V2A2 = VDC / 2 \* a12A2 - VDC / 2 \* bE2A2  
 99an2B2 = theta2 + (-120.0 + 3.75) \* CDR  
 99ang2B2 = an2B2+TWOPI\*(an2B2.LT.0.0)-TWOPI\*(an2B2.GE.TWOPI)  
 99a12B2 = ((ang2B2-gamma2).GE.0).AND.((ang2B2-PI+gamma2).LT.0)  
 99bE2B2 = ((ang2B2 - PI-gamma2) .GE. 0) .AND. ((ang2B2 - TWOPI+gamma2) .LT. 0)  
 99V2B2 = VDC / 2 \* a12B2 - VDC / 2 \* bE2B2  
 99an2C2 = theta2 + (-240.0 + 3.75) \* CDR  
 99ang2C2 = an2C2+TWOPI\*(an2C2.LT.0.0)-TWOPI\*(an2C2.GE.TWOPI)  
 99a12C2 = ((ang2C2-gamma2).GE.0).AND.((ang2C2-PI+gamma2).LT.0)  
 99bE2C2 = ((ang2C2 - PI-gamma2) .GE. 0) .AND. ((ang2C2 - TWOPI+gamma2) .LT. 0)  
 99V2C2 = VDC / 2 \* a12C2 - VDC / 2 \* bE2C2  
 99an2A3 = theta2 - 3.75 \* CDR  
 99ang2A3 = an2A3+TWOPI\*(an2A3.LT.0.0)-TWOPI\*(an2A3.GE.TWOPI)  
 99a12A3 = ((ang2A3-gamma2).GE.0).AND.((ang2A3-PI+gamma2).LT.0)  
 99bE2A3 = ((ang2A3 - PI-gamma2) .GE. 0) .AND. ((ang2A3 - TWOPI+gamma2) .LT. 0)  
 99V2A3 = VDC / 2 \* a12A3 - VDC / 2 \* bE2A3  
 99an2B3 = theta2 + (-120.0 - 3.75) \* CDR  
 99ang2B3 = an2B3+TWOPI\*(an2B3.LT.0.0)-TWOPI\*(an2B3.GE.TWOPI)  
 99a12B3 = ((ang2B3-gamma2).GE.0).AND.((ang2B3-PI+gamma2).LT.0)  
 99bE2B3 = ((ang2B3 - PI-gamma2) .GE. 0) .AND. ((ang2B3 - TWOPI+gamma2) .LT. 0)  
 99V2B3 = VDC / 2 \* a12B3 - VDC / 2 \* bE2B3  
 99an2C3 = theta2 + (-240.0 - 3.75) \* CDR  
 99ang2C3 = an2C3+TWOPI\*(an2C3.LT.0.0)-TWOPI\*(an2C3.GE.TWOPI)  
 99a12C3 = ((ang2C3-gamma2).GE.0).AND.((ang2C3-PI+gamma2).LT.0)  
 99bE2C3 = ((ang2C3 - PI-gamma2) .GE. 0) .AND. ((ang2C3 - TWOPI+gamma2) .LT. 0)  
 99V2C3 = VDC / 2 \* a12C3 - VDC / 2 \* bE2C3  
 99an2A4 = theta2 - 11.25 \* CDR  
 99ang2A4 = an2A4+TWOPI\*(an2A4.LT.0.0)-TWOPI\*(an2A4.GE.TWOPI)  
 99a12A4 = ((ang2A4-gamma2).GE.0).AND.((ang2A4-PI+gamma2).LT.0)  
 99bE2A4 = ((ang2A4 - PI-gamma2) .GE. 0) .AND. ((ang2A4 - TWOPI+gamma2) .LT. 0)  
 99V2A4 = VDC / 2 \* a12A4 - VDC / 2 \* bE2A4  
 99an2B4 = theta2 + (-120.0 - 11.25) \* CDR  
 99ang2B4 = an2B4+TWOPI\*(an2B4.LT.0.0)-TWOPI\*(an2B4.GE.TWOPI)  
 99a12B4 = ((ang2B4-gamma2).GE.0).AND.((ang2B4-PI+gamma2).LT.0)  
 99bE2B4 = ((ang2B4 - PI-gamma2) .GE. 0) .AND. ((ang2B4 - TWOPI+gamma2) .LT. 0)  
 99V2B4 = VDC / 2 \* a12B4 - VDC / 2 \* bE2B4  
 99an2C4 = theta2 + (-240.0 - 11.25) \* CDR

99ang2C4 = an2C4+TWOPI\*(an2C4.LT.0.0)-TWOPI\*(an2C4.GE.TWOPI)  
99a12C4 =((ang2C4-gamma2).GE.0).AND.((ang2C4-PI+gamma2).LT.0)  
99be2C4 = ((ang2C4 - PI-gamma2) .GE. 0) .AND. ((ang2C4 - TWOPI+gamma2) .LT. 0)  
99V2C4 = VDC / 2 \* a12C4 - VDC / 2 \* bE2C4  
99an2D1 = theta2 + (-30.0 + 11.25) \* CDR  
99ang2D1 = an2D1+TWOPI\*(an2D1.LT.0.0)-TWOPI\*(an2D1.GE.TWOPI)  
99a12D1 =((ang2D1-gamma2).GE.0).AND.((ang2D1-PI+gamma2).LT.0)  
99be2D1 = ((ang2D1 - PI-gamma2) .GE. 0) .AND. ((ang2D1 - TWOPI+gamma2) .LT. 0)  
99V2D1 = VDC / 2 \* a12D1 - VDC / 2 \* be2D1  
99an2E1 = theta2 + (-150.0 + 11.25) \* CDR  
99ang2E1 = an2E1+TWOPI\*(an2E1.LT.0.0)-TWOPI\*(an2E1.GE.TWOPI)  
99a12E1 =((ang2E1-gamma2).GE.0).AND.((ang2E1-PI+gamma2).LT.0)  
99be2E1 = ((ang2E1 - PI-gamma2) .GE. 0) .AND. ((ang2E1 - TWOPI+gamma2) .LT. 0)  
99V2E1 = VDC / 2 \* a12E1 - VDC / 2 \* be2E1  
99an2F1 = theta2 + (-270.0 + 11.25) \* CDR  
99ang2F1 = an2F1+TWOPI\*(an2F1.LT.0.0)-TWOPI\*(an2F1.GE.TWOPI)  
99a12F1 =((ang2F1-gamma2).GE.0).AND.((ang2F1-PI+gamma2).LT.0)  
99be2F1 = ((ang2F1 - PI-gamma2) .GE. 0) .AND. ((ang2F1 - TWOPI+gamma2) .LT. 0)  
99V2F1 = VDC / 2 \* a12F1 - VDC / 2 \* be2F1  
99an2D2 = theta2 + (-30.0 + 3.75) \* CDR  
99ang2D2 = an2D2+TWOPI\*(an2D2.LT.0.0)-TWOPI\*(an2D2.GE.TWOPI)  
99a12D2 =((ang2D2-gamma2).GE.0).AND.((ang2D2-PI+gamma2).LT.0)  
99be2D2 = ((ang2D2 - PI-gamma2) .GE. 0) .AND. ((ang2D2 - TWOPI+gamma2) .LT. 0)  
99V2D2 = VDC / 2 \* a12D2 - VDC / 2 \* be2D2  
99an2E2 = theta2 + (-150.0 + 3.75) \* CDR  
99ang2E2 = an2E2+TWOPI\*(an2E2.LT.0.0)-TWOPI\*(an2E2.GE.TWOPI)  
99a12E2 =((ang2E2-gamma2).GE.0).AND.((ang2E2-PI+gamma2).LT.0)  
99be2E2 = ((ang2E2 - PI-gamma2) .GE. 0) .AND. ((ang2E2 - TWOPI+gamma2) .LT. 0)  
99V2E2 = VDC / 2 \* a12E2 - VDC / 2 \* be2E2  
99an2F2 = theta2 + (-270.0 + 3.75) \* CDR  
99ang2F2 = an2F2+TWOPI\*(an2F2.LT.0.0)-TWOPI\*(an2F2.GE.TWOPI)  
99a12F2 =((ang2F2-gamma2).GE.0).AND.((ang2F2-PI+gamma2).LT.0)  
99be2F2 = ((ang2F2 - PI-gamma2) .GE. 0) .AND. ((ang2F2 - TWOPI+gamma2) .LT. 0)  
99V2F2 = VDC / 2 \* a12F2 - VDC / 2 \* be2F2  
99an2D3 = theta2 + (-30.0 - 3.75) \* CDR  
99ang2D3 = an2D3+TWOPI\*(an2D3.LT.0.0)-TWOPI\*(an2D3.GE.TWOPI)  
99a12D3 =((ang2D3-gamma2).GE.0).AND.((ang2D3-PI+gamma2).LT.0)  
99be2D3 = ((ang2D3 - PI-gamma2) .GE. 0) .AND. ((ang2D3 - TWOPI+gamma2) .LT. 0)  
99V2D3 = VDC / 2 \* a12D3 - VDC / 2 \* be2D3  
99an2E3 = theta2 + (-150.0 - 3.75) \* CDR  
99ang2E3 = an2E3+TWOPI\*(an2E3.LT.0.0)-TWOPI\*(an2E3.GE.TWOPI)  
99a12E3 =((ang2E3-gamma2).GE.0).AND.((ang2E3-PI+gamma2).LT.0)  
99be2E3 = ((ang2E3 - PI-gamma2) .GE. 0) .AND. ((ang2E3 - TWOPI+gamma2) .LT. 0)  
99V2E3 = VDC / 2 \* a12E3 - VDC / 2 \* be2E3  
99an2F3 = theta2 + (-270.0 - 3.75) \* CDR  
99ang2F3 = an2F3+TWOPI\*(an2F3.LT.0.0)-TWOPI\*(an2F3.GE.TWOPI)  
99a12F3 =((ang2F3-gamma2).GE.0).AND.((ang2F3-PI+gamma2).LT.0)  
99be2F3 = ((ang2F3 - PI-gamma2) .GE. 0) .AND. ((ang2F3 - TWOPI+gamma2) .LT. 0)  
99V2F3 = VDC / 2 \* a12F3 - VDC / 2 \* be2F3  
99an2D4 = theta2 + (-30.0 - 11.25) \* CDR  
99ang2D4 = an2D4+TWOPI\*(an2D4.LT.0.0)-TWOPI\*(an2D4.GE.TWOPI)  
99a12D4 =((ang2D4-gamma2).GE.0).AND.((ang2D4-PI+gamma2).LT.0)  
99be2D4 = ((ang2D4 - PI-gamma2) .GE. 0) .AND. ((ang2D4 - TWOPI+gamma2) .LT. 0)  
99V2D4 = VDC / 2 \* a12D4 - VDC / 2 \* be2D4  
99an2E4 = theta2 + (-150.0 - 11.25) \* CDR  
99ang2E4 = an2E4+TWOPI\*(an2E4.LT.0.0)-TWOPI\*(an2E4.GE.TWOPI)  
99a12E4 =((ang2E4-gamma2).GE.0).AND.((ang2E4-PI+gamma2).LT.0)  
99be2E4 = ((ang2E4 - PI-gamma2) .GE. 0) .AND. ((ang2E4 - TWOPI+gamma2) .LT. 0)  
99V2E4 = VDC / 2 \* a12E4 - VDC / 2 \* be2E4  
99an2F4 = theta2 + (-270.0 - 11.25) \* CDR  
99ang2F4 = an2F4+TWOPI\*(an2F4.LT.0.0)-TWOPI\*(an2F4.GE.TWOPI)  
99a12F4 =((ang2F4-gamma2).GE.0).AND.((ang2F4-PI+gamma2).LT.0)  
99be2F4 = ((ang2F4 - PI-gamma2) .GE. 0) .AND. ((ang2F4 - TWOPI+gamma2) .LT. 0)  
99V2F4 = VDC / 2 \* a12F4 - VDC / 2 \* be2F4  
C Magnetic Circuit  
C Note: The signals vX, vY and vZ in Fig. 10 are renamed  
C AS E2A, E2B and E2C, respectively. The singals vX1, vY1 and  
C vZ1 are renamed as E2A1, E2B1 and E2C1, respectively.  
99V2N1 = (V2A1 + V2B1 + V2C1) / 3  
99V2A1N = V2A1 - V2N1  
99V2B1N = V2B1 - V2N1  
99V2C1N = V2C1 - V2N1

99V2D1E1 = V2D1 - V2E1  
 99V2E1F1 = V2E1 - V2F1  
 99V2F1D1 = V2F1 - V2D1  
 99E2A1 = (V2A1N + V2D1E1 / SQRT(3)) / 2  
 99E2B1 = (V2B1N + V2E1F1 / SQRT(3)) / 2  
 99E2C1 = (V2C1N + V2F1D1 / SQRT(3)) / 2  
 99V2N2 = (V2A2 + V2B2 + V2C2) / 3  
 99V2A2N = V2A2 - V2N2  
 99V2B2N = V2B2 - V2N2  
 99V2C2N = V2C2 - V2N2  
 99V2D2E2 = V2D2 - V2E2  
 99V2E2F2 = V2E2 - V2F2  
 99V2F2D2 = V2F2 - V2D2  
 99E2A2 = (V2A2N + V2D2E2 / SQRT(3)) / 2  
 99E2B2 = (V2B2N + V2E2F2 / SQRT(3)) / 2  
 99E2C2 = (V2C2N + V2F2D2 / SQRT(3)) / 2  
 99V2N3 = (V2A3 + V2B3 + V2C3) / 3  
 99V2A3N = V2A3 - V2N3  
 99V2B3N = V2B3 - V2N3  
 99V2C3N = V2C3 - V2N3  
 99V2D3E3 = V2D3 - V2E3  
 99V2E3F3 = V2E3 - V2F3  
 99V2F3D3 = V2F3 - V2D3  
 99E2A3 = (V2A3N + V2D3E3 / SQRT(3)) / 2  
 99E2B3 = (V2B3N + V2E3F3 / SQRT(3)) / 2  
 99E2C3 = (V2C3N + V2F3D3 / SQRT(3)) / 2  
 99V2N4 = (V2A4 + V2B4 + V2C4) / 3  
 99V2A4N = V2A4 - V2N4  
 99V2B4N = V2B4 - V2N4  
 99V2C4N = V2C4 - V2N4  
 99V2D4E4 = V2D4 - V2E4  
 99V2E4F4 = V2E4 - V2F4  
 99V2F4D4 = V2F4 - V2D4  
 99E2A4 = (V2A4N + V2D4E4 / SQRT(3)) / 2  
 99E2B4 = (V2B4N + V2E4F4 / SQRT(3)) / 2  
 99E2C4 = (V2C4N + V2F4D4 / SQRT(3)) / 2  
 C VSI2 outPUt voltage  
 99E2A = (E2A1 + E2A2 + E2A3 + E2A4) / 4  
 99E2B = (E2B1 + E2B2 + E2B3 + E2B4) / 4  
 99E2C = (E2C1 + E2C2 + E2C3 + E2C4) / 4  
 99E2APU = E2A / VBASEI  
 99E2BPU = E2B / VBASEI  
 99E2CPU = E2C / VBASEI  
 C DC link capacitor voltage calculation  
 99VDC = POS - NEG  
 99VDCPU = VDC / VBASEI  
 99Pin1 = E1A \* I1A + E1B \* I1B + E1C \* I1C  
 99iDC1 = (-Pin1 / VDC) \* MS1  
 99Pin2 = E2A \* I2A + E2B \* I2B + E2C \* I2C  
 99iDC2 = (Pin2 / VDC) \* MS1  
 99iDCnet = iDC1 + iDC2  
 99iDCn1 = iDCnet  
 99iDCn2 = -iDCn1  
 C Exchanged power between the SSSC and the transmission line  
 99PinvPU = (V12APU\*IAPU + V12BPU\*IBPU + V12CPU\*ICPU) / 1.5  
 99QinvPU = (V12APU\*ICPU - V12CPU\*IAPU) \* SQRT(3) / 1.5  
 C Receiveing-end power calculation  
 99PrPU = (vraPU\*IAPU + vrbPU\*IBPU + vrcPU\*ICPU) / 1.5  
 99QrPU = (vraPU\*ICPU - vrcPU\*IAPU) \* SQRT(3) / 1.5  
 C Setting up the electronic switches  
 99ES22 = 0  
 99ES2 = .NOT. ES22  
 C TACS outPUt  
 33I1QrefI1Q VDCPU E1APU E1BPU E1CPU V1APU I1APU alpha  
 33E2APU E2BPU E2CPU V12APUIAPU PrPU QrPU PinvPUQinvPU  
 BLANK RECORD ENDING TACS  
 VSA BUS01A 1.0053 19.73  
 VSB BUS01BVSA BUS01A  
 VSC BUS01CVSA BUS01A  
 BUS03AVRA 3.0159 59.19  
 BUS03BVRB BUS03AVRA  
 BUS03CVRC BUS03AVRA

POS NEG		42.0+0			
iDCn1 POS		0.001			
iDCn1		1.00+8			
iDCn2 NEG		0.001			
iDCn2		1.00+5			
E11A BUS01A		1.00+8			
E11B BUS01B		1.00+8			
E11C BUS01C		1.00+8			
E2A E22A		1.00+8			
E2B E22B		1.00+8			
E2C E22C		1.00+8			
E22A		1.00+8			
E22B		1.00+8			
E22C		1.00+8			
TRANSFORMER			T1A		
9999					
1INV01A		0.892723.679	1.0		
2E11A		0.892723.679	1.0		
TRANSFORMER			T1B		
9999					
1INV01B		0.892723.679	1.0		
2E11B		0.892723.679	1.0		
TRANSFORMER			T1C		
9999					
1INV01C		0.892723.679	1.0		
2E11C		0.892723.679	1.0		
TRANSFORMER			T2A		
9999					
1INV02A		0.892723.679	1.0		
2BUS01ABUS02A		0.892723.679	1.0		
TRANSFORMER			T2B		
9999					
1INV02B		0.892723.679	1.0		
2BUS01BBUS02B		0.892723.679	1.0		
TRANSFORMER			T2C		
9999					
1INV02C		0.892723.679	1.0		
2BUS01CBUS02C		0.892723.679	1.0		
BLANK RECORD ENDING BRANCHES					
BUS02ABUS03A				MEASURING	
BUS02BBUS03B				MEASURING	
BUS02CBUS03C				MEASURING	
E1A INV01A				MEASURING	
E1B INV01B				MEASURING	
E1C INV01C				MEASURING	
INV02AE22A				MEASURING	
INV02BE22B				MEASURING	
INV02CE22C				MEASURING	
13E11A BUS01A				MS1	
13E11B BUS01B				MS1	
13E11C BUS01C				MS1	
13E2A E22A				ES2	
13E2B E22B				ES2	
13E2C E22C				ES2	
13E22A		CLOSED		ES22	
13E22B		CLOSED		ES22	
13E22C		CLOSED		ES22	
13BUS01ABUS02A				MS2	
13BUS01BBUS02B				MS2	
13BUS01CBUS02C				MS2	
BLANK RECORD ENDING SWITCHES					
60E1A					
60E1B					
60E1C					
60E2A					
60E2B					
60E2C					
60iDCn1 -1					
60iDCn2 -1					
14VSA	112676.528	60.00	0.00	-1.0E-03	9999.
14VSB	112676.528	60.00	-120.00	-1.0E-03	9999.
14VSC	112676.528	60.00	120.00	-1.0E-03	9999.

14VRA	112676.528	60.00	-20.00	-1.0E-03	9999.
14VRB	112676.528	60.00	-140.00	-1.0E-03	9999.
14VRC	112676.528	60.00	100.00	-1.0E-03	9999.

BLANK RECORD ENDING SOURCES  
2POS 94500.0  
2NEG -94500.0  
3POS NEG 189000.0  
BLANK RECORD ENDING NODE VOLTAGE OUTPUT  
BLANK RECORD ENDING PLOT  
BEGIN NEW DATA CASE  
BLANK RECORD ENDING ALL DATA CASES



---

## ***BIBLIOGRAFÍA***

---

[Piedrahita y Salgado 2002]

Piedrahita Alejandro V. y Salgado M. Pedro Juan., “Sistemas de Transmisión AC Flexible (FACTS)”, Electroporcelana GAMMA S.A., Sabaneta-Colombia, Boletín No. 46, Diciembre 2002.

[Gyugyi 1999]

Gyugyi L., “Power Transmission Control: Basic Theory; Problems and needs; FACTS Solutions”, FACTS, 1999.

[Coronado et al. 2001]

Coronado Ixtláhuatl, Zúñiga Pável y Ramírez Juan M., “FACTS: soluciones modernas para la industria eléctrica”, Avance y Perspectiva de la Unidad Guadalajara del Cinvestav, Vol. 20, pp. 235-244, 2001.

[Hingorani y Gyugyi 2000]

Hingorani N.G. y Gyugyi L., “Understanding FACTS: Concepts and Technology of Flexible AC Transmission Systems”, United States of America: IEEE PRESS, 2000.

[Sen 1998]

Sen K. K., “SSSC – Static Synchronous Series Compensator: Theory, Modeling, and Applications”, IEEE Transactions on Power Delivery, Vol. 13, No. 1, pp. 241-246, January 1998.

[Gyugyi 1998]

Gyugyi L., “Converter-Based Facts Controllers”, IEE, Savoy Place, London WC2R 0BL, UK., November 1998.

[Martín 2003]

Martín M. Ángeles P., “Nuevas Técnicas de Modulación Vectorial para Convertidores Electrónicos de Potencia Multinivel”, Tesis Doctoral, Departamento de Ingeniería de Electrónica, Sevilla. Junio 2003.

[Gyugyi 2000]

Gyugyi L., “Application Characteristics of Converter-Based FACTS Controllers”, IEEE Power System Technology 2000, Proceedings, PowerCon 2000, International Conference on, Vol. 1, pp. 391-396, December 2000.

[Cavaliere 2001]

Cavaliere C.A.C. “Analysis of STATCOM Operating in Unbalanced Systems”, Thesis Master of Science, Department: Electrical Engineering, Rio de Janeiro, Brasil, July 2001.

[Shen et al. 2000]

Shen D., Liang X. y Han Y., "A Modified Per-unit STATCOM Model and Analysis of Open Loop Response Time", IEEE 2000.

[Mori et al. 1993]

Mori S., Matsuno K., Hasegawa T., Ohnishi S., Takeda M., Seto M., Murakami S. y Ishiguro F., "Development of a Large Static Var Generator Using Self-Commutated Inverters for Improving Power System Stability", IEEE Transactions on Power Systems, Vol. 8, No. 1, pp. 371-377, February 1993.

[Norouzi y Sharaf 2003]

Norouzi A.H. y Sharaf A.M, "A novel Control Scheme for the STATCOM Stability Enhancement", Transmission and Distribution Conference and Exposition 2003 IEEE PES, Vol. 1, pp. 24-29, September 2003.

[Hatziaioniu y Chalkiadakis 1998]

Hatziaioniu C. J. y Chalkiadakis F. E., "A Transformerless High-Pulse Static Synchronous Compensator Based on the 3-Level GTO Inverter", IEEE Transactions on Power Delivery, Vol. 13, No. 3, pp. 883-888, July 1998.

[Hingorani 1988]

Hingorani N. G., "High Power Electronics and Flexible AC Transmission System", IEEE Power Eng. REV., July 1998.

[Zhang y Ding 1997]

Zhang B. M. y Ding Q. F., "The development of FACTS and Its Control", Proceedings of the 4th International Conference on Advances in Power System Control, Hong Kong, pp. 48-53, November 1997.

[Rodríguez et al. 2005]

Rodríguez J. R., Pontt J., Huerta R., Alzamora G., Becker N., Kouro S., Cortes P., Lezana P., "Resonances in a High-Power Active-Front-End Rectifier System", IEEE Transactions on Industrial Electronics, Vol. 52, No. 2, pp. 482-488, April 2005.

[Arnez y Zanetta 2003]

Arnez R. L. V. y Zanetta L. C., "48-Pulse Based SSSC (Static Synchronous Series Compensator), an Evaluation of its Performance", Department of Electrical Engineering University of Sao Paulo, 2003.

[Gyugyi 1992]

Gyugyi L., "Unified Power-Flow Control Concept for Flexible AC Transmission Systems", IEE proceedings, Vol. 139, No. 4, pp. 323-331, July 1992.

[Gyugyi 1994]

Gyugyi L., "Dynamic Compensation of AC Transmission Lines By Solid-State Synchronous Voltage Sources", IEEE Transactions on Power Delivery, Vol. 9, No. 2, pp. 904-911, April 1994.

[Gyugyi et al. 1995]

Gyugyi L., Schauder C. D., Williams S. L., Rietman T. R., Torgerson D. R. y Edris A., “The Unified Power Flow Controllers: A New Approach to Power Transmission Control”, IEEE Transactions on Power Delivery, Vol. 10, No. 2, pp. 1085-1097, April 1995.

[Schauder et al. 1998]

Schauder C., Stacey E., Lund M., Gyugyi L., Kovalsky L., Kevi A., Mehraban A., Edris A., “AEP UPFC Project : Installation, Commissioning and Operation of the  $\pm 160$  MVA STATCOM (Phase I)”, IEEE Transactions on Power Delivery, Vol. 13, No. 4, pp.1530-1535, October 1998.

[Mohan N. et al. 2003]

Mohan N., Undeland T.M., Robins W.P., “Power Electronics”, New York, John Wiley & Sons, Inc., 2003.

[Song y Johns 1999]

Song Y. H. y Johns A. T., “Flexible AC Transmission Systems (FACTS)”, The Institution of Electrical Engineers, 1999.

[Sen y Stacey 1998]

Sen K. K. y Stacey E. J., “UPFC – Unified Power Flow Controller: Theory, Modelling, and Applications”, IEEE Transactions on Power Delivery, Vol. 13, No. 4, pp. 1453-1460, October 1988.

[Arruda 2001]

Arruda L. N., Silva S. M., and Filho B. J. C., “PLL Structures for Utility Connected Systems”, Industry Applications Conference, 2001. Thirty-sixth IAS Annual Meeting Conference Record of the 2001, Vol. 4, pp. 2655-2660, 2001.

[Bathurst et al. 1999]

Bathurst G. N., Smith B. C., Watson N. R. and Arrillaga J., “Harmonic Domain Modeling of High-Pulse Converters”, IEE Proceedings-Electr. Power Appl., Vol. 146, no. 3, May 1999.

[Dávalos y Ramírez 2001]

Dávalos M. Ricardo J. y Ramírez A. Juan M., “Características Funcionales del STATCOM”, CIGRE Comité Mexicano, Segundo Congreso Bienal, Junio de 2001.

[Grainger y Stevenson Jr. 1997]

Grainger J. J. y Stevenson W. Jr., “Análisis de Sistemas de Potencia”, México: McGRAW-HILL, 1997.

[Seki y Uchino 1997]

Seki N. and Uchino H., “Converter Configurations and Switching Frequency for a GTO Reactive Power Compensator”, IEEE Transactions on Industry Applications, Vol. 33, No. 4, pp. 1011-1018, July/August 1997.

[Sen 1999]

Sen K. K., “STATCOM – STATic Synchronous COMPensator: Theory, Modeling, and Applications”, Power Engineering Society 1999 Winter Meeting, IEEE, Vol. 2, No. 1, pp. 1177-1183, 31 January – 4 February 1999.

[Kaura y Blasko 1997]

Kaura V. and Blasko V., “Operation of a Phase Locked Loop System Under Distorted Utility Conditions”, IEEE Transactions on Industry Applications, Vol. 33, No. 1, pp. 58-62, January/February 1997.

[Fuerte-Esquivel 2001]

Fuerte-Esquivel C. R., “Operación y Control de Sistemas Flexibles de Transmisión en Corriente Alterna”, Universidad Michoacana de San Nicolás de Hidalgo, Facultad de Ingeniería Eléctrica División de Estudios de Posgrado, 2001.

[Mohaddes et al. 2000]

Mohaddes M., Brandt D.P. and Sadek K., “Analysis and Elimination of Third Harmonic Oscillation in Capacitor Voltages of 3-Level Voltage Source Converters”, IEEE, Power Engineering Society Summer Meeting, Vol. 2, pp. 737-471, 16-20 July 2000.

[Long 1991]

Long W.F., “Power Systems Analysis Using Electromagnetic Transients Programs”, IEEE/PES Transmission and Distribution Conference, September 1991.

[Dubé y Dommel 1997]

Dubé L. and Dommel H. W., “Simulation of Control Systems in an Electromagnetic Transients Program with TACS”, Proceedings of IEEE PICA Conf., pp. 266-271, 1977.

[Araújo 1993]

Araújo A. E. A., “Numerical Instabilities in Power System Transient Simulations”, Thesis Doctor of Philosophy, The University of British Columbia, Vancouver, Canada, June 1993.

[Lasseter 1989]

Lasseter R. H., “Electromagnetic Transients Program (EMTP) Workbook IV (TACS)”, Electric Power Research Institute, Palo Alto – California, 1989.

[Dommel 1986]

Dommel H. W., “Electromagnetic Transients Program Reference Manual (EMTP theory Book)”, Department of Electrical Engineering – The University of British Columbia, Vancouver – Canada, 1986.

[Ren-ming 1984]

Ren-ming Ma., "The Challenge of Better EMTP-TACS Variable Ordering", EMTP Newsletter, August 1984.

[Lima 1985]

Lima J. A., "Numerical Instability due to EMTP-TACS Inter-relation", EMTP Newsletter, 1985.

[Ceraolo 1992]

Ceraolo M., "A Case of Numerical Oscillations caused by the TACS-EMTP Interface", EMTP Newsletter, September 1992.

[Lasseter 1987]

Lasseter R. H., "Tacs improvements- classification of problems-final report. Technical report, Department of Electrical and Computer Engineering", University of Wisconsin, Madison, June 1987.