



**UNIVERSIDAD
MICHUACANA DE SAN
NICOLÁS DE HIDALGO**



FACULTAD DE INGENIERÍA
ELÉCTRICA
DIVISIÓN DE ESTUDIOS DE POSGRADO

**“MODELADO, ANÁLISIS, SIMULACIÓN E
IMPLEMENTACIÓN DE SISTEMAS ELÉCTRICOS
CON DISPOSITIVOS CUSTOM POWER”**

TESIS

que para obtener el grado de Doctor en Ciencias en Ingeniería Eléctrica, opción en Sistemas Eléctricos

PRESENTA:

M.C. NADIA MARÍA SALGADO HERRERA

DIRECTOR DE TESIS

DR. J. AURELIO MEDINA RÍOS

Co-DIRECTOR DE TESIS

DR. ROBERTO TAPIA SÁNCHEZ

Morelia, Mich., Agosto 2016

Agradezco:

Dios por permitirme concluir esta etapa, por colocarme en el camino correcto para que ello sucediera, pero principalmente, que en el trayecto me permitiera rodearme de personas admirables que puedo seguir como ejemplo.

A mi Padres J. Jesús y Ma. Lucas, principalmente a ellos, que han hecho hasta lo imposible para permitirme concluir esta etapa. *Me cuesta imaginar cómo hubiera sido mi vida sin ustedes a mi lado, infinitas gracias.*

Al Posgrado de la Facultad de Ingeniería Eléctrica por apoyarme durante el trayecto de esta periodo.

A mi asesor el Dr. Aurelio Medina Rios por guiarme y brindarme sus conocimientos, pero especialmente por su paciencia en el desarrollo de mi formación como investigadora y todos los proyectos adjuntos. *Para encender lámparas basta llevar fuego en el corazón, gracias Dr. Aurelio.*

A los Doctores (Dr. Roberto Tapia, Dr. Antonio Ramos, Dr. Claudio Villafuerte, Dra. Elisa Espinosa, Dr. Felix Calderón, Dr. Manuel Madrigal, Dr. David Campos, Dr. Juan Rodríguez, Dr. Julio Rosas, Dr. Fernando Mancilla, Dr. Olimpo Anaya) por brindarme su apoyo incondicional en todas y cada una de las actividades realizadas en el transcurso de mi formación académica. *Sus consejos enriquecieron mi trabajo de investigación.*

A Ramón y Elsa que me han ayudado incondicionalmente para enfrentarme a los retos que se me han presentado para desarrollar mis Metas.

A Ramón que en las buenas y en las malas siempre está ahí, apoyándome y aconsejando en mis buenas y malas ideas. *El verdadero amor no es otra cosa que el deseo inevitable de ayudar al otro para que sea quien es.*

A Lupita y a Yunuen por su apoyo y paciencia para ayudarme a realizar todos cada uno de mis trámites.

A mis hermanos (Ramses y Jesús Jafet), sobrinos (Sleydy y Hector Jesús) y familia (Albina, Celerina, Josafat, Anselma, Martha Celerino, Carmen, Maricruz y resto de ella) por su apoyo incondicional que me da la fuerza para continuar.

Y finalmente, a mi hijo Juan Abdiel a quien no tengo palabras para expresarle la infinita alegría que siento que él esté presente en mi vida. *Gracias hijo mío por iluminarme con la paz de tu sonrisa, por detenerme en mi alocada carrera, ¡por enseñarme a disfrutar la vida!*

Resumen

En esta tesis se analiza el uso de dispositivos CUSTOM POWER para solucionar problemas de calidad de la energía en sistemas eléctricos, tales como compensación de depresiones y elevaciones de voltaje, compensación de potencia reactiva y mitigación del contenido armónico.

El modelo matemático de los dispositivos DVR, DSTATCOM y convertidor back to back se analiza en coordenadas $dq0$, con el fin de simular el control en lazo cerrado de los mismos en Matlab®/Simulink®.

El modelo matemático del DSTATCOM se analiza en coordenadas abc , con el fin de simular e implementar el control en lazo cerrado en Matlab®/Simulink® y en un Simulador en tiempo real (Opal-RT®).

La técnica de modulación SPWM multinivel de 3, 9 y 27 niveles se simula e implementa a través de la plataforma Xilinx versión 13.3 y un FPGA modelo XC3S500E, respectivamente. Dicha técnica se implementa en laboratorio utilizando un convertidor CD/CA multinivel de 3 niveles formado por tres puentes-H en cascada.

Se analiza el control del DVR y DSTATCOM para la compensación de voltaje y potencia reactiva en un determinado nodo de conexión del sistema eléctrico propuesto.

Finalmente, se propone un esquema diferente de conexión del convertidor back to back convencional, con la finalidad de mitigar el contenido armónico total generado en la red eléctrica debido a la conexión de una máquina de inducción.

Palabras clave: DVR, DSTATCOM, back to back, Máquina de inducción, FPGA.

Abstract

This thesis deals with the analysis of CUSTOM POWER devices to mitigate adverse power quality effects, such as sags, swells, harmonics and reactive power compensation.

The mathematical model of DVR, DSTATCOM and back to back converter, respectively, is developed in $dq0$ coordinates. The dynamic operation of the control scheme is analyzed in closed loop with Matlab®/Simulink®.

The mathematical model of DSTATCOM is developed in abc coordinates. The dynamic operation of the control scheme is analyzed in closed loop with Matlab®/Simulink® and the real time simulator Opal-RT®.

The multilevel technique SPWM of 3, 9 and 27 levels is simulated and implemented in the Xilinx platform v. 13.3 and FPGA XCS500E, respectively. This technique is implemented in laboratory using a DC/AC converter of 3 levels, 3 H-bridges in cascade.

The dynamic operation of the DVR and DSTATCOM control is analyzed for voltage and reactive power compensation at a particular bus of connection to the power network.

An alternative back to back converter scheme is proposed for the mitigation of total harmonic distortion produced in the power network by a wind turbine.

Índice de Contenido

RESUMEN	-----	III
ABSTRACT	-----	IV
ÍNDICE DE CONTENIDO	-----	V
ÍNDICE DE FIGURAS	-----	IX
ÍNDICE DE TABLAS	-----	XIV
GLOSARIO DE TÉRMINOS	-----	XV
LISTA DE PUBLICACIONES	-----	XVI
CAPÍTULO 1. ESTADO DEL ARTE	-----	1
1.1. INTRODUCCIÓN	-----	1
1.2. ESTADO DEL ARTE	-----	1
1.3. JUSTIFICACIÓN	-----	7
1.4. OBJETIVOS.	-----	9
1.5. APORTACIONES	-----	10
1.6. ORGANIZACIÓN DE LA TESIS	-----	11
CAPÍTULO 2. MODELADO DE LA MI Y DEL VSC	-----	13
2.1. INTRODUCCIÓN	-----	13
2.2. FUENTES DE ENERGÍA EÓLICA	-----	14
2.2.1. Tipos de Turbinas de Viento	-----	14
2.3. MODELADO DE LA MÁQUINA DE INDUCCIÓN	-----	16
2.4. MODELADO DEL VSC EN COORDENADAS ABC.	-----	22
2.5. MODELADO DEL VSC EN COORDENADAS DQ0.	-----	25

2.6. CONCLUSIONES-----	28
CAPÍTULO 3.SIMULACIÓN E IMPLEMENTACIÓN DE TÉCNICAS SPWM MULTINIVEL APLICADAS A DISPOSITIVOS CUSTOM POWER MEDIANTE FPGA. -----	29
3.1. INTRODUCCIÓN -----	29
3.2. PROCESAMIENTO EN PARALELO DE UN FIELD PROGRAMMABLE GATE ARRAYS (FPGA). -----	30
3.3. DISEÑO DE LA TÉCNICA DE MODULACIÓN SPWM MULTINIVEL DE N NIVELES MEDIANTE FPGAS-----	32
3.3.1. Formación de la Señal Moduladora-----	33
3.3.2. Formación de la Señal Portadora-----	34
3.4. SIMULACIÓN DE LA SEÑAL SPWM MULTINIVEL DE 3, 9 Y 27 NIVELES.-----	35
3.5. IMPLEMENTACIÓN DE LA SEÑAL SPWM MULTINIVEL DE 27 NIVELES A TRAVÉS DE TRES PUENTES-H EN CASCADA. -----	37
3.6. CONCLUSIONES-----	44
CAPÍTULO 4.COMPENSACIÓN DE VOLTAJE Y POTENCIA REACTIVA A TRAVÉS DE DISPOSITIVOS CUSTOM POWER EN SISTEMAS ELÉCTRICOS.--	46
4.1. INTRODUCCIÓN -----	46
4.2. RESTAURADOR DINÁMICO DE VOLTAJE.-----	46
4.2.1 Introducción. -----	46
4.2.2 Modelado del control del DVR -----	47
4.2.2.1. Compensación del bus de CD-----	52
4.2.2.2. Corrección del ángulo de Corriente -----	52
4.2.3 Caso de estudio 1: Características y parámetros del DVR para la corección de despresiones de voltaje de 0.5pu y sobrevoltajes de 1.5pu.-----	53
4.2.4 Caso de estudio 2: Compensación de voltaje y potencia reactiva en la red para una depresión de voltaje de 0.9pu y una elevación de 1.9pu.-----	60

4.3.	DSTATCOM EN COORDENADAS DQ0.	63
4.3.1	Introducción	63
4.3.2	Modelado de control del DSTATCOM para la compensación de potencia reactiva. -----	64
4.3.3	Caso de estudio 3: Configuración del DSTATCOM en un sistema de potencia con integración de una MI -----	68
4.3.3.1.	Compensación del bus de CD -----	70
4.3.3.2.	Compensación de Potencia Reactiva en el NC-----	71
4.4.	DSTATCOM EN COORDENADAS ABC.	77
4.4.1	Introducción	77
4.4.2	Control de potencia Activa y Reactiva en el Marco de Referencia abc.-----	78
4.4.2.1	Consideración de un Sistema Balanceado -----	78
4.4.2.2	Consideración de un Sistema Desbalanceado -----	81
4.4.2	Caso de Estudio 4: Compensación de Disturbios en una MI mediante un DSTATCOM.-----	81
4.4.3	Resultados de Simulación del sistema en coordenadas abc -----	84
4.4.4	Implementación del Control Resonante Usando Opal-RT®-----	88
4.4.5	Conclusiones -----	93
CAPÍTULO 5. MITIGACIÓN DEL CONTENIDO ARMÓNICO TOTAL EN UN CONVERTIDOR BACK TO BACK AFE. -----		95
5.1.	INTRODUCCIÓN -----	95
5.2.	Modelado de la técnica de modulación SPWM aplicada al convertidor back to back AFE. -----	96
5.3.	RESULTADOS: TÉCNICA DE MODULACIÓN SPWM APLICADA AL CONVERTIDOR BACK TO BACK AFE. -----	103
5.4.	CONCLUSIONES -----	108
CAPÍTULO 6. CONCLUSIONES GENERALES Y SUGERENCIAS DE TRABAJO DE INVESTIGACIÓN FUTURO. -----		109

6.1. CONCLUSIONES GENERALES -----	109
6.2. SUGERENCIAS DE TRABAJO DE INVESTIGACIÓN FUTURO -----	110
APÉNDICE A.MODELOS IMPLEMENTADOS EN LA PLATAFORMA DE MATLAB®-SIMULINK®. -----	111
APÉNDICE B.CÓDIGO VHDL DE LA SEÑAL SPWM MULTINIVEL Y ARQUITECTURA INTERNA DEL FPGA. -----	116
REFERENCIAS-----	119

Índice de Figuras

Figura 1.1 Esquema de un <i>DSTATCOM</i>	2
Figura 1.2 Esquema de un DVR.....	2
Figura 1.3 Topología de un sistema eléctrico de potencia híbrido de una celda fotovoltaica y un aerogenerador.	5
Figura 1.4 VSI conectado a la red	6
Figura 1.5 Diagrama a bloques de fuentes de potencia de formas de onda arbitrarias.....	7
Figura 1.6 Análisis de perturbaciones en sistemas de distribución en EE.UU. y Canadá.	8
Figura 2.1 Turbina de Viento Tipo-1.....	14
Figura 2.2 Turbina de Viento Tipo-2.....	15
Figura 2.3 Turbina de Viento Tipo-3.....	15
Figura 2.4 Turbina de Viento Tipo-4.....	16
Figura 2.5 Circuito Equivalente de la <i>MI</i>	17
Figura 2.6 Modelado de un <i>VSC</i>	22
Figura 2.7 Diagrama a bloques equivalente a la planta del sistema en el marco <i>abc</i>	24
Figura 2.8 Circuito equivalente del sistema en el marco de referencia <i>abc</i>	24
Figura 2.9 Representación vectorial del sistema en el marco de referencia $\alpha\beta$ y $dq0$	25
Figura 2.10 Circuito equivalente del sistema en el marco de referencia $dq0$	26
Figura 2.11 Diagrama a bloques equivalente a la planta del sistema en el marco de referencia $dq0$	28
Figura 3.1 Tipos de Granularidad en la arquitectura de un FPGA.	31
Figura 3.2 Generación de una señal <i>SPWM</i> multinivel de n niveles.	32
Figura 3.3 Simulación de la señal <i>SPWM</i> multinivel. a) 3 niveles; b) 9 niveles; c) 27 niveles.	36
Figura 3.4 Diagrama de flujo de la Señal <i>SPWM</i> multinivel.	37
Figura 3.5 Estados topológicos de un convertidor puente-H. a) Modelo del Puente-H; b) Estado +VDC; c) Estado -VDC; d) Estado 0; e) Estado 0.....	38
Figura 3.6 Configuración de tres puentes H en cascada y su circuito equivalente.....	39

Figura 3.7 Voltaje de salida SPWM multinivel de 27 niveles. a) Señal de voltaje sin filtrar; b) Acercamiento del total de niveles.....	41
Figura 3.8 Tipos de cargas analizadas en el prototipo implementado. a) Carga R; b) Carga RL; c) Carga RC; d) Carga de segundo orden.	41
Figura 3.9 Variables eléctricas presentes en el proceso de conversión de energía CD/CA. a) Tren de pulsos SPWM generados por el FPGA; b) Voltajes formados por cada uno de los tres puentes H en cascada; c) Voltaje and Corriente con carga R; d) Voltaje and Corriente con carga RL Load; e) Voltaje and Corriente con carga RC; f) Voltaje and Corriente con carga RLC....	43
Figura 3.10 Prototipo de implementación de la técnica de modulación SPMW multinivel de 27 niveles. a) Carga RLC; b) Tren de pulsos SPWM generados por el FPGA; c) Fuente de Voltaje de CD 1 (V_{DC}); d) Fuente de Voltaje de CD 2 ($3V_{DC}$); e) Fuente de Voltaje de CD 3 ($9V_{DC}$); f) FPGA modelo XC3S500E; g) Convertidor de CD/CA puentes H en cascada.....	44
Figura 4.1 Diagrama del control del DVR.....	50
Figura 4.2 Diagrama de retroalimentación del Voltaje de CD	52
Figura 4.3 Diagrama de control para corrección del factor de potencia.....	53
Figura 4.4 Red de distribución con integración de un DVR.....	54
Figura 4.5 Voltaje en el bus infinito. a) Representación de una depresión de Voltaje de 0.5pu; b) Representación de una elevación de voltaje de 1.5pu.	55
Figura 4.6 Voltaje en el bus de CD. a) En presencia de una depresión de Voltaje de 0.5pu; b) En presencia de un sobrevoltaje de 1.5pu.	56
Figura 4.7 Voltaje y corriente de salida del DVR. a) Voltaje; b) Acercamiento del voltaje generado para la compensación de una depresión de 0.5pu; c) Acercamiento del voltaje generado para la compensación de una elevación de 1.5pu; d) Acercamiento de la corriente generada para la compensación de una depresión de 0.5pu; e) Acercamiento de la corriente generada para la compensación de una elevación de 1.5pu; f) Corriente.....	57
Figura 4.8 Voltaje y corriente en el NC. a) Voltaje; b) Acercamiento del voltaje generado para la compensación de una depresión de 0.5pu; c) Acercamiento del voltaje generado para la compensación de una elevación de 1.5pu; d) Acercamiento de la corriente generada para la compensación de una depresión de 0.5pu; e) Acercamiento de la corriente generada para la compensación de una elevación de 1.5pu; f) Corriente.....	59
Figura 4.9 Voltaje y Corriente en el NC (fase a). a) Depresión de voltaje de 0.5pu; b) Sobrevoltaje de 1.5pu	60

Figura 4.10 Voltaje en los diferentes elementos del sistema. a) Bus infinito; b) Representación de una depresión de 0.9pu en el bus infinito; c) Representación de un sobrevoltaje de 1.9pu en el bus infinito; d) <i>DVR</i> ; e) Acercamiento del voltaje de salida del <i>DVR</i> ante una depresión de 0.9pu; f) Acercamiento del voltaje de salida del <i>DVR</i> ante un sobrevoltaje de 1.9pu; g) <i>NC</i> ; h) Acercamiento del <i>NC</i> en presencia de una depresión de 0.9pu; i) Acercamiento del <i>NC</i> en presencia de un sobrevoltaje de 1.9pu.	61
Figura 4.11 Representación del factor de potencia en la carga sensible. a) Voltaje y Corriente en la carga sensible (fase a). b) En presencia de la depresión de voltaje de 0.9pu; c) En presencia del sobrevoltaje de 1.9pu.	62
Figura 4.12 Conexión del <i>DSTATCOM</i> con integración de una <i>MI</i>	65
Figura 4.13 Diagrama de retroalimentación del Voltaje de CD.	67
Figura 4.14 Diagrama de control para compensar potencia reactiva.	68
Figura 4.15 Red de distribución con integración de una turbina eólica.	69
Figura 4.16 Variaciones en la velocidad del Viento [Beltrán-Valle, 2012].	70
Figura 4.17 Voltaje en el bus de CD retroalimentado. a) Bus de CD; b) Acercamiento del bus de CD.	71
Figura 4.18 Variables en el <i>NC</i> sin <i>DSTATCOM</i> ; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva.	72
Figura 4.19 Variables eléctricas en el <i>NC</i> con <i>DSTATCOM</i> ; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva.	73
Figura 4.20 Inyección/absorción de Potencia Reactiva en <i>NC</i>	74
Figura 4.21 Variables eléctricas de la <i>MI</i> sin <i>DSTATCOM</i> ; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva.	75
Figura 4.22 Variables eléctricas de la <i>MI</i> con <i>DSTATCOM</i> ; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva.	76
Figura 4.23 Diagrama de bloques del controlador de potencia con referencias sinusoidales. ..	80
Figura 4.24 Diagramas de bloques de control. a) Potencia Activa; b) Potencia Reactiva.	81
Figura 4.25 Representación del sistema de Energía Eólica.	82
Figura 4.26 Representación de las Fluctuaciones de la Velocidad del Viento.	83
Figura 4.27 Retroalimentación del Voltaje en el Capacitor aplicando la Variación del Viento de la Figura 4.26. a) Voltaje en el Bus de CD; b) Acercamiento del Voltaje en el Bus de CD.	85

Figura 4.28 Variables Eléctricas en el NC sin la interconexión del <i>DSTATCOM</i> en el Sistema de Energía Eólica; a) Voltaje; b) Acercamiento del hueco de Voltaje; c) Acercamiento de la Elevación del Voltaje; d) Corriente; e) Acercamiento de la corriente en presencia de una depresión de Voltaje; f) comportamiento de la corriente al cambio de potencia reactiva; g) Acercamiento de la corriente en presencia de la elevación de Voltaje; h) Potencia Activa y Reactiva.	86
Figura 4.29 Variables Eléctricas en el NC con la interconexión del <i>DSTATCOM</i> en el Sistema de Energía Eólica; a) Voltaje; b) Acercamiento del hueco de Voltaje; c) Acercamiento de la Elevación del Voltaje; d) Corriente; e) Acercamiento de la corriente en presencia de una depresión de Voltaje; f) comportamiento de la corriente al cambio de potencia reactiva; g) Acercamiento de la corriente en presencia de la elevación de Voltaje; h) Potencia Activa y Reactiva.	87
Figura 4.30 Diagrama de flujo del sistema de energía eólica.....	89
Figura 4.31 Retroalimentación experimental del voltaje en el capacitor. a) Voltaje del bus de CD; b) Acercamiento del voltaje del bus de CD.....	89
Figura 4.32 Variables Eléctricas en el NC sin la conexión del <i>DSTATCOM</i> en el sistema de energía eólica; a) Voltaje; b) Acercamiento del Voltaje con un par mecánico de 3.06Nm; c) Acercamiento del Voltaje con un par mecánico de 3.58Nm; d) Corriente; e) Acercamiento de la corriente con un par mecánico de 3.06Nm; f) Acercamiento de la corriente con un par mecánico de 3.58Nm; g) Potencia activa y reactiva.....	90
Figura 4.33 Variables Eléctricas en el NC con la conexión del <i>DSTATCOM</i> en el sistema de energía eólica; a) Voltaje; b) Acercamiento del Voltaje con un par mecánico de 3.06Nm; c) Acercamiento del Voltaje con un par mecánico de 3.58Nm; d) Corriente; e) Acercamiento de la corriente con un par mecánico de 3.06Nm; f) Acercamiento de la corriente con un par mecánico de 3.58Nm; g) Potencia activa y reactiva.....	91
Figura 4.34 Prototipo Experimental del sistema de energía Eólica.....	92
Figura 5.1 Estructura paralela de un inversor AFE.	96
Figura 5.2 Circuito Equivalente de un inversor trifásico.....	98
Figura 5.3 Representación de las señales Moduladora (rojo) y Portadora (negro).	99
Figura 5.4 Ángulo de desfasamiento entre inversores en paralelo. a) desfasamiento de 0 para inversor 1; b) desfasamiento de $\pi/2$ para inversor 2; c) desfasamiento de π para inversor 3.	104

Figura 5.5 Voltaje de Salida SPWM. a) desfasamiento de 0 para inversor 1; b) desfasamiento de $\pi/2$ para inversor 2; c) desfasamiento de π para inversor 3.....	105
Figura 5.6 Corriente de Salida Inversor 1. a) Señal sin Filtrar; b) Señal Filtrada.	105
Figura 5.7 Corriente de salida total.....	106
Figura 5.8 Espectro del THD de la corriente de salida total (Fase a). a) Señal sin desfase; b) Señal con desfase de $\pi/2$	107
Figura A.1 Configuración de tres puentes-H en cascada y su circuito equivalente.	111
Figura A.2 Red de distribución con integración de un DVR.....	112
Figura A.3 Modelo de red de distribución con integración de un DSTATCOM	113
Figura A.4 Estructura paralela de un inversor AFE.	114

Índice de Tablas

Tabla 3.1 Formación de múltiples portadoras	34
Tabla 3.2 Generación de la señal SPWM	35
Tabla 3.3 Combinación de interruptores activados a través de los tres puentes H en cascada.	40
Tabla 3.4 Características del prototipo implementado.	42
Tabla 3.5 <i>THD</i> de corriente para cada los diferentes tipos de carga.	43
Tabla 4.1 Relación del Factor de Potencia del sistema en presencia de depresiones y sobrevoltajes.	63
Tabla 5.1 THD equivalente a diferentes ángulos de desfase.	98
Tabla 5.2 Parámetros del sistema con la incorporación del convertidor back to back AFE ..	103
Tabla B.1 Datos almacenados de la señal moduladora en la memoria ROM.....	116
Tabla B.2 Formación de la señal moduladora a 60Hz.....	116
Tabla B.3 Proceso de selección de la localidad de la ROM	117
Tabla B.4 Asignación del valor almacenada en la localidad de la memoria ROM	117
Tabla B.5 Proceso para formar la frecuencia de la señal portadora	118
Tabla B.6 Formación de la señal portadora	118

Glosario de Términos

<i>AFE</i>	Active Front-End
<i>CA</i>	Corriente Alterna
<i>CD</i>	Corriente Directa
<i>CP</i>	CUSTOM POWER
<i>DFIG</i>	Máquina de Inducción Doblemente Alimentado
<i>DSP</i>	Procesador de Señales Digital
<i>DSTATCOM</i>	Distribution Static Compensator
<i>DVR</i>	Dynamic Voltage Restorer
<i>FPGA</i>	Field Programmable Gate Arrays
<i>L</i>	Inductancia serie de conexión del dispositivo CP al sistema
<i>MI</i>	Máquina de Inducción
<i>Opal-RT®</i>	Simulador en Tiempo Real
<i>P</i>	Potencia Activa
<i>PCC</i>	Punto de Acoplamiento Común
<i>PI</i>	Proporcional Integral
<i>PLL</i>	Lazo de Enganche de Fase
<i>PMSG</i>	Generador Síncrono de Imán Permanente
<i>pu</i>	Por unidad
<i>Q</i>	Potencia Reactiva
<i>R</i>	Resistencia serie de conexión del dispositivo CP al sistema
<i>SPWM</i>	Modulación de Ancho de Pulso Senoidal
<i>THD</i>	Contenido Armónico Total
<i>VHDL</i>	Lenguaje de Descripción de Hardware
<i>VSC</i>	Convertidor Fuente de Voltaje

Lista de Publicaciones

Artículos en conferencias registradas en el ISI Thomson.

1.- Salgado-Herrera, N. M.; Medina-Ríos A.; Tapia-Sánchez, R., “**Reactive Power Regulation and Voltage Compensation through DSTATCOM with Wind Turbine Integration**”. Reunión de Otoño de Potencia, Electrónica y Computación. IEEE Sección Centro Occidente, ROPEC 2015. Ixtapa, México: Noviembre, 2015.

2.- Salgado-Herrera, N.M.; Macilla-David, F.; Medina-Rios, A.; Tapia-Sánchez, R., “**THD Mitigation in Type-4 Wind Turbine through AFE Back to back Converter**”, *IEEE North American Power Symposium, NAPS2015, North Carolina, USA, October 4-6, 2015.*

3.- Salgado-Herrera, N.M.; Medina-Rios, A.; Tapia-Sánchez, R.; Rodriguez-Rodriguez, J.R., O.; Anaya-Lara, “**Voltage Compensation and Power Factor Correction in Distribution Networks with DVR**”, *Electric Machines & Drives Conference (IEMDC), 2015 IEEE International*, 10-13, May 2015.

4.- Salgado-Herrera, N.M.; Medina-Rios, A.; Ramos-Paz, A.; Rodriguez-Rodriguez, J.R., “**Generation of a multilevel SPWM technique of 3, 9 and 21 levels with FPGAs**”, *North American Power Symposium (NAPS), 2013*, pp.1, 5, 22-24 Sept. 2013.

Artículos en conferencias internacionales.

1.- N. M. Salgado-Herrera, A. Medina-Ríos y R. Tapia-Sánchez, “**Compensación Reactiva en una Red Eléctrica con Generación Eólica Mediante un STATCOM**”. Vigésimosexta Reunión Internacional de Verano de Potencia, Aplicaciones Industriales y Exposición Industrial. RVP-AI/2013.

2.- N. M. Salgado-Herrera, A. Medina-Ríos y A. Ramos-Paz, “**Control SPWM Multinivel Basado en FPGAs**”. Reunión de Otoño de Potencia, Electrónica y Computación. IEEE Sección Centro Occidente, ROPEC 2012. Colima, México: 2012.

Capítulo 1. Estado del Arte

1.1. Introducción

En esta tesis se analiza, simula e implementan los dispositivos Acondicionadores de Potencia (*CUSTOM POWER*, por sus siglas en inglés), tales como: los Compensadores Estáticos de Distribución (*DSTATCOM*, por sus siglas en inglés), Restauradores Dinámicos de Voltaje (*DVR*, por sus siglas en inglés) y el Convertidor Espalda con Espalda (back to back), con el objetivo de regular problemas de calidad de la energía, tales como, compensar depresiones de voltaje y sobrevoltajes, compensar potencia reactiva y mitigar la Distorsión Armónica Total (*THD*, por sus siglas en inglés) en el sistema.

Se especifica el control en lazo cerrado de los dispositivos y la técnica de modulación empleada en los dispositivos *CUSTOM POWER*. Además, para probar la efectividad de las técnicas de control empleadas en los dispositivos, éstos son evaluados en una red de energía eléctrica con integración de una Máquina de Inducción (*MI*), que emula el comportamiento de una turbina de viento.

Además se desarrolla la implementación de técnicas *SPWM* multinivel de n niveles, mediante la aplicación de procesamiento computacional en paralelo basado en *FPGAs*. Con la finalidad de controlar los múltiples interruptores que contiene un dispositivo *CUSTOM POWER* a una alta frecuencia de conmutación y ancho de banda.

1.2. Estado del arte

En los sistemas eléctricos a nivel distribución, las perturbaciones de voltaje (depresiones de voltaje, sobrevoltajes y armónicos) son los problemas más comunes de calidad de energía, siendo las depresiones de voltaje las más frecuentes, las cuales son causadas por fallas en algún bus de voltaje. Las depresiones de voltaje pueden perturbar el funcionamiento de los convertidores de conmutación y producir fallas en el rendimiento de las cargas sensibles.

Los dispositivos conocidos como *CUSTOM POWER* son construidos a través de un Convertidor Fuente de Voltaje (*VSC*, por sus siglas en inglés) de alta potencia para lograr una

mayor calidad de energía a un costo razonable, normalmente se encuentran instalados en un sistema eléctrico que alimenta a grandes instalaciones industriales [Stump *et al.* 1998]. El *VSC* emplea interruptores que tienen la capacidad de apagado/encendido debido a su rápida respuesta y son requeridos a altas frecuencias de conmutación.

Dentro del grupo de dispositivos *CUSTOM POWER* se encuentran el *DVR* y el *DSTATCOM* [Jaza y Fendereski 2007], los cuales son la solución más rentable y completa para proteger cargas sensibles, especialmente de variaciones de voltaje y potencia reactiva [Rauf y Khadkikar, 2015], [Ahsan *et al.* 2012], [Jayam *et al.* 2008],

El *DSTATCOM*, es un dispositivo basado en un *VSC* conectado en derivación en un nodo de conexión de una red eléctrica a través de tres filtros, los cuales, eliminan las altas frecuencias generadas por los componentes de conmutación [Mishra *et al.* 2003]. La función principal de un *DSTATCOM* es inyectar o absorber potencia reactiva a la red para mejorar el factor de potencia y regular el voltaje [Ahsan *et al.* 2012], [Sumathy y Prakash 2012]; se muestra en la Figura 1.1.

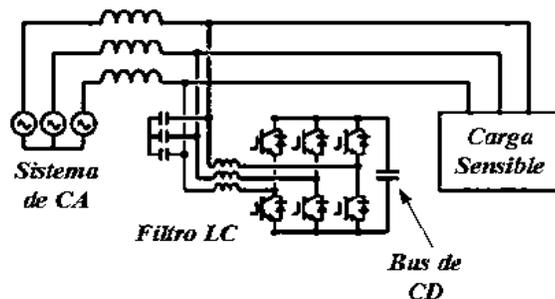


Figura 1.1 Esquema de un *DSTATCOM*

El *DVR* se compone de un *VSC* que conectado en serie con la carga a través de un transformador de acoplamiento (Figura 1.2) y es capaz de compensar de forma rápida el voltaje en un nodo de conexión [de Almeida Carlos *et al.* 2016] protegiendo cargas sensibles [YunWei Li, 2007].

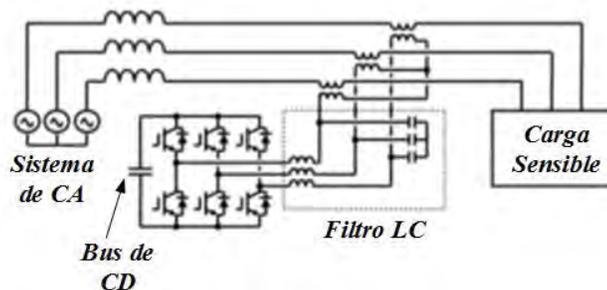


Figura 1.2 Esquema de un *DVR*

Algunas unidades de *DVR* instaladas en el mundo se encuentran en fábricas de papel [Campbell y McHattie, 1999], instalaciones de fabricación de semiconductores [Dähler y Affolter 2000], [Woodley, 2000], planta de procesamiento de alimentos [Whisenant, 1997] y fabricación de hilados [Woodley *et al.* 1999].

Algunas aplicaciones del *DVR* y del *DSTATCOM* se describen a continuación: por ejemplo, una depresión de voltaje puede causar desde el parpadeo de la iluminación o reiniciar un reloj digital de casa hasta una caída temporal de voltaje en clientes industriales provocando grandes problemas. También, una depresión de voltaje de dos o tres ciclos puede dejar sin funcionar sistemas complejos en fabricación, los cuales implican telemetría sensible y equipos electrónicos de precisión, ocasionando pérdidas financieras considerables; tal es el caso que, según el Instituto de Investigación de Energía Eléctrica (*EPRI*, Electric Power Research Institute) las pérdidas económicas debido a la mala calidad de la energía son de \$400 mil millones de dólares al año en los *EE.UU* [Khoshkbar y Smedley, 2016]. Particularmente, las plantas de fabricación de semiconductores pueden ser especialmente vulnerables a las depresiones de voltaje, ya que el tiempo total para producir un chip semiconductor puede llegar a durar hasta 30 días, debido a la necesidad de numerosos procesos críticos; sin embargo, el chip puede ser arruinado en cualquier momento durante este proceso, si una depresión de voltaje provoca el funcionamiento anormal de una máquina sensible [Vairamohan *et al.* 2011]. En [Badrkhani, *et al.* 2013] evalúan una estrategia de control para interrumpir la corriente de falla en una línea de distribución por medio de un *DVR*. El controlador propuesto realiza la compensación de depresiones de voltaje en el nodo de conexión, sin requerir un Lazo de Enganche de Fase (*PLL*, por sus siglas en inglés), es decir, controla de forma independiente la magnitud y el ángulo de cada fase del voltaje inyectado. El cálculo de la magnitud y el ángulo del voltaje se realiza utilizando filtros digitales, además, el control también disminuye el contenido armónico. En [Babaei, *et al.* 2014] se presenta los resultados de simulación y experimentación del esquema de un *DVR* multinivel, el cual ajusta el bus de CD teniendo en cuenta la magnitud de la depresión de voltaje. Un *DSTATCOM* basado en convertidor puente-H en cascada, logra mantener la potencia reactiva extraída de la fuente, tanto en estado transitorio como en estado estable, además reduce contenido de armónicos [Anuradha *et al.* 2006]. En [Sannino, *et al.* 2003] los autores proporcionan un enfoque general de un *DSTATCOM* para la mitigación de los fenómenos adversos de calidad de energía. En [Aodsup *et al.* 2007] se realiza la simulación de un *DSTATCOM* para estabilizar el voltaje en un nodo

de conexión de un sistema de energía eólica, mitigar el parpadeo y eliminar distorsiones causadas por las fluctuaciones de la velocidad del viento, teniendo como carga un parque eólico con una potencia de 1.5MW formado de 10 turbinas eólicas de 150kW.

Una de las características importantes de los dispositivos *CUSTOM POWER*, es el encendido/apagado de los interruptores que componen el VSC, debido a que el transitorio de conmutación ocurre en una escala de tiempo de cientos de nanosegundos. Anteriormente, era imposible modelar estos transitorios debido a que los procesadores de propósito general y la tecnología de software que proporciona un Procesador de Señales Digital (*DSP*, por sus siglas en inglés) no son lo suficientemente rápidos para utilizarse en intervalos de tiempo convenientemente pequeños (a pesar de su alta frecuencia de reloj) por lo que reducen el rendimiento del *VSC*. Estas limitaciones se superan al utilizar un Campo de Arreglos de Compuertas Programables (*FPGA*, por sus siglas en inglés) para realizar los cálculos principales haciendo posible la computación de los transistores a frecuencias altas.

Por tal motivo, el uso de un *FPGA* para el control del *VSC* hace posible las siguientes aplicaciones: en [Aung y Dinavahi 2011] se diseña un VSC basado en *IGBTs*, el cual se ejecuta en tiempo real en un intervalo de tiempo de 12.5ns; los modelos fueron escritos en el lenguaje de descripción de Hardware *VHDL* y desarrollados en un *FPGA*. En [Zeliang *et al.* 2007] se plantea un controlador basado en *FPGA*, el cual ejecuta todos los procedimientos de control, originando al mismo tiempo un funcionamiento simultáneo a altas velocidades y ofreciendo un excelente desempeño en estado estable y dinámico. En [Yajuan Chen 2011] se describe el diseño flexible de un controlador PI (Proporcional-Integral) autoajutable y de alta fiabilidad, basado en algoritmo genético e implementado mediante el uso de un *FPGA*, debido a que cuenta con alta velocidad, capacidad de diseño y flexibilidad de computación en paralelo; cada módulo del sistema se describe con el lenguaje *VHDL*. En [Karimi *et al.* 2008] se discute el diseño, implementación, validación experimental y la actuación de un control basado en *FPGA* aplicado a un *VSC* para el diagnóstico de insuficiencia en sistemas de conversión de energía eólica. Asimismo, en [Ying-Yu, *et al.* 1996] se presenta el diseño e implementación de un control de Modulación Ancho de Pulso (*PWM*, por sus siglas en inglés) basado en *FPGA* para convertidores de sistemas de potencia trifásicos. Ofrece ventajas como rápida creación de prototipos de hardware simple y el diseño de software, así como una mayor frecuencia de conmutación y liberación de carga de cálculo del microprocesador. En [De Castro, *et al.* 2003]

se presenta un control digital basado en *FPGA*, para la corrección del factor de potencia (*PFC*, por sus siglas en inglés) en convertidores *CA/CD* y para utilizarse en aplicaciones de electrónica de potencia. Gracias a su concurrencia y que permite la ejecución simultánea de todos los procedimientos de control, que permite un alto rendimiento, el algoritmo de control se desarrolló utilizando *VHDL*, el cual proporciona una gran flexibilidad e independencia tecnológica. Además, para realizar la integración de baja potencia y bajo costo, en [Paulsson *et al.* 2008] se elige Xilinx Spartan 3 *FPGA*, debido a sus costos y características de potencia optimizadas; además, establece la posibilidad de reconfiguración de hardware dinámica y parcial. Su diseño considera la eficiencia de la potencia en aplicaciones de *FPGAs* de baja potencia. Esto es importante para permitir aplicaciones de baja potencia y explotar la gran flexibilidad de arquitecturas reconfigurables.

Finalmente, en [Excitation Systems Subcommittee, 1997] se determina que los beneficios que se logran al tener un control digital en los dispositivos *CUSTOM POWER* son, proporcionar una mayor capacidad de información, control y precisión sobre el sistema, a un bajo costo. Debido a lo cual, el control digital en *FPGA* se emplea para controlar sistemas de energía renovables, tal es el caso de [Cirstea y Parera-Ruiz 2010] donde se realiza un controlador que opera la combinación de una celda fotovoltaica y un aerogenerador. En la Figura 1.3 se muestra el diseño del mismo. El controlador opera en base a la señal de error.

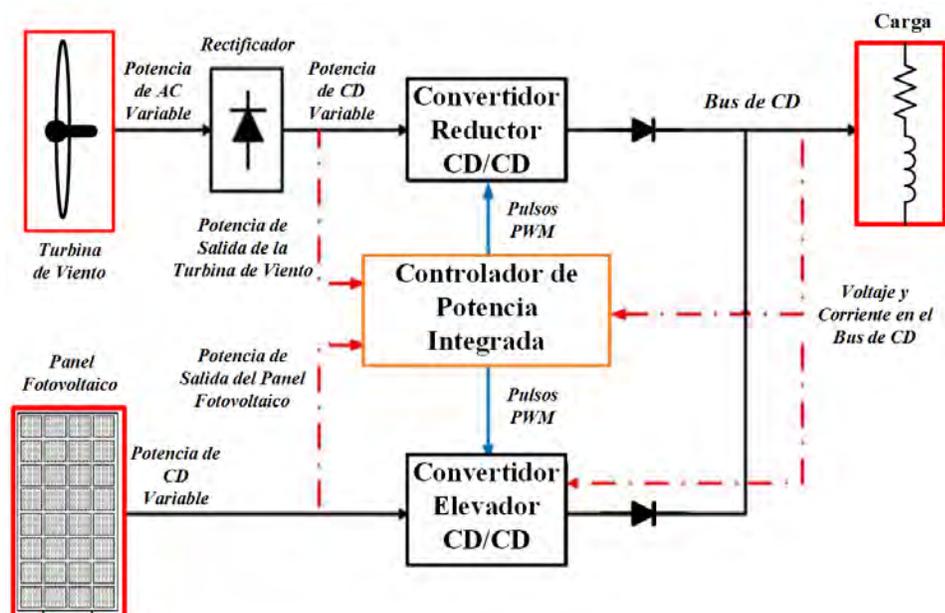


Figura 1.3 Topología de un sistema eléctrico de potencia híbrido de una celda fotovoltaica y un aerogenerador.

El error se retroalimenta a través de un control tipo proporcional integral (*PI*), que provee la corriente de referencia para el segundo *PI* que controla la señal de referencia para la modulación de ancho de pulso, generando los pulsos del interruptor para el convertidor CD/CD. Este tipo de control toma un tiempo mayor para que el sistema llegue a su estado estable; una solución factible y eficiente es realizar un control basado en *FPGA* en el que se agregue un proceso en paralelo, así el sistema se estabilizará en un tiempo mucho menor.

También, para maximizar la eficiencia en un sistema de generación distribuida en [Cardenas *et al.* 2012] se presenta el desarrollo del control de un sistema de potencia para un inversor como fuente voltaje (*VSI* por sus siglas en inglés) monofásico usando como procesador del mismo un *FPGA*, el cual permite examinar en tiempo real el análisis armónico y compensar potencia reactiva al sistema. En la Figura 1.4 se muestra el sistema. Como resultado, además de realizar un análisis de calidad de energía, se logra reducir la complejidad del sistema y se reduce el tiempo de procesamiento, aunque aumente la cantidad de algoritmos procesados. Dicho *VSI* puede ser utilizado como base para iniciar el modelado en *FPGA* de compensadores de potencia reactiva en el sistema.

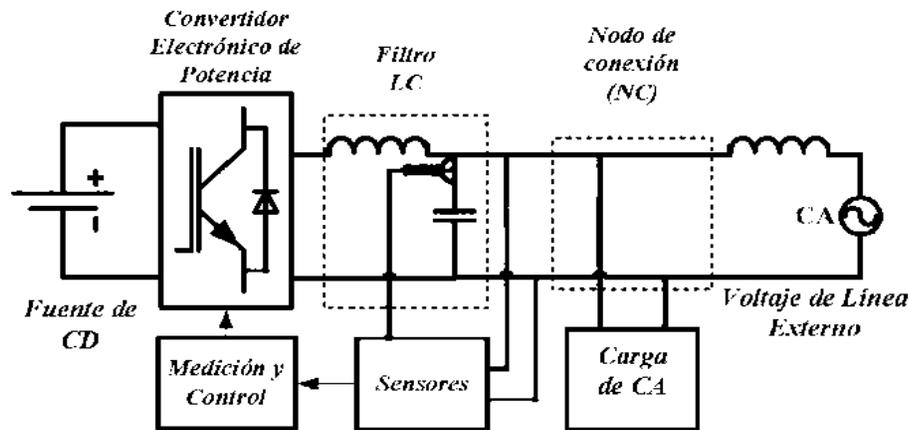


Figura 1.4 VSI conectado a la red

En [Rodríguez-Rodríguez, *et al.* 2010] se muestra el diagrama a bloques que genera señales arbitrarias para probar sistemas de control en convertidores de electrónica de potencia tales como *DSTATCOM*, *DVR*, filtros activos y control de otros dispositivos *CUSTOM POWER*. En la Figura 1.5 se observa dicho esquema.

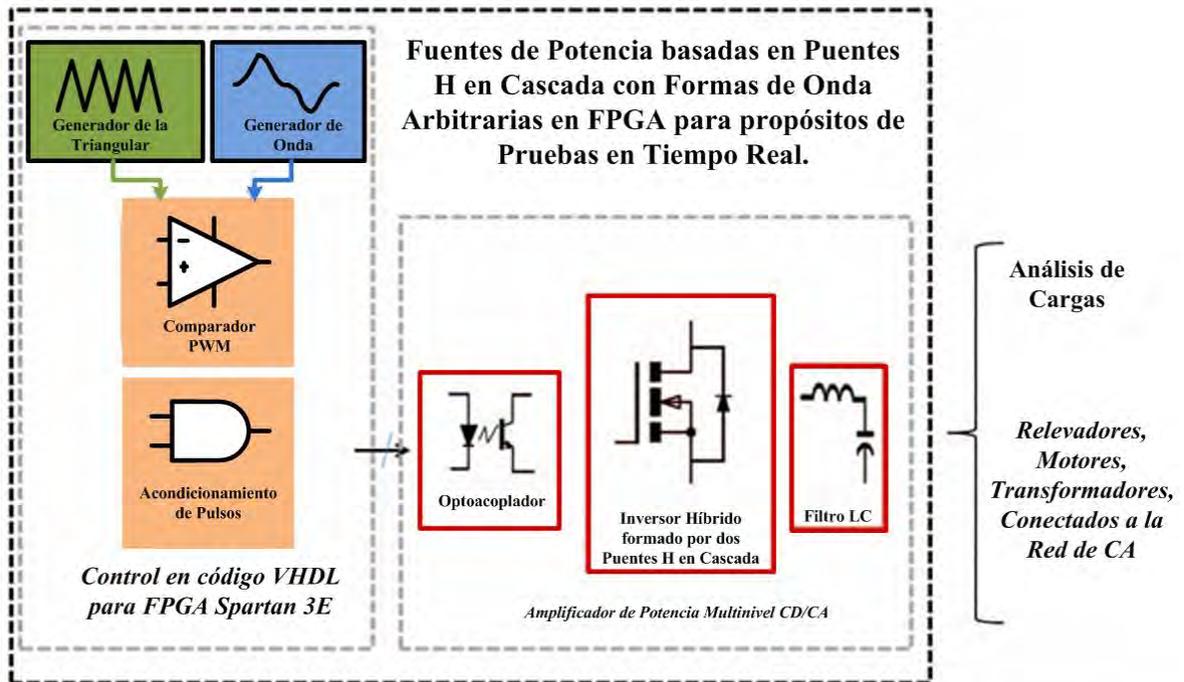


Figura 1.5 Diagrama a bloques de fuentes de potencia de formas de onda arbitrarias.

El esquema que se muestra en la Figura 1.5 es viable y eficiente; sin embargo, el sistema no cuenta con una retroalimentación que pueda hacer que se compense a sí mismo. Para obtener el máximo rendimiento, es factible agregarle un control *PI* como el que se describe en [Cirstea y Parera-Ruiz 2010].

1.3. Justificación

El incremento gradual y diversidad de cargas no lineales y producción de energía eléctrica mediante fuentes de energía eólica [Sintamarean *et al.* 2012], tuvo un efecto adverso en la forma de onda de voltaje, produciendo daños en cargas sensibles, en términos de eficiencia y vida útil, entre otros aspectos [Arrillaga *et al.* 2000]. Lo anterior debido a variaciones temporales en la magnitud de voltaje en forma de depresiones de voltaje y sobrevoltajes, respectivamente [García-Vite *et al.* 2009].

Los efectos adversos de una mala calidad de energía pueden ocasionar distintos problemas en la operación de componentes y sistemas eléctricos, tales como pérdidas electromecánicas, reducción de la vida útil de componentes, inestabilidad del sistema eléctrico, entre otros. Se ha reportado que aproximadamente el 92% de todas las perturbaciones temporales en los sistemas

de distribución de energía eléctrica son debidas a depresiones de voltaje (de las cuales aproximadamente entre el 40-50% tienen una duración mayor a 2 segundos), transitorios e interrupciones momentáneas [Brumsickle *et al.* 2001]. Para ejemplificar tales sucesos, el análisis estadístico de la Figura 1.6 muestra alrededor de 1500 eventos diferentes en grandes plantas industriales ubicadas alrededor de los EE.UU. y Canadá [Divan *et al.* 2004].

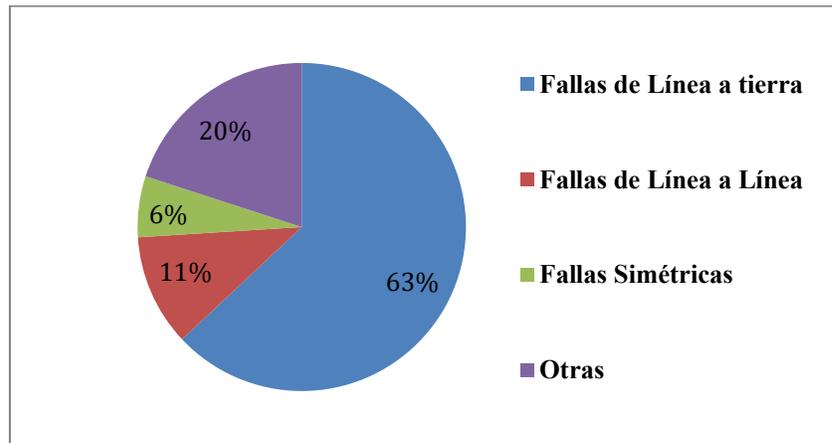


Figura 1.6 Análisis de perturbaciones en sistemas de distribución en EE.UU. y Canadá.

Éstos indican que el 63% de los disturbios fueron fallas de línea a tierra, el 11% fallas de línea a línea, el 6% fallas simétricas, las cuales son muy raras [Sasitharan y Mishra 2010].

Entonces, el estudio y análisis de calidad de la energía se ha convertido en uno de los tópicos más abordados en ingeniería eléctrica; desarrollando nuevas tecnologías, basadas en electrónica de potencia, para proporcionar protección en sistemas eléctricos tanto a clientes comerciales como industriales. Además, es posible proteger cargas que no toleran variaciones en el voltaje de alimentación denominadas cargas sensibles y reducir los costos asociados con las interrupciones del proceso [Stig Nilsson 1999]. Esto ha dado lugar al surgimiento de dispositivos *CUSTOM POWER* entre los que se encuentran el *DSTATCOM* y el *DVR*, entre otros; cuyo uso está enfocado a reducir problemas de calidad de la energía, mantener un flujo ininterrumpido y de alta calidad en el sistema de distribución de energía eléctrica [Bull 2001] [Bimal y Fellow 2007],

Además, la estructura computacional empleada para desarrollar el control de dispositivos *CUSTOM POWER* que influyan en la generación de energía renovable, puede ser implementada en diversas alternativas como ASIC (Aplication Specific Integrated Circuits), microcontroladores, dispositivo DSP (Digital Signal Processor) y *FPGA*, dependiendo de los

factores de aplicación, en particular costos, potencia consumida o tiempo de diseño. Sin embargo, existen factores que crean desventajas tales como un uso específico en *ASICs* y la complejidad de tiempos de ejecución de sincronización en *DSPs* o microcontroladores. Mientras que, los *FPGAs* son los procesadores digitales más utilizados para implementar algoritmos computacionalmente intensos debido a su alta velocidad de reloj y su arquitectura de cableado paralelo [Parma y Dinavahi, 2007], [Naouar *et al.* 2007], [Monmasson y Cristea, 2007], [Chen y Dinavahi, 2009], [De Castro, *et al.* 2003], [Idkhajine *et al.* 2009]. Por tal motivo, es viable utilizar un *FPGA* debido a su flexibilidad, versatilidad y simplicidad, además de que es reprogramable.

En base a lo anteriormente mencionado, es claro que es necesaria la solución de problemas de calidad de la energía, tales como depresiones de voltaje, sobrevoltajes, regulación de potencia reactiva y *THD*; a través del control, modelado y análisis de dispositivos *CUSTOM POWER*, así como su representación adecuada en un sistema que integra una *MI* para emular el comportamiento de una turbina de viento. Además, se necesita el procesador digital que sea capaz de controlar los múltiples interruptores que conforman a los dispositivos *CUSTOM POWER* a una alta velocidad de procesamiento y alta frecuencia de conmutación.

1.4. Objetivos.

Desarrollar una metodología en el dominio del tiempo que permita realizar estudios y análisis en estado transitorio y estado estacionario en sistemas eléctricos, con énfasis particular hacia el campo de calidad de la energía. Por medio de dicha metodología, en particular se considera obtener un factor de potencia unitario y evitar los efectos de fenómenos adversos tales como depresiones de voltaje, distorsión armónica y sobrevoltajes.

Incorporar, en la metodología desarrollada, la representación de modelos de dispositivos *CUSTOM POWER*, en particular, *DSTATCOM*, *DVR* y back to back para representar su conexión en redes eléctricas, incluyendo la interconexión de una Máquina de Inducción (*MI*). Se dará atención particular a la representación de los controladores de cada dispositivo.

Realizar la representación de las turbinas de viento a partir del modelo eléctrico de una *MI*, cuyo comportamiento se basará en las variaciones realizadas en el torque de la misma a partir

de datos aleatorios; dichas variaciones ejemplifican la velocidad de las fluctuaciones del viento de 7m/s a 20m/s.

Desarrollar la herramienta digital que permita la implementación de técnicas *SPWM* multinivel de n niveles, mediante la aplicación de procesamiento computacional en paralelo basado en *FPGAs*. Con la finalidad de controlar múltiples interruptores a alta velocidad de procesamiento y alta frecuencia de conmutación y ancho de banda.

Implementar un sistema de prueba con integración de una MI utilizando el simulador de tiempo real (*Opal-RT®*), para verificar la funcionalidad del control en coordenada *abc* aplicado al *DSTATCOM*.

Analizar el comportamiento del convertidor back to back *AFE* (Active Front-End) en paralelo al aplicarle técnicas de modulación *SPWM* con el fin de lograr la mitigación del *THD* en una *MI*.

1.5. Aportaciones

- ◆ Diseño del control de operación de dispositivos *CUSTOM POWER* para mejorar la calidad de la energía en redes de distribución con integración de una MI.
- ◆ Modelado del VSC en los marcos de transformación *abc* y *dq* para su aplicación como dispositivos *CUSTOM POWER*.
- ◆ Propuesta e implementación de un esquema de control en coordenadas *abc* para la operación de un *DSTATCOM* conectado en una red de CA con integración de una *MI* (la cual emula el comportamiento de una turbina de viento), con el objetivo de mantener constante el voltaje en el Nodo de Conexión (*NC*) mediante la inyección de potencia reactiva a la red de CA.
- ◆ Aplicación de un esquema de control en un *DVR* para la compensación de perturbaciones del voltaje, tales como depresiones de voltajes y sobrevoltajes, en una red eléctrica. También, a través del esquema de control se tiene la opción de corregir el ángulo de la corriente presente en la carga sensible para colocar dicha corriente en fase con el voltaje, generando así un factor de potencia unitario.

- ◆ Modificación de la técnica de modulación *SPWM* aplicada en el control de un convertidor en paralelo back to back *AFE*, para la reducción del *THD* de corriente en una red eléctrica.
- ◆ Implementación de un sistema de prueba con integración de una MI utilizando el simulador de tiempo real (*Opal-RT®*), donde se verifica la funcionalidad del **DSTATCOM** al ser controlado por el corrector resonante y mantener a dicho sistema sin perturbaciones.

1.6. Organización de la Tesis

Este trabajo de tesis ha sido organizado en seis capítulos y dos Apéndices, los cuales son descritos a continuación:

Capítulo 2: Se analizan las principales tecnologías de turbinas de viento que existen, para especificar con el tipo de turbina a emular en esta investigación; después, se establece el modelado de la *MI* o turbina de viento tipo-2; posteriormente, se desarrolla el modelo de un *VSC*, tanto en el marco de referencia *abc* como en el marco de referencia *dq0*.

Capítulo 3: Se efectúa el desarrollo de técnicas *SPWM* multinivel para ser aplicadas en los dispositivos *CUSTOM POWER* utilizando la plataforma de simulación Xilinx versión 13.3 y se implementan en un *FPGA* modelo XC3S500E. Se desarrolla un convertidor CD/CA monofásico como prototipo experimental utilizando tres puentes-H en cascada para ser controlado por la técnica de modulación *SPWM* multinivel de 27 niveles. La efectividad de la técnica de control generada en el *FPGA* es examinada colocando diferentes impedancias que representan varios tipos de carga en el sistema.

Capítulo 4: Se realiza la compensación de voltaje y potencia reactiva utilizando los dispositivos *DVR* y *DSTATCOM* en sistemas eléctricos con integración de turbinas de viento. Este capítulo se divide en tres secciones que detallan los diferentes dispositivos *CUSTOM POWER* desarrollados en esta tesis.

La primera sección describe la importancia de utilizar un *DVR* para la compensación del sistema; después, se muestra el modelado del control del mismo; posteriormente, se establecen las características y parámetros del *DVR* para finalmente, analizar algunas variables eléctricas en el sistema en presencia de depresiones de voltaje y sobrevoltajes sin y con la conexión del *DVR*.

La segunda sección refiere el modelado del control del *DSTATCOM* en coordenadas $dq0$; después, se analizan algunas variables eléctricas para observar los efectos que produce la *MI* sobre el sistema con y sin la conexión del *DSTATCOM*.

La tercera sección detalla el modelado del control del *DSTATCOM* en coordenadas abc ; también, se analizan algunas variables eléctricas para observar los efectos que produce la *MI* sobre el sistema con y sin la conexión del *DSTATCOM* controlado por un corrector resonante. El sistema de prueba descrito en esta sección es implementado en el simulador en tiempo real (*Opal-RT*®) y la representación de la turbina de viento fue realizada por un generador asíncrono con variaciones en la velocidad del par mecánico para ejemplificar la presencia de fluctuaciones del viento.

Capítulo 5: Se desarrolla una modificación en el control del convertidor back to back *AFE* para mitigar el contenido armónico total en la red eléctrica. Inicialmente, se presentan las ventajas que proporciona la topología del convertidor back to back *AFE*; después, se modifica la técnica de modulación *SPWM* para ser aplicada en el control del convertidor back to back *AFE*; finalmente, se muestran los resultados analizando el contenido armónico total sobre la red de CA después de aplicar la técnica *SPWM* sin y con la modificación de la topología del convertidor back to back *AFE*.

Capítulo 6: Se establecen las conclusiones generales de esta tesis y se proponen recomendaciones de trabajos futuros para continuar con este tema de investigación.

Apéndice A: Muestra los modelos de los dispositivos *CUSTOM POWER* desarrollados y simulados en la plataforma de Matlab®-Simulink®.

Apéndice B: Muestra los procesos en código *VHDL* para la implementación de la técnica *SPWM* multinivel de n niveles en el *FPGA*.

Capítulo 2. Modelado de la *MI* y del *VSC*

2.1. Introducción

La energía eólica es una fuente de energía renovable que presenta una ventaja económica atractiva, viable y abundante, [Sharaf *et al.* 2007]. A finales del 2011 la instalación de turbinas eólicas comerciales se realizó en más de 80 países generando una potencia de aproximadamente 240 GW [Yun-Su *et al.* 2013]. Actualmente, más de 28000 turbinas de energía eólica operan con éxito en todo el mundo [Mohod y Aware 2010]. En particular, en Europa la capacidad instalada de turbinas de viento está creciendo a un ritmo considerable, aproximadamente al 20% de tasa de crecimiento anual [Arulampalam, *et al.* 2006].

En consecuencia, un aspecto importante a evitar es la desconexión de una instalación de energía eólica durante cualquier perturbación en la red. Dicha interacción también trae consigo problemas de regulación de voltaje en el sistema, compensación de potencia reactiva [Ahsan *et al.* 2012], [Sumathy y Prakash 2012] y problemas de estabilidad provocados por la naturaleza fluctuante del viento [Sintamarean *et al.* 2012]. Los dispositivos *DSTATCOM* y *DVR* [Ahsan *et al.* 2012], [Jayam *et al.* 2008], se han utilizado para un control flexible del flujo de potencia, la seguridad en la carga, amortiguamiento de oscilaciones en la potencia del sistema y mejorar la estabilidad transitoria y dinámica del sistema de energía eólica [Jaza y Fendereski 2007].

En este capítulo se describen los tipos de turbinas de viento que existen, el modelo eléctrico de la turbina de viento se desarrolla a partir del comportamiento de una Máquina de Inducción (*MI*). Este es necesario para representar la conexión de una turbina de viento en el sistema eléctrico en los Capítulos 4 y 5. También, se presenta el modelo del *VSC* en coordenadas *abc* y *dq0*, el cual se utilizará posteriormente en la simulación e implementación del *DVR* y el *DSTATCOM* en el Capítulo 4.

2.2. Fuentes de Energía Eólica

La energía eólica es la que se obtiene por medio del viento, es decir mediante la utilización de la energía cinética generada por efecto de las corrientes de aire. Se utiliza, principalmente, para mover turbinas de viento. En las turbinas de viento, la fuerza aerodinámica del viento impulsa una hélice o más (generalmente tres), y mediante un sistema mecánico se hace girar el rotor de un generador (normalmente una *MI*), el cual produce la energía eléctrica. Para que su instalación resulte rentable y de mayor capacidad, suelen agruparse en concentraciones denominadas parques eólicos.

2.2.1. Tipos de Turbinas de Viento

Las principales tecnologías de turbinas de viento son las siguientes [Ackermann, 2005]:

Turbina de Viento Tipo-1: Este tipo utiliza una *MI* de jaula de ardilla, y su configuración es mostrada en la Figura 2.1. Es un sistema práctico que emplea a menudo un interruptor para desconectar el aerogenerador de la red y una batería de condensadores fijos para proporcionar la potencia reactiva demandada por la *MI*.

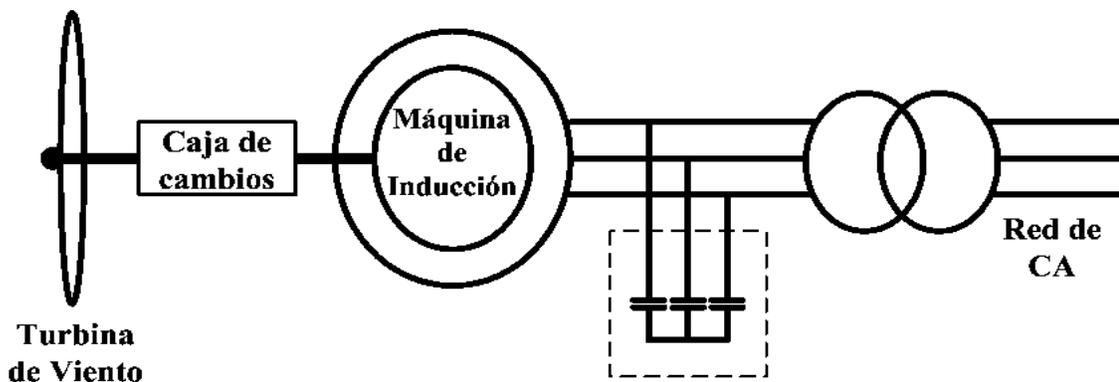


Figura 2.1 Turbina de Viento Tipo-1

Turbina de Viento Tipo-2: Para este tipo, se utiliza una *MI* con control de deslizamiento por medio de resistencias de rotor. El deslizamiento de la máquina se controla utilizando una resistencia variable conectada a los devanados del rotor usando un sistema electrónico de control, la conexión se realiza utilizando escobillas y anillos de deslizamiento, en la Figura 2.2 se muestra el esquema de este tipo de turbina.

Algunos aerogeneradores incluyen la resistencia externa y control en el circuito del rotor para evitar desgaste y mantenimiento de los anillos de deslizamiento. La variación de la

velocidad que se permite, es de $\pm 10\%$ de la velocidad síncrona. Su ventaja principal es su bajo costo comparado con otros tipos de aerogeneradores, mientras que su desventaja es un margen reducido de variabilidad de velocidad del rotor.

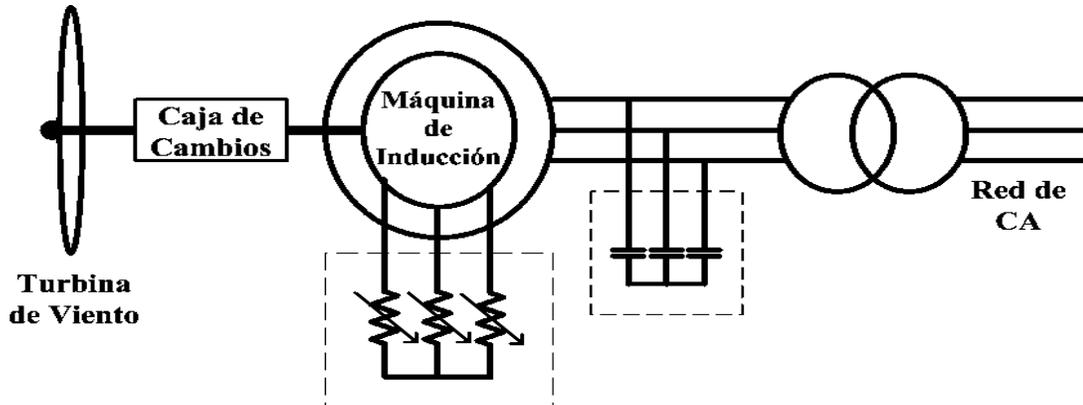


Figura 2.2 Turbina de Viento Tipo-2

Turbina de Viento Tipo-3: Utiliza una *MI* doblemente alimentado (*DFIG*) en su configuración. El principio de la doble alimentación al generador es que los devanados del rotor se encuentran conectados a la red a través de los anillos de deslizamiento y un convertidor electrónico de potencia back to back de aproximadamente 30% de la potencia nominal de la máquina, en la Figura 2.3 se observa dicho esquema. A través de este tipo de aerogenerador se pueden manipular los voltajes en las terminales del convertidor del lado del rotor, controlando así su corriente (*ir*), ajustar la potencia activa y reactiva del *DFIG*. Esto permite la variación de la velocidad en un rango de aproximadamente 30% de la velocidad síncrona.

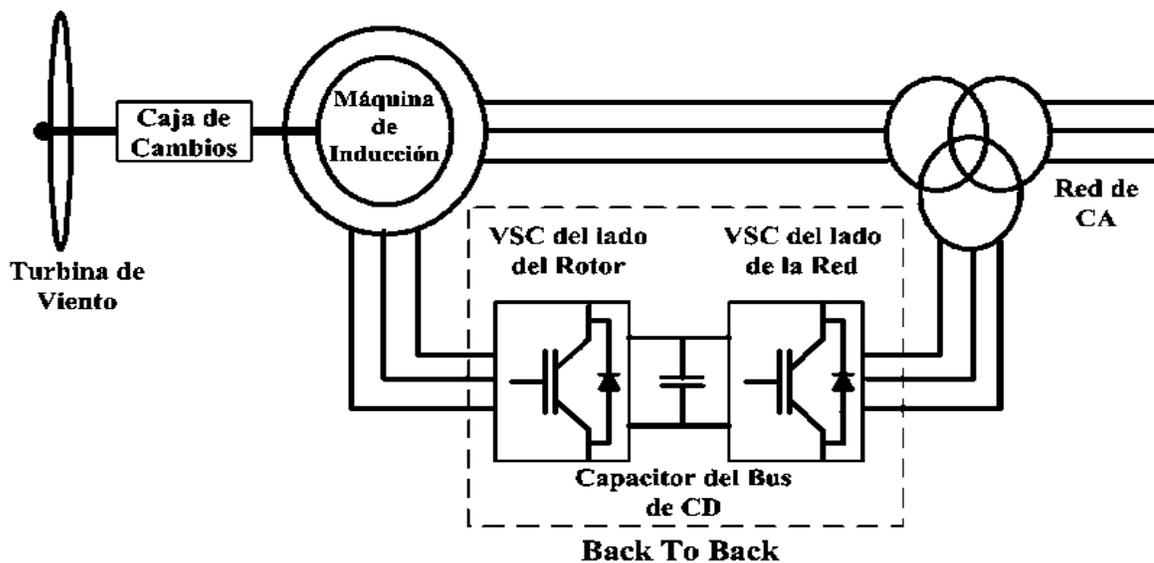


Figura 2.3 Turbina de Viento Tipo-3

La principal ventaja de la turbina de viento tipo-3 es el mayor margen de variabilidad de la velocidad de rotor (cuando se compara con una *MI* con control de deslizamiento), y un menor costo, al compararlo con un generador con estator conectado a un convertidor electrónico de potencia de escala completa. Su principal desventaja es el uso de anillos deslizantes en el rotor que requieren frecuente mantenimiento a causa del desgaste.

Turbina de Viento Tipo-4: Este tipo utiliza un generador con estator conectado a un convertidor electrónico de potencia (back to back) de escala completa, en la Figura 2.4 se muestra el esquema de dicha turbina. El generador puede ser síncrono o de inducción, permitiendo una variación de velocidad del rotor de hasta $\pm 60\%$ de la velocidad síncrona. A medida que los convertidores electrónicos de potencia sean más económicos dominarán el mercado.

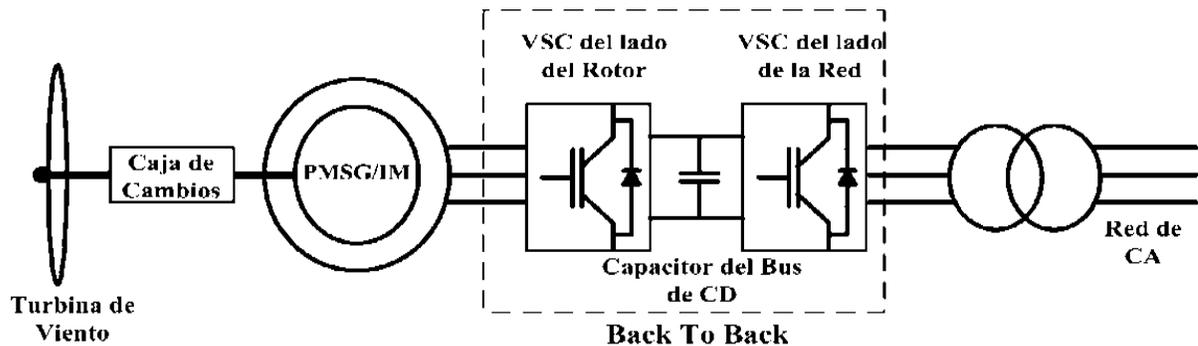


Figura 2.4 Turbina de Viento Tipo-4

La ventaja de este tipo de aerogenerador es el tener el mayor margen de variabilidad de la velocidad de rotor y un desacoplamiento total entre el generador y la red de CA, gracias a un convertidor back to back conectado entre el generador y la red. Su desventaja es su mayor costo entre los tipos de aerogeneradores e inyectar un mayor número de armónicos a la red de CA.

2.3. Modelado de la Máquina de Inducción

Las *MI*s requieren una entrada externa de potencial para producir un flujo magnético rotatorio, dicho potencial se obtiene de la red eléctrica o del propio generador (una vez que este comience a producir energía eléctrica). El flujo magnético del estator λ_s , inducido por el potencial externo induce a su vez corriente en los devanados del rotor i_r produciendo un flujo magnético λ_r . La interacción entre λ_s y λ_r hace que la flecha del rotor gire a una velocidad

determinada por la carga mecánica de la máquina. La frecuencia de la i_r inducida en los devanados del rotor depende de la variación de cambio del flujo magnético a través de sus espiras. Dicha variación es dependiente tanto de la frecuencia del voltaje de CA en el estator ω_s , como de la velocidad relativa entre la frecuencia del rotor ω_r y la rotación aparente de λ_s , denominada velocidad de deslizamiento $s\omega$. Cuando se provee par mecánico T_{mech} al rotor, la máquina se acelera por arriba de la velocidad síncrona, haciendo que λ_r gire más rápido que λ_s , lo que genera que la corriente que inicialmente aceleró al rotor cambie de dirección y produzca flujo magnético, el cual actúa para detener al rotor. Al forzar al rotor a mantener una velocidad superior a ω_s , se obliga a que un campo magnético de rotor coexista con el campo del estator. El campo de rotor se comporta igual a aquel de un generador síncrono, es decir, induce una fuerza electromotriz en los devanados del estator causando una corriente que fluye hacia la red eléctrica, generando potencia activa.

El circuito equivalente de la *MI* se muestra en la Figura 2.5. Los enlaces de flujo están en función de las corrientes e inductancias de los devanados del rotor y estator, la *MI* se representa por seis circuitos; de los cuales, tres corresponden al estator y tres al rotor; cada uno cuenta con una inductancia propia y cinco inductancias mutuas.

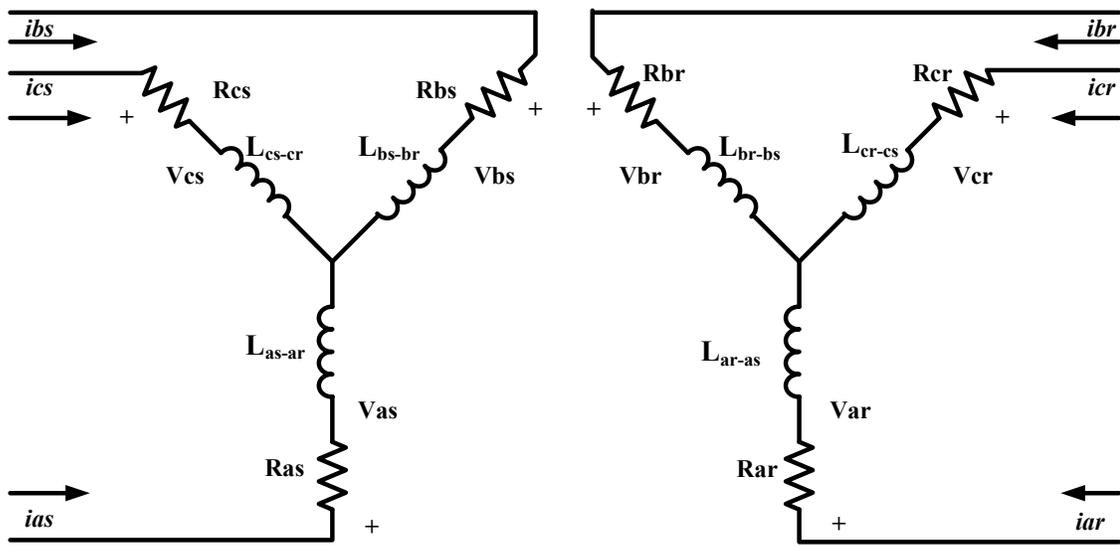


Figura 2.5 Circuito Equivalente de la *MI*

Las ecuaciones de voltaje de la *MI* representada en la Figura 2.5 son descritas por [Krause *et al.* 2013]:

$$v_{as} = r_{as}i_{as} + \frac{d}{dt} \lambda_{as} \quad (2.1a)$$

$$v_{bs} = r_{bs}i_{bs} + \frac{d}{dt} \lambda_{bs} \quad (2.1b)$$

$$v_{cs} = r_{cs}i_{cs} + \frac{d}{dt} \lambda_{cs} \quad (2.1c)$$

$$v_{ar} = r_{ar}i_{ar} + \frac{d}{dt} \lambda_{ar} \quad (2.1d)$$

$$v_{br} = r_{br}i_{br} + \frac{d}{dt} \lambda_{br} \quad (2.1e)$$

$$v_{cr} = r_{cr}i_{cr} + \frac{d}{dt} \lambda_{cr} \quad (2.1f)$$

donde v_{as} , v_{bs} , v_{cs} , v_{ar} , v_{br} , v_{cr} , son los voltajes en las fases abc del estator y el rotor, respectivamente; i_{as} , i_{bs} , i_{cs} , i_{ar} , i_{br} , i_{cr} , son las corrientes en las fases abc del estator y el rotor, respectivamente; λ_{as} , λ_{bs} , λ_{cs} , λ_{ar} , λ_{br} , λ_{cr} , son los enlaces de flujo en las fases abc del estator y el rotor, respectivamente; r_{as} , r_{bs} , r_{cs} , r_{ar} , r_{br} , r_{cr} , son las resistencias en las fases abc del estator y el rotor, respectivamente.

Realizar el modelado de la máquina de inducción en el marco de referencia abc implica un esfuerzo computacional muy grande debido a que es necesario procesar ecuaciones de séptimo orden con coeficientes variantes en el tiempo, es decir, una vez que se discretiza la matriz de inductancias (mutuas y propias) y su derivada (generadas en el marco abc), deben resolverse para la posición presente del rotor en cada paso de integración. Entonces, al realizar el modelado de la MI a través del marco de referencia $dq0$ es posible disminuir el proceso computacional, simplificar el control y análisis de la MI , debido a que se convierte un sistema trifásico uniformemente distribuido en el dominio del tiempo a un sistema ortogonal de dos fases, d , q y un componente de secuencia cero, donde el eje q se adelanta 90 grados del eje d .

La velocidad angular de la MI en el marco de referencia $dq0$, puede ser elegida para que coincida con la velocidad síncrona o con la velocidad del rotor; lo cual, permite "ver" matemáticamente cualquier voltaje, corriente o enlace de flujo que gira a la misma velocidad angular a la del marco de referencia $dq0$, como una distribución espacial constante. Por lo tanto, las cantidades de las variables eléctricas de un sistema trifásico balanceado pueden ser

transformadas a dos cantidades de corriente continua y una componente de secuencia cero, lo que simplifica el cálculo de las reglas de control y el análisis de la *MI* [Anaya-Lara *et al.* 2014].

En base a lo anterior, para representar en estado estacionario o rotatorio a cierta velocidad angular los vectores generados, se establece que, al ángulo que se genera entre el eje *d* del marco rotatorio y la fase *a* del sistema trifásico se le denomina θ_{dq} y se encuentra en función de la velocidad angular del eje rotatorio $\omega_{dq}(t)$ y un valor inicial de $\theta_{dq}(0)$, es decir:

$$\theta_{dq} = \int_0^t \omega_{dq}(t) dt + \theta_{dq}(0) \quad (2.2)$$

Para convertir un sistema trifásico a un sistema *dq0* se aplica la transformación T_{dq0} , que se expresa como:

$$T_{dq0} = \begin{bmatrix} \cos(\theta_{dq}) & \cos\left(\theta_{dq} - \frac{2\pi}{3}\right) & \cos\left(\theta_{dq} + \frac{2\pi}{3}\right) \\ \text{sen}(\theta_{dq}) & \text{sen}\left(\theta_{dq} - \frac{2\pi}{3}\right) & \text{sen}\left(\theta_{dq} + \frac{2\pi}{3}\right) \\ \left(\frac{1}{2}\right) & \left(\frac{1}{2}\right) & \left(\frac{1}{2}\right) \end{bmatrix} \quad (2.3)$$

Entonces, si se considera que el eje rotatorio para T_{dq0} gira a la misma frecuencia angular del sistema trifásico, es decir, $\omega_{dq} = \omega_s$ y el ángulo inicial entre ambos es 0. Se obtienen las siguientes ecuaciones de voltaje y de enlace de flujo para la *MI* en *dq0*,

$$v_{ds} = r_s i_{ds} + \left(\frac{d\lambda_{ds}}{dt}\right) - \omega_s \lambda_{qs} \quad (2.4a)$$

$$v_{qs} = r_s i_{qs} + \left(\frac{d\lambda_{qs}}{dt}\right) - \omega_s \lambda_{ds} \quad (2.4b)$$

$$v_{0s} = r_s i_{0s} + \left(\frac{d\lambda_{0s}}{dt}\right) \quad (2.4c)$$

$$v_{dr} = r_r i_{dr} + \left(\frac{d\lambda_{dr}}{dt}\right) - (\omega_s - \omega_r) \lambda_{qr} \quad (2.4d)$$

$$v_{qr} = r_r i_{qr} + \left(\frac{d\lambda_{qr}}{dt}\right) + (\omega_s - \omega_r) \lambda_{dr} \quad (2.4e)$$

$$v_{0r} = r_r i_{0r} + \left(\frac{d\lambda_{0r}}{dt}\right) \quad (2.4f)$$

donde $v_{ds}, v_{qs}, v_{0s}, i_{ds}, i_{qs}, i_{0s}, \lambda_{ds}, \lambda_{qs}, \lambda_{0s}$, son las componentes d, q y 0 del voltaje, corriente y flujo de estator, respectivamente y $v_{dr}, v_{qr}, v_{0r}, i_{dr}, i_{qr}, i_{0r}, \lambda_{dr}, \lambda_{qr}, \lambda_{0r}$, son las componentes d, q y 0 de voltaje, corriente y flujo de rotor, respectivamente.

Simplificando, las variables de rotor vistos desde el circuito del estator se expresan como:

$$\lambda'_{dr} = \left(\frac{N_s}{N_r} \right) \lambda_{dr} \quad (2.5a)$$

$$\lambda'_{qr} = \left(\frac{N_s}{N_r} \right) \lambda_{qr} \quad (2.5b)$$

donde λ'_{dr} y λ'_{qr} son los enlaces de flujo d y q del rotor vistos desde el circuito de estator, respectivamente.

$$i'_{dr} = \left(\frac{N_s}{N_r} \right) i_{dr} \quad (2.6a)$$

$$i'_{qr} = \left(\frac{N_s}{N_r} \right) i_{qr} \quad (2.6b)$$

donde i'_{dr} y i'_{qr} son las corrientes d y q del rotor vistas desde el circuito del estator, respectivamente.

$$L'_{lr} = \left(\frac{N_s}{N_r} \right)^2 L_{lr} \quad (2.7)$$

donde L'_{lr} es la inductancia de dispersión del rotor vista desde el circuito del estator; N_s y N_r son el número de vueltas de los devanados del estator y rotor, respectivamente.

Finalmente, la matriz de inductancias se determina como:

$$L_{dq0} = \begin{bmatrix} L_{ls} + L_m & 0 & 0 & L_m & 0 & 0 \\ 0 & L_{ls} + L_m & 0 & 0 & L_m & 0 \\ 0 & 0 & L_{ls} + L_m & 0 & 0 & 0 \\ L_m & 0 & 0 & L'_{lr} + L_m & 0 & 0 \\ 0 & L_m & 0 & 0 & L'_{lr} + L_m & 0 \\ 0 & 0 & 0 & 0 & 0 & L'_{lr} + L_m \end{bmatrix} \quad (2.8)$$

donde L_m es la inductancia magnetizante y se relaciona con las inductancias mutuas con,

$$L_m = \frac{3}{2}L_{ms} = \frac{3}{2}L_{msr} = \frac{3}{2}\left(\frac{N_s}{N_r}\right)L_{mr} \quad (2.9)$$

Ahora bien, al transformar la matriz de inductancias al marco de referencia $dq0$, se elimina la dependencia de las inductancias de la posición del rotor, lo que implica un menor tiempo en el proceso de simulación, debido a que solo es necesario calcular dicha matriz una vez y no en cada paso de integración. La transformación refleja todos los eventos transitorios de las fases, balanceadas o no, mientras se mantenga una distribución uniforme en los ángulos entre las fases del sistema. En base a lo anterior, la matriz de enlaces de flujo queda de la siguiente forma:

$$\begin{bmatrix} \lambda_{ds} \\ \lambda_{qs} \\ \lambda_{0s} \\ \lambda'_{dr} \\ \lambda'_{qr} \\ \lambda'_{0r} \end{bmatrix} = \begin{bmatrix} L_{ls} + L_m & 0 & 0 & L_m & 0 & 0 \\ 0 & L_{ls} + L_m & 0 & 0 & L_m & 0 \\ 0 & 0 & L_{ls} + L_m & 0 & 0 & 0 \\ L_m & 0 & 0 & L'_{lr} + L_m & 0 & 0 \\ 0 & L_m & 0 & 0 & L'_{lr} + L_m & 0 \\ 0 & 0 & 0 & 0 & 0 & L'_{lr} + L_m \end{bmatrix} \begin{bmatrix} i_{ds} \\ i_{qs} \\ i_{0s} \\ i'_{dr} \\ i'_{qr} \\ i'_{0r} \end{bmatrix} \quad (2.10)$$

Por otra parte, es posible simplificar aún más el modelo de la MI al descartar la componente de secuencia cero de la transformada $dq0$, reduciendo el modelo de sexto orden a cuarto orden, sin pérdidas en el comportamiento dinámico del sistema, generando una conexión en estrella en los devanados del rotor y del estator; es decir, no existe componente cero, sin importar que las fases estén o no balanceadas. Una vez consideradas las características anteriores, la ecuación matricial de los enlaces de flujo toma la siguiente forma:

$$\begin{bmatrix} \lambda_{ds} \\ \lambda_{qs} \\ \lambda'_{dr} \\ \lambda'_{qr} \end{bmatrix} = \begin{bmatrix} L_{ls} + L_m & 0 & L_m & 0 \\ 0 & L_{ls} + L_m & 0 & L_m \\ L_m & 0 & L_{ls} + L_m & 0 \\ 0 & L_m & 0 & L_{ls} + L_m \end{bmatrix} \begin{bmatrix} i_{ds} \\ i_{qs} \\ i'_{dr} \\ i'_{qr} \end{bmatrix} \quad (2.11)$$

Finalmente, el par eléctrico de la MI es descrito por:

$$T_e = \left(\frac{3P_g}{4}\right)L_m(i_{qs}i'_{dr} - i_{ds}i'_{qr}) \quad (2.12)$$

donde P_g es el número de polos de la MI .

2.4. Modelado del VSC en Coordenadas *abc*.

El principio de funcionamiento del *VSC* es la de generar voltajes de CA a través de la conmutación de sus dispositivos de potencia. Los arreglos trifásicos de 6 pulsos, como el mostrado en la Figura 2.6, son los más comunes. En las terminales de CD del convertidor se conecta en paralelo un capacitor que simula una fuente de voltaje, el cual reduce el rizo en el voltaje de CD. El voltaje presente en las terminales del *VSC* es un reflejo del voltaje de CD del convertidor, el cual tiene polaridad positiva o negativa, dependiendo de los dispositivos que estén conmutando, mientras que la dirección del flujo de potencia es determinada por la polaridad de la corriente de CD.

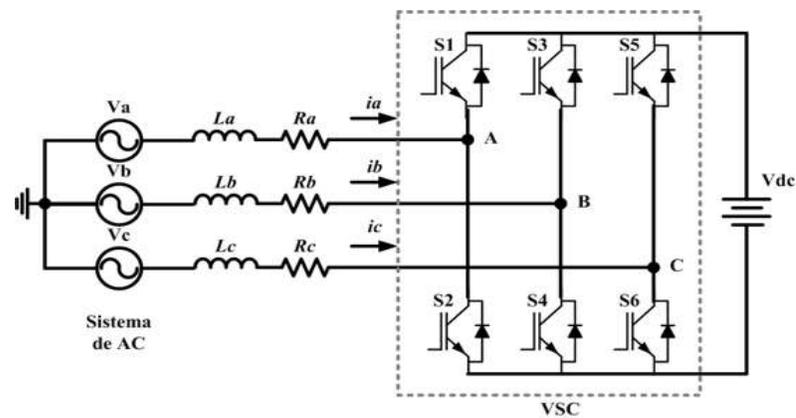


Figura 2.6 Modelado de un *VSC*

En la Figura 2.6, la fase de las corrientes i_a , i_b , e i_c , con respecto a la fase del voltaje de CA determina si el *VSC* está funcionando como rectificador o inversor, absorbiendo o entregando energía de la red de CA, respectivamente.

Los interruptores utilizados para construir el *VSC* tienen conectado un diodo en anti-paralelo para garantizar la función del dispositivo, ya sea como inversor o como rectificador. Tanto el voltaje de salida como la frecuencia pueden ser fijos o variables; debido a que se controlan a través de una técnica de modulación, por ejemplo, Modulación de Ancho de Pulso Senoidal (SPWM, por sus siglas en inglés) dentro del convertidor [Beltrán-Valle 2012].

El esquema se analiza a partir de (2.13) de los voltajes que se presentan en cada nodo, es decir, las ecuaciones del circuito se obtienen al aplicar la Ley de Voltajes de Kirchoff (*KVL*, por sus siglas en inglés), es decir:

$$-v_a + v_{La} + v_{Ra} + \frac{1}{2}V_{DC}M_a = 0 \quad (2.13a)$$

$$-v_b + v_{Lb} + v_{Rb} + \frac{1}{2}V_{DC}M_b = 0 \quad (2.13b)$$

$$-v_c + v_{Lc} + v_{Rc} + \frac{1}{2}V_{DC}M_c = 0 \quad (2.13c)$$

donde V_{DC} es el voltaje de bus de CD, v_{abc} es el voltaje del sistema de CA, v_{Labc} es el voltaje en las inductancias, v_{Rabc} es el voltaje en las resistencias, M_{abc} es el índice de modulación de la técnica *SPWM* en cada fase, respectivamente.

Al despejar el voltaje del sistema de CA y reemplazar el valor de cada voltaje por su corriente determinada se obtiene (2.14):

$$v_a = L_a \left(\frac{di_a}{dt} \right) + i_a R_a + \frac{1}{2} V_{DC} M_a \quad (2.14a)$$

$$v_b = L_b \left(\frac{di_b}{dt} \right) + i_b R_b + \frac{1}{2} V_{DC} M_b \quad (2.14b)$$

$$v_c = L_c \left(\frac{di_c}{dt} \right) + i_c R_c + \frac{1}{2} V_{DC} M_c \quad (2.14c)$$

La Ecuación (2.14) analiza el sistema en el dominio del tiempo; sin embargo, debido a que se desea encontrar una función de transferencia que represente al mismo, en (2.15) el sistema se describe en el dominio de la frecuencia por la transformada de Laplace en la forma,

$$v_a(s) = sL_a i_a(s) + R_a i_a(s) + \frac{1}{2} V_{DC} M_a \quad (2.15a)$$

$$v_b(s) = sL_b i_b(s) + R_b i_b(s) + \frac{1}{2} V_{DC} M_b \quad (2.15b)$$

$$v_c(s) = sL_c i_c(s) + R_c i_c(s) + \frac{1}{2} V_{DC} M_c \quad (2.15c)$$

La corriente que circula por el sistema está dada por (2.16). La Figura 2.7 muestra el diagrama a bloques que se genera a partir de la misma ecuación.

$$i_a(s) = \frac{v_a(s) - \frac{1}{2} V_{DC} M_a}{sL_a + R_a} \quad (2.16a)$$

$$i_b(s) = \frac{v_b(s) - \frac{1}{2} V_{DC} M_b}{sL_b + R_b} \quad (2.16b)$$

$$i_c(s) = \frac{v_c(s) - \frac{1}{2}V_{DC}M_c}{sL_c + R_c} \quad (2.16c)$$

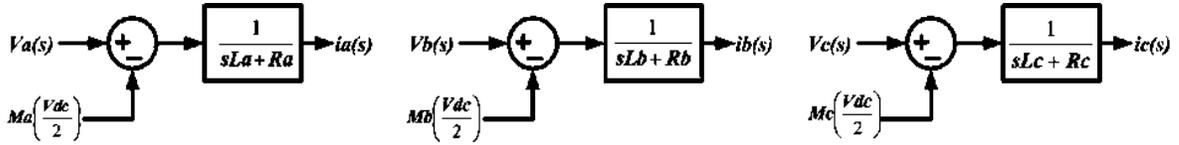


Figura 2.7 Diagrama a bloques equivalente a la planta del sistema en el marco abc .

El circuito equivalente en el dominio de la frecuencia queda descrito por las siguientes ecuaciones:

$$v_a(s) = sL_a i_a(s) + R_a i_a(s) + V_{ia}(s) \quad (2.17a)$$

$$v_b(s) = sL_b i_b(s) + R_b i_b(s) + V_{ib}(s) \quad (2.17b)$$

$$v_c(s) = sL_c i_c(s) + R_c i_c(s) + V_{ic}(s) \quad (2.17c)$$

$$I_{dca}(s) = i_a(s)M_a \quad (2.17a)$$

$$I_{dcb}(s) = i_b(s)M_b \quad (2.17b)$$

$$I_{dcc}(s) = i_c(s)M_c \quad (2.17c)$$

La corriente total del lado de CD se obtiene como:

$$I_{dc} = I_{dca} + I_{dcb} + I_{dcc} \quad (2.18)$$

A partir del modelo del sistema de la Figura 2.6, se obtiene el circuito equivalente del mismo, según se muestra en la Figura 2.8.

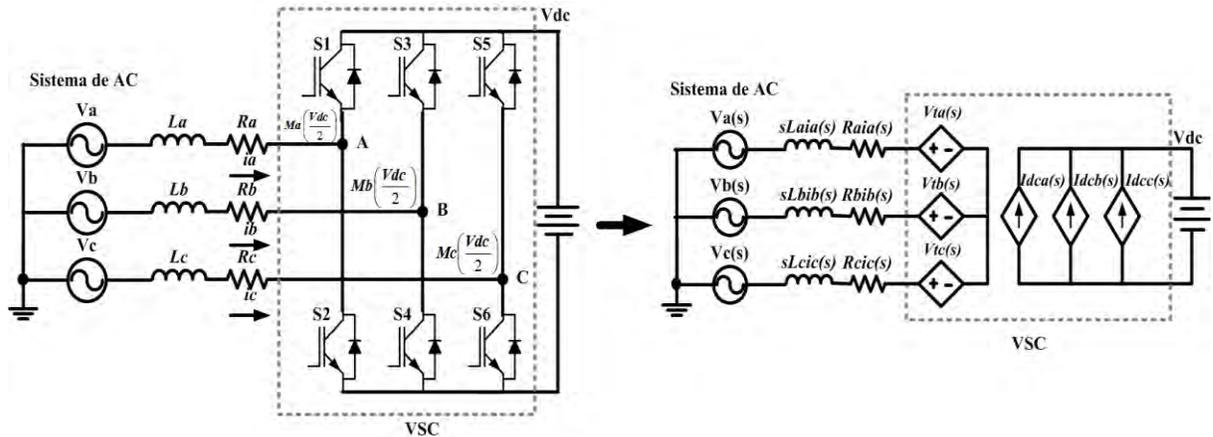


Figura 2.8 Circuito equivalente del sistema en el marco de referencia abc .

El modelo del VSC desarrollado en esta sección y descrito en la Figura 2.8 se utiliza en la implementación del control del *DSTATCOM* en la sección 4.3.

2.5. Modelado del VSC en coordenadas $dq0$.

La representación de redes eléctricas, máquinas y convertidores *VSC* permite realizar el análisis y diseño basado en las metodologías que se emplean comúnmente para sistemas de energía eléctrica, en un marco de referencia unificado. Convencionalmente, los componentes de los sistemas de potencia se formulan y analizan en el marco de referencia $dq0$ [Yazdani e Iravani, 2010]. Para realizar esto, es necesario el uso de las transformadas de Clark y Park, respectivamente. La Figura 2.9 muestra la representación vectorial de marco de referencia $\alpha\beta$ y $dq0$.

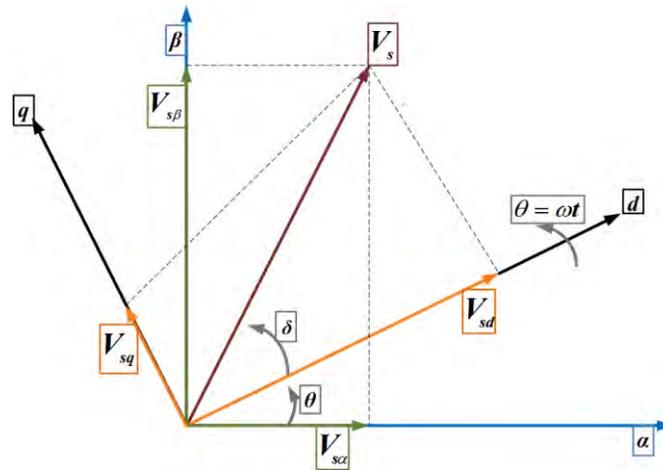


Figura 2.9 Representación vectorial del sistema en el marco de referencia $\alpha\beta$ y $dq0$

La transformación $\alpha\beta$ (Clark) ofrece la ventaja de reducir el orden del espacio en que se representan señales trifásicas de 3 a 2, mediante una transformación lineal, siempre y cuando el sistema trifásico se encuentre balanceado. La magnitud del vector integrado debe coincidir con la magnitud RMS línea-línea entre las fases a , b y c .

La transformación $abc-\alpha\beta$ se representa mediante la siguiente ecuación matricial,

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.19)$$

Sin embargo, al aplicar un control retroalimentado, es altamente deseable hacerlo con señales que no varíen con respecto del tiempo. Las componentes α y β varían de modo sinusoidal; para este fin se aplica la transformación de Park, donde la salida es un vector en el marco de referencia $dq0$, cuyas componentes son constantes en el tiempo. La transformación de Park tiene como entrada el marco de referencia $\alpha\beta$; se representa de forma matricial como:

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (2.20)$$

Para encontrar el ángulo θ del vector de referencia evaluado en la transformación inversa, se utiliza un *PLL*. Éste se encarga de medir el ángulo del vector de referencia con respecto al eje α , que permite evaluar la transformación directa o inversa de Park. Las entradas al *PLL* son las señales en el marco $\alpha\beta$ y la salida es el ángulo del vector integrado con respecto del eje α .

Una vez que se aplican las transformadas de Clark y Park, el sistema equivalente descrito en la Figura 2.8 puede ser representado en el marco de referencia dq . En la Figura 2.10 se muestra la representación a bloques del sistema en dicho marco de referencia, incluyendo el acoplamiento cruzado de inductancias.

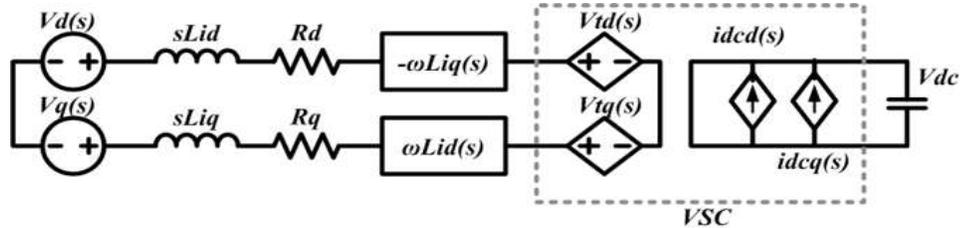


Figura 2.10 Circuito equivalente del sistema en el marco de referencia $dq0$.

El acoplamiento cruzado de inductancias es incluido en el sistema debido a que cuando dos bobinas interactúan entre sí, parte del flujo magnético de la bobina 1 enlaza la bobina 2, entonces, el voltaje sobre la primer bobina 1 dependerá de la razón de cambio del flujo total que pasa por la bobina 2.

El voltaje del circuito equivalente en el marco dq que muestra el diagrama a bloques de la Figura 2.10 se expresa como,

$$V_d(s) = sL + RI_d(s) - I_q(s)\omega L + V_{td}(s) \quad (2.21a)$$

$$V_q(s) = sL + RI_q(s) + I_d(s)\omega L + V_{tq}(s) \quad (2.21b)$$

donde $-I_q(s)\omega L$ y $I_d(s)\omega L$ representan el acoplamiento cruzado de las inductancias, V_{id} y V_{iq} son los voltajes de salida del VSC en el dominio de la frecuencia y en el marco de referencia dq ; los cuales se describen como,

$$V_{id}(s) = \frac{V_{DC}}{2} M_d(s) \quad (2.22a)$$

$$V_{iq}(s) = \frac{V_{DC}}{2} M_q(s) \quad (2.22b)$$

donde M_d y M_q representan el índice de modulación y V_{DC} el voltaje del bus de CD.

El índice de modulación se determina mediante las expresiones siguientes:

$$M_d(s) = \frac{2}{V_{DC}} (U_d(s) - L\omega I_q(s) + V_{sd}(s)) \quad (2.23a)$$

$$M_q(s) = \frac{2}{V_{DC}} (U_q(s) + L\omega I_d(s) + V_{sq}(s)) \quad (2.23b)$$

donde U_d y U_q corresponden a la salida del compensador PI , el cual se utilizará para estabilizar la planta, V_{sd} y V_{sq} son disturbios presentes en el sistema (en caso de existir).

Para encontrar la ecuación que represente la planta del sistema, primero se sustituye la ecuación (2.23) en (2.22), obteniéndose,

$$V_{id}(s) = \frac{V_{DC}}{2} \left[\frac{2}{V_{DC}} (U_d(s) - L\omega I_q(s) + V_{sd}(s)) \right] \quad (2.24a)$$

$$V_{iq}(s) = \frac{V_{DC}}{2} \left[\frac{2}{V_{DC}} (U_q(s) + L\omega I_d(s) + V_{sq}(s)) \right] \quad (2.24b)$$

Después, (2.24) se sustituye en (2.21), resultando,

$$V_d(s) = sL + RI_d(s) - I_q(s)\omega L + \left(\frac{V_{DC}}{2} \left[\frac{2}{V_{DC}} (U_d(s) - L\omega I_q(s) + V_{sd}(s)) \right] \right) \quad (2.25a)$$

$$V_q(s) = sL + RI_q(s) + I_d(s)\omega L + \left(\frac{V_{DC}}{2} \left[\frac{2}{V_{DC}} (U_q(s) + L\omega I_d(s) + V_{sq}(s)) \right] \right) \quad (2.25b)$$

Resolviendo (2.25) para $U_d(s)$ y $U_q(s)$ resulta,

$$U_d(s) = -(sL + R)I_d(s) \quad (2.26a)$$

$$U_q(s) = -(sL + R)I_q(s) \quad (2.26b)$$

Al re-escribir la ecuación (2.26), se obtiene

$$\frac{I_d(s)}{U_d(s)} = \frac{1}{(sL + R)} \quad (2.27a)$$

$$\frac{I_q(s)}{U_q(s)} = \frac{1}{(sL + R)} \quad (2.27b)$$

La ecuación de transferencia (2.27) representa la planta del sistema en el marco de referencia dq . La Figura 2.11 representa su diagrama de bloques.

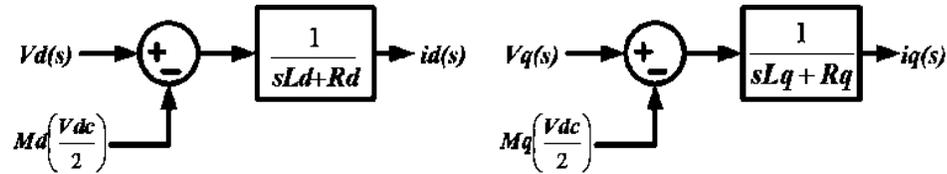


Figura 2.11 Diagrama a bloques equivalente a la planta del sistema en el marco de referencia $dq0$.

El modelo del VSC desarrollado en esta sección y descrito en la Figura 2.11 se utiliza en la implementación del control del *DVR* y del *DSTATCOM* en la sección 4.1 y 4.2, respectivamente.

2.6. Conclusiones

En este capítulo han sido descritos los tipos de turbinas de viento que existen. Se ha observado que los cuatro tipos contienen una máquina de inducción en su topología, por lo tanto, se ha definido el modelo eléctrico de la *MI*, a partir del cual se representará el comportamiento de las turbinas de viento tipo-2 y tipo-4 en los Capítulos 4 y 5, respectivamente.

Para mantener el funcionamiento constante de un sistema eléctrico con integración de turbinas de viento en presencia de disturbios de calidad de la energía, es necesario el uso de los dispositivos *DVR* y *DSTATCOM*; estos dispositivos están conformados por un *VSC*. Por lo tanto, se ha representado el modelo matemático de un *VSC* en coordenadas abc y $dq0$, modelos que serán utilizados en el Capítulo 4 para el control de los mismos.

Capítulo 3. Simulación e Implementación de Técnicas SPWM Multinivel aplicadas a Dispositivos CUSTOM POWER mediante FPGA.

3.1. Introducción

A través del procesamiento en paralelo se superan las limitaciones que generan la arquitectura tradicional de los uniprosesores, como son: el incremento de la frecuencia del reloj, limitado por la reducción del tamaño del mismo. Se realiza a través de la cooperación de un gran número de procesadores interconectados, y su desarrollo se debe a dos grandes motivos: la demanda de crecimiento para solucionar grandes problemas en diversos campos de aplicación y a los grandes avances en la tecnología de cómputo, especialmente en la tecnología de Integración a Escala Muy Grande (*VLSI*, por sus siglas en inglés) [Lan Jin, 1995].

En ingeniería eléctrica, las aplicaciones de procesamiento en paralelo aparecen en problemas de sistemas de potencia, tales como flujos de potencia [Ward and Hale, 1956], [Rodríguez, *et al.* 1994], [Murach *et al.* 2005], [Roberge *et al.* 2016], estabilidad transitoria [La Scala *et al.* 1991], [Dufour *et al.* 2012], transitorios electromagnéticos [Matar e Iravani, 2011] y armónicos [Nascimento *et al.* 2013], [Valtierra-Rodríguez *et al.* 2013], entre otros, los cuales son tratados a través de procesamiento en paralelo debido al demandante esfuerzo computacional de los procesos numéricos asociados a su solución práctica. Como resultado, se ha observado que al aplicar procesamiento en paralelo se tiene un mejor rendimiento cuando cada hilo ejecuta mayor cantidad de código entre sincronizaciones. Estas técnicas son muy atractivas en la solución de problemas en sistemas eléctricos [Ramos-Paz, 2007].

En este capítulo se propone la simulación e implementación de técnicas *SPWM* multinivel de n niveles utilizando procesamiento en paralelo a través de la arquitectura de un *FPGA*. Lo anterior, con el objetivo de mitigar el Contenido Armónico Total (*THD*, por sus siglas en inglés) en un convertidor CD/CA multinivel, ya que de acuerdo con [Palanivel y Dash, 2011], [Yousefpoor *et al.* 2012], [Rajesh y Manjesh, 2016] entre mayor número de niveles sean generados para la formación de una señal sinusoidal, menor será el contenido armónico presente en la misma.

3.2. Procesamiento en Paralelo de un Field Programmable Gate Arrays (FPGA).

La filosofía de procesamiento en paralelo es tener un gran número de trabajos pequeños solucionando una tarea específica. La aparición masiva de procesadores paralelos y computación distribuida generó una gran aceptación y aplicación del procesamiento en paralelo para la solución de problemas de magnitud considerable en diversos campos. Así, es posible crear una computadora virtual de gran alcance a través de múltiples supercomputadoras, a un bajo costo [Foster, I., 1994], [Medina *et al.* 2003].

Una característica de gran importancia al desarrollar procesamiento en paralelo es el tamaño del problema a realizar en un proceso computacional; se identifica como granularidad [Sass y Schmidt 2010]. En granularidad fina, el lenguaje de programación se realiza a bajo nivel, donde las tareas individuales son relativamente pequeñas con respecto a los tiempos de ejecución, las tareas incluyen de 4 a 6 variables. Granularidad media: es el proceso en paralelo dentro de una aplicación individual; la comunicación entre procesadores es menos frecuente y ocurre después de largos tiempos de ejecución. Granularidad gruesa: posee un menor número de bloques lógicos, cada uno de los cuales tiene capacidad para realizar funciones de cierta complejidad; es la más limitada y no tiene métodos específicos de comunicación entre nodos o procesadores; se utiliza en sistemas acoplados débiles (múltiples).

Un *FPGA* permite describir un elemento de hardware de cualquier tipo de granularidad de manera digital hasta convertirlo en una descripción a nivel de compuerta lógica, a través del lenguaje de descripción de Hardware, *VHDL* (acrónimo que representa la combinación de VHSIC (Very High Speed Integrated Circuits) y *HDL* (Hardware Description Language)) sin necesidad de algoritmos ejecutados a través de un procesador [Swamy *et al.* 1995]. Estas características hacen que los *FPGAs* sean una opción prioritaria para algoritmos de alta velocidad en aplicaciones digitales. En la Figura 3.1 se muestran los tipos de granularidad de la arquitectura del *FPGA*.

La importancia de desarrollar controladores digitales en dispositivos de programación de bajo nivel (ejercer control directo sobre el hardware), como *FPGAs*, para el control de convertidores de potencia de conmutación, radica en las ventajas de concurrencia (todas las funciones se ejecutan en paralelo); es decir, permite controlar múltiples interruptores a alta

velocidad de procesamiento, lo que es ideal cuando se requiere una frecuencia muy alta de conmutación y ancho de banda [Castro *et al.* 2004].

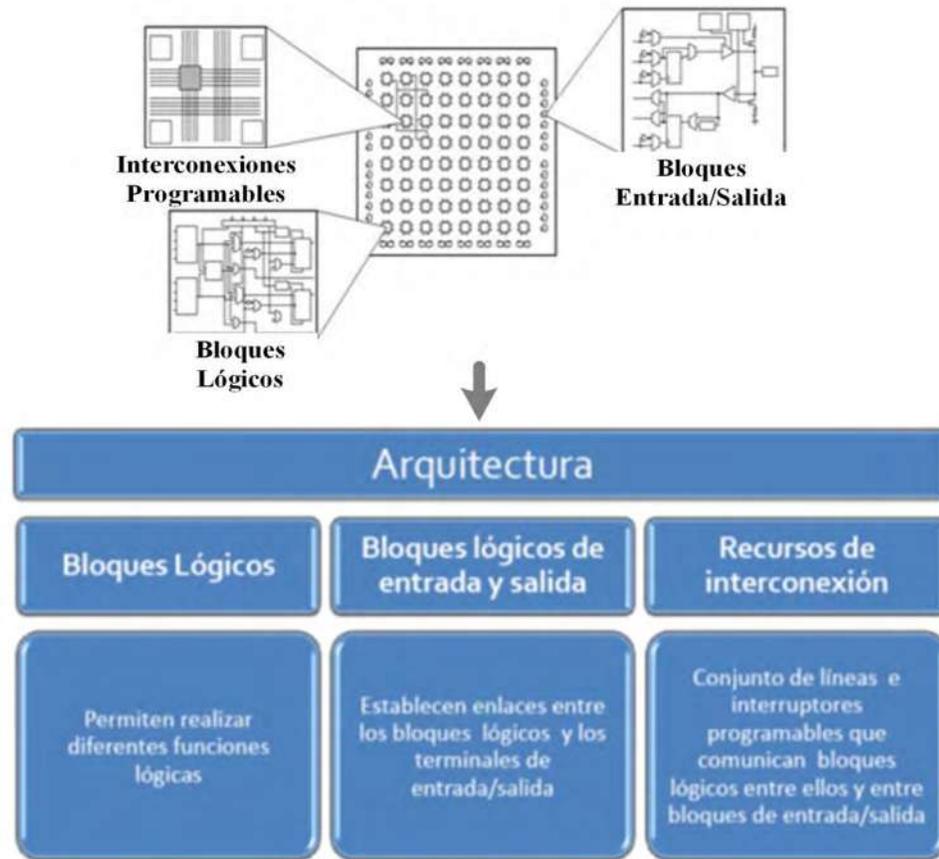


Figura 3.1 Tipos de Granularidad en la arquitectura de un FPGA.

Además, es conveniente utilizar la plataforma de estudio Xilinx para la simulación e implementación de sistemas, ya que ofrece ventajas de flexibilidad y rendimiento. Asimismo, optimiza aplicaciones de baja potencia y a un bajo costo [Sass y Schmidt, 2010]. Al mismo tiempo, son dinámica y parcialmente re-configurables, hecho que puede ser explotado con el fin de reducir el consumo total de potencia. La re-configuración del hardware permite que las funciones que no son constantemente requeridas puedan ser almacenadas en una memoria de baja potencia y se configura acorde a un registro predefinido en el FPGA; esto reduce el consumo de energía [Paulsson *et al.* 2008].

En base a las propiedades de procesamiento en paralelo, granularidad y reconfiguración del *FPGA*, en este capítulo para la simulación e implementación de una técnica de modulación *SPWM* multinivel de n niveles, se propone el uso de la plataforma Xilinx versión 13.3 y un *FPGA* Spartan 3E modelo XC3S500E. El programa se desarrolla en *VHDL* y es especificado

en el Apéndice B, la implementación se realiza en un convertidor CD/CA multinivel de 27 niveles, formado por tres puentes-H en cascada.

3.3. Diseño de la técnica de modulación SPWM multinivel de n niveles Mediante FPGAs

La generación de una señal de *SPWM* (modulación por ancho de pulso sinusoidal) se logra a través de la comparación entre una señal de referencia sinusoidal (señal de modulación) y una onda triangular de alta frecuencia (señal portadora). Por ejemplo, si se desean 3 niveles sólo son necesarias dos comparaciones, es decir, la señal de modulación con la portadora 1 y después con la portadora 2. La Figura 3.2 ilustra el esquema de una señal *SPWM* de n niveles.

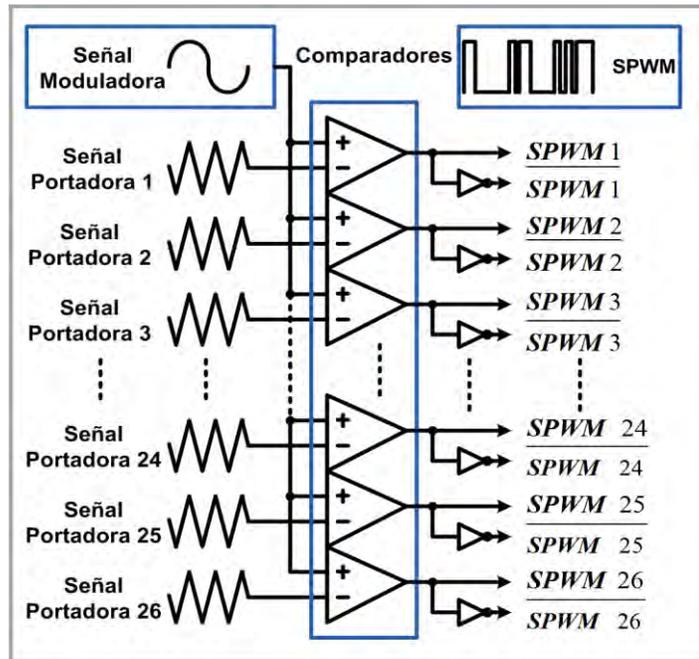


Figura 3.2 Generación de una señal *SPWM* multinivel de n niveles.

La generación de una señal *SPWM* multinivel se realiza por la siguiente expresión:

$$n_L = n - 1 \quad (3.1)$$

donde n es el número de niveles deseados y n_L es el número de comparaciones.

El índice de modulación m_a se genera a partir de:

$$m_a = \frac{f_c}{f_m} \quad (3.2)$$

donde f_c es la frecuencia de la señal portadora y f_m es la frecuencia de la señal moduladora.

El objetivo de una señal *SPWM* multinivel es reducir el voltaje en los dispositivos de conmutación de un convertidor generado por su operación en alta potencia. Esto se logra mediante la ejecución adecuada de los instantes de conmutación para generar señales de control en los conmutadores. Por lo tanto, la aplicación de este tipo de control en convertidores multinivel hace que sean de bajo costo y que reduzcan su tamaño y peso.

3.3.1. Formación de la Señal Moduladora

Para generar una señal *SPWM* en el *FPGA* primero la señal sinusoidal de amplitud A se discretiza y posteriormente dichos datos son almacenados en la Memoria de Solo Lectura (*ROM*, por sus siglas en inglés) del *FPGA*. La señal sinusoidal o de modulación tiene una frecuencia de 60Hz; entonces, para generar una precisión alta ésta se discretiza en 500 datos.

En el Apéndice B se describen a detalle (utilizando el lenguaje de programación *VHDL*) todos los procesos especificados en este capítulo, inicialmente, en la Tabla B.1 se muestra como declarar las 500 localidades en la memoria *ROM* para almacenar los valores de la señal moduladora de amplitud A .

El *FPGA* modelo XC3S500E opera a una frecuencia de 50MHz; por lo tanto, para formar una señal de modulación sinusoidal de 60 Hz, es necesario disminuir esta frecuencia según la siguiente relación:

$$f_{MSB} = \frac{f_{FPGA}}{f_{SMS}} = \frac{50MHz}{60Hz} = \frac{833333Hz}{500} = 1666.67Hz \quad (3.3)$$

donde f_{FPGA} es la frecuencia a la que opera el *FPGA* modelo XC3S500E, f_{SMS} es la frecuencia correspondiente a la señal moduladora y f_{MSB} es la frecuencia base de la señal de modulación.

En resumen, los 500 datos almacenados en la *ROM* son asignados continuamente cada 1666 ciclos de reloj del *FPGA*. Los procesos que describen la ecuación (3.3) se encuentran en el Apéndice B, en las Tablas B.2, B.3 y B.4.

Es importante destacar que las tareas que se describen en las Tablas B.2, B.3 y B.4 son procesadas en paralelo por el *FPGA*. Por lo tanto, se adquieren las ventajas de simplicidad, eficiencia, versatilidad y flexibilidad.

3.3.2. Formación de la Señal Portadora

La señal portadora es una forma de onda triangular sintetizada por medio de los pulsos de reloj maestro del *FPGA*, a una frecuencia de 50 MHz. La frecuencia de la señal portadora debe ser al menos 10 veces mayor que la frecuencia de la señal de modulación; por lo tanto, se crea una señal portadora con una frecuencia de 3 kHz a partir de los cálculos en (3.4) y (3.5). En la Tabla B.5 del Apéndice B se observa el proceso para generar la frecuencia base de la señal portadora.

$$f_{CSB} = f_{MSB} * 10 = 1666.67 \text{ Hz} * 10 = 16666.67 \text{ Hz} \quad (3.4)$$

$$f_{CS} = \frac{f_{FPGA}}{f_{CSB}} = \frac{50 \text{ MHz}}{16666.67 \text{ Hz}} = 3 \text{ kHz} \quad (3.5)$$

donde f_{MSB} es la frecuencia base de la señal de modulación, f_{FPGA} es la frecuencia a la que opera el FPGA modelo XC3S500E, f_{CSB} es la frecuencia base de la señal portadora y f_{CS} es la frecuencia de conmutación de la señal portadora.

La señal de modulación de amplitud A y la suma de las n portadoras, deben tener la misma amplitud pico a pico. La forma de onda triangular (portadora) se genera mediante el aumento de su nivel a una T máxima, luego disminuye a cero en forma escalonada. Esta secuencia se repite continuamente hasta que se detiene el proceso global, en la Tabla B.6 del Apéndice B se describe dicha secuencia.

Para formar cada una de las señales triangulares restantes, se añade un desplazamiento a la señal triangular principal, hasta alcanzar la amplitud máxima A de la señal moduladora. Por ejemplo, para formar una señal *SPWM* multinivel de 9 niveles, se utilizan ocho portadoras, una normal y siete desplazadas, como se muestra a continuación en la Tabla 3.1.

Tabla 3.1 Formación de múltiples portadoras

Portadora → PWM1
Portadora + 1250 → PWM 2
Portadora + 2500 → PWM 3
Portadora + 3750 → PWM 4
Portadora + 5000 → PWM 5
Portadora + 6250 → PWM 6
Portadora + 7500 → PWM 7
Portadora + 8750 → PWM 8

Cabe mencionar que si se desea generar un número mayor de niveles, el desplazamiento se obtiene a partir de la siguiente ecuación:

$$\Delta p = \frac{A}{n-2} \quad (3.6)$$

donde Δp es el desplazamiento sumado a la señal triangular principal y n es el número de niveles deseado y A es la amplitud máxima de la señal moduladora.

La señal sinusoidal es comparada continuamente con cada una de las señales portadoras, lo que genera un tren de pulsos que van de encendido a apagado. Si la referencia es más grande que la señal portadora, entonces, el pulso se activa, si la referencia es más pequeña que una de las señales portadoras, entonces el pulso se apaga; lo anterior se ilustra en la Tabla 3.2.

Tabla 3.2 Generación de la señal SPWM

Moduladora > Portadora → PWM = 1
Moduladora < Portadora → PWM = 0

La simulación de la señal SPWM multinivel de n niveles se efectuó utilizando el lenguaje de descripción VHDL.

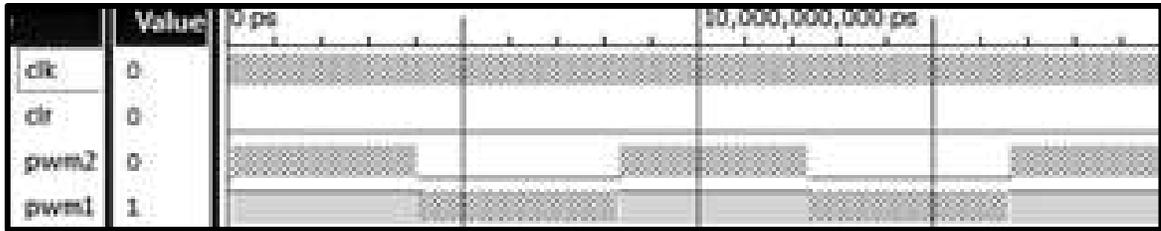
3.4. Simulación de la señal SPWM multinivel de 3, 9 y 27 niveles.

En la Figura 3.3 se muestra la simulación de tres señales *SPWM* multinivel, las cuales se obtuvieron por medio de la plataforma de Xilinx versión 13.3 y *VHDL*.

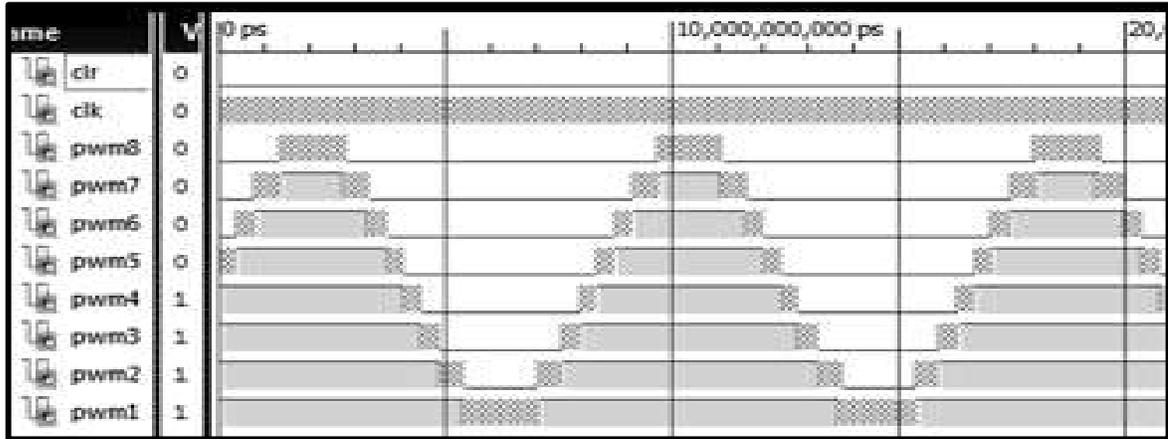
En la Figura 3.3a se muestra la simulación de 3 niveles de voltaje, la Figura 3.3b muestra la simulación de 9 niveles de voltaje y la simulación de 27 niveles de voltaje se muestra en la Figura 3.3c.

La señal de control en la salida del FPGA tiene un voltaje máximo pico a pico de 3.3V.

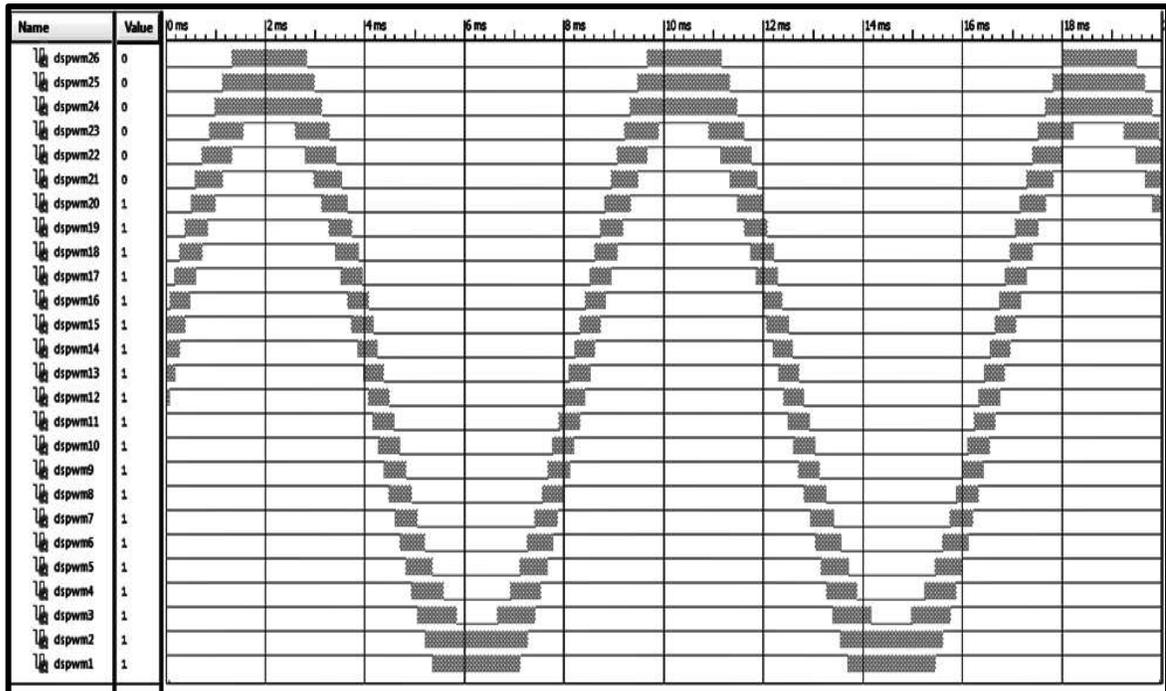
En la Figura 3.4 se muestra el diagrama de flujo para efectuar la simulación de la señal *SPWM* multinivel de n niveles.



a)



b)



c)

Figura 3.3 Simulación de la señal *SPWM* multinivel. a) 3 niveles; b) 9 niveles; c) 27 niveles.

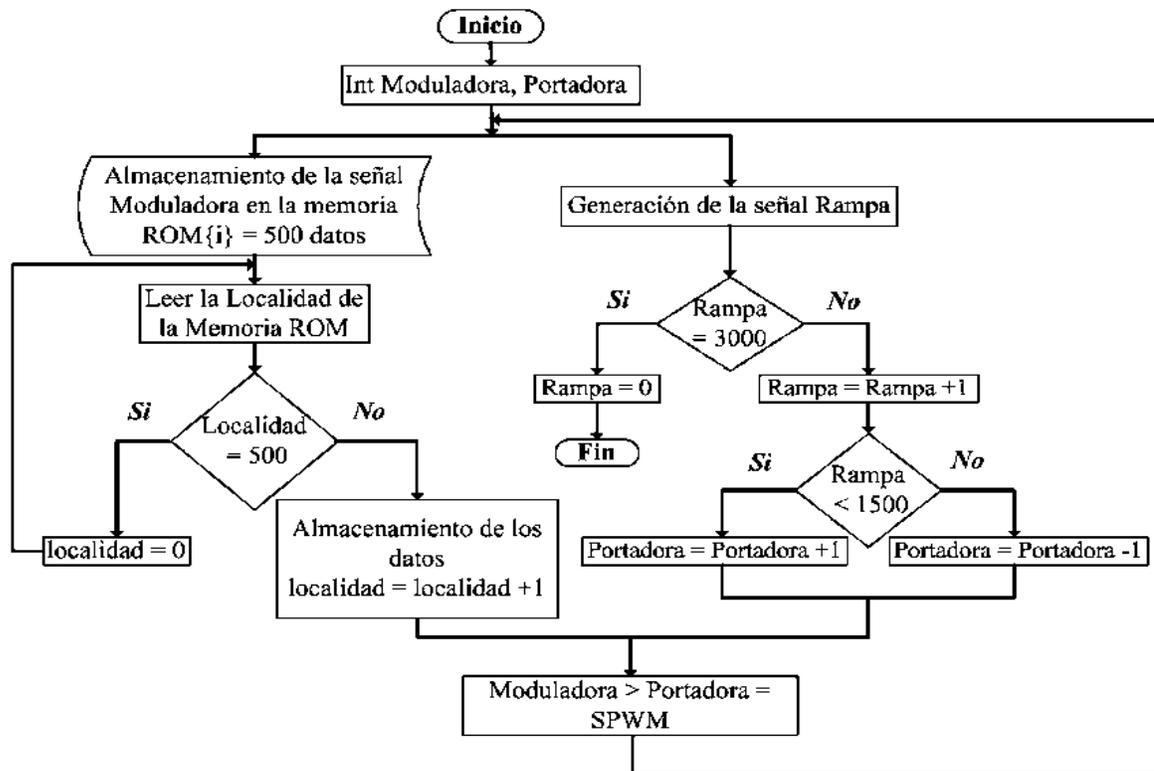


Figura 3.4 Diagrama de flujo de la Señal SPWM multinivel.

3.5. Implementación de la señal SPWM multinivel de 27 Niveles a través de tres puentes-H en cascada.

Las principales ventajas para la construcción de topologías multinivel son [Salgado-Herrera, *et al.* 2013]: generación de un voltaje de salida de alta calidad, incremento de potencia y reducción del estrés de voltaje en los dispositivos de conmutación.

Entre los diferentes tipos de topologías multinivel, tres pueden ser consideradas en convertidores CD/CA: Diodo anclado, capacitor flotante y puente-H en cascada [Nathan *et al.* 2012], [Chih-Chiang *et al.* 2006], [Feel-Soon *et al.* 2005], [Iman-Eini *et al.* 2009] y [Babaei, *et al.* 2013]. En este capítulo solo se enfoca en aplicar la técnica de modulación multinivel a la topología de puente-H en cascada. Esta topología apareció por primera vez en 1975 [Baker y Bannister, 1975] y se elige principalmente porque es posible la generación de un número mayor de niveles con un menor número de transistores y componentes electrónicos [Antunes, *et al.* 2007], [Vazquez, *et al.* 2009]; su principio de operación se explica a partir de la Figura 3.5.

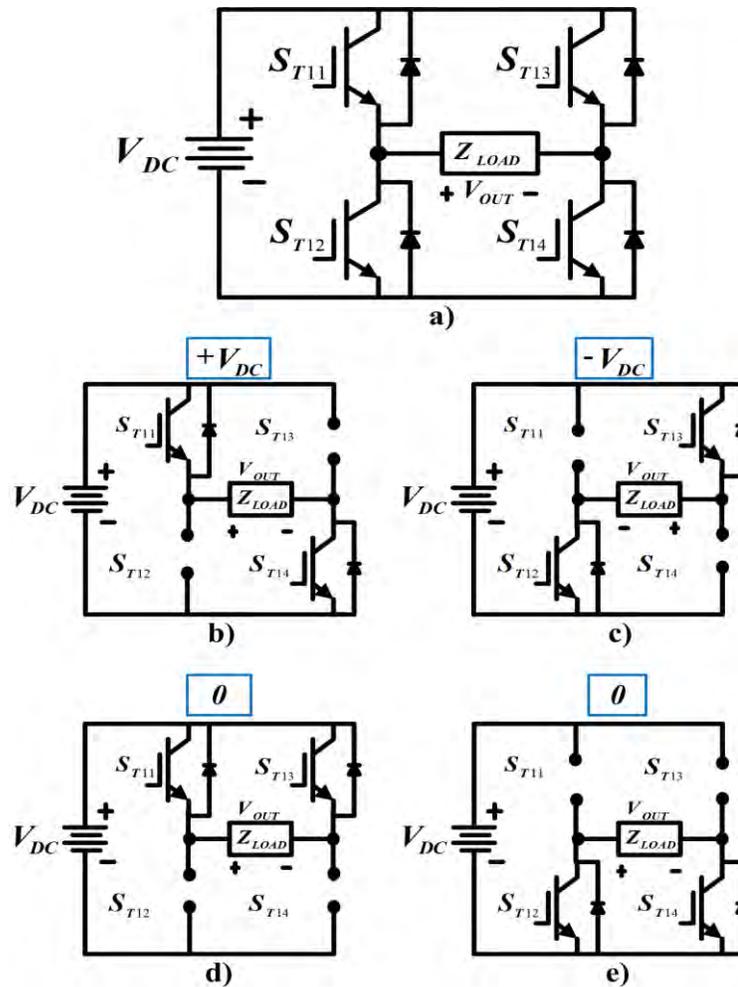


Figura 3.5 Estados topológicos de un convertidor puente-H. a) Modelo del Puente-H; b) Estado $+V_{DC}$; c) Estado $-V_{DC}$; d) Estado 0; e) Estado 0.

El puente-H de la Figura 3.5a consiste en 4 interruptores S_{T1} , S_{T2} , S_{T3} y S_{T4} . Los interruptores S_{T1} y S_{T3} operan de forma complementaria a S_{T2} y S_{T4} produciendo tres diferentes voltajes de salida por medio del control de conmutación, dichas salidas son: $+V_{DC}$, 0 y $-V_{DC}$. En la Figura 3.5b los interruptores S_{T1} y S_{T4} son encendidos para generar $+V_{DC}$. En la Figura 3.5c los interruptores S_{T2} y S_{T3} se encienden para generar $-V_{DC}$. Para generar un 0 existen dos opciones, encender S_{T1} y S_{T3} (Figura 3.5d) o activar S_{T2} y S_{T4} (Figura 3.5e); cualquiera de estas combinaciones puede ser configurada sin modificar la forma de onda final, para este caso se eligió la configuración de la Figura 3.5d.

Entonces, para obtener 27 niveles en la Figura 3.6 se muestra la configuración de tres puentes-H en cascada y su correspondiente circuito equivalente. Para generar los 27 niveles en la salida del convertidor CD/CA utilizando tres puentes H en cascada (Figura 3.6), se requieren

tres fuentes de voltaje de CD con diferente magnitud, es decir, la fuente de voltaje de CD número 3 es nueve veces mayor que la fuente de voltaje de CD número 1 y la fuente de voltaje de CD número 2 es tres veces mayor que la fuente de voltaje de CD número 1.

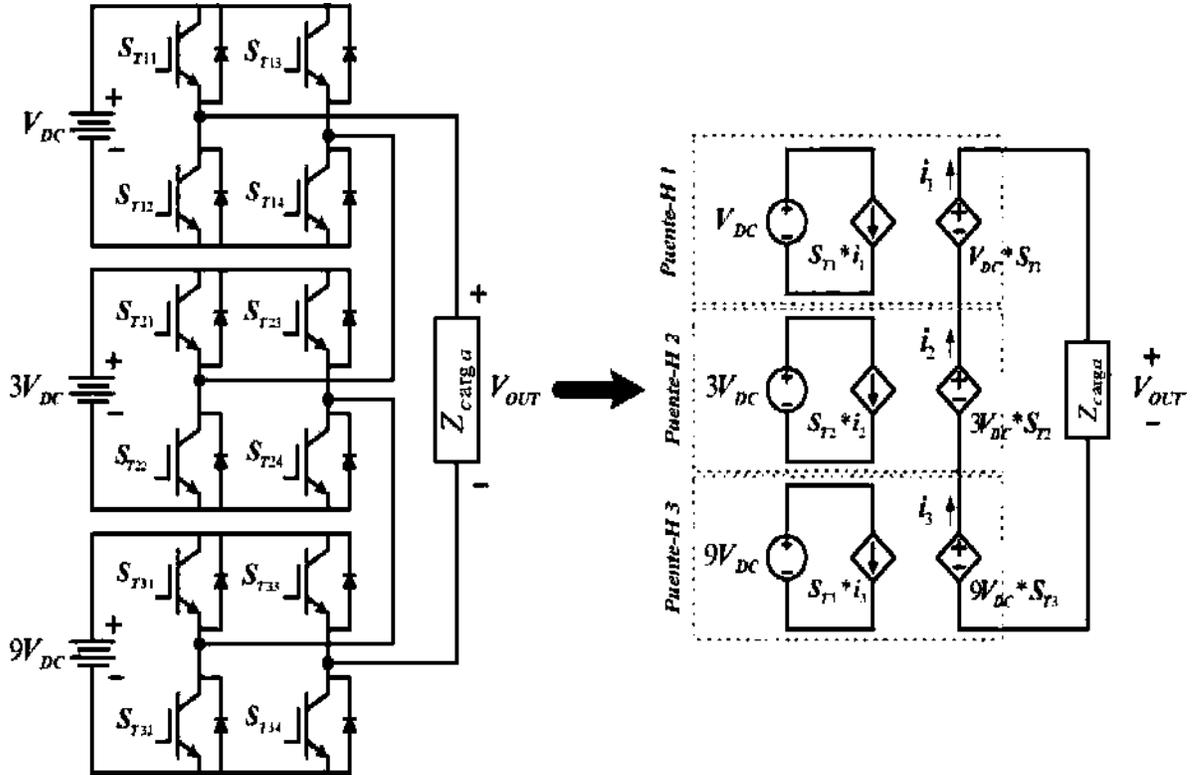


Figura 3.6 Configuración de tres puentes H en cascada y su circuito equivalente.

La Tabla 3.3 muestra la combinación de interruptores que deben ser activados a través de los tres puentes-H en cascada para generar un voltaje de salida multinivel de 27 niveles.

Finalmente, la salida general del convertidor CD/CA se determina por,

$$V_{OUT} = (S_{T1} + 3S_{T2} + 9S_{T3})V_{DC} \quad (3.7a)$$

$$V_{OUT} = \sum_0^2 (3^n) (S_T * V_{DC}) \quad (3.7b)$$

donde $S_T = \{-1, 0, 1\}$, V_{DC} es la fuente de voltaje de CD y V_{OUT} es el voltaje de salida del convertidor de CD/CA.

Tabla 3.3 Combinación de interruptores activados a través de los tres puentes H en cascada.

Número de Nivel	V_{DC}			Puentes-H 1 $+V_{DC} = S_{T11}S_{T14}$				Puentes-H 2 $0 = S_{T21}S_{T23}$				Puentes-H 3 $-V_{DC} = S_{T33}S_{T32}$			
	1	3	9	S_{T11}	S_{T12}	S_{T13}	S_{T14}	S_{T21}	S_{T22}	S_{T23}	S_{T24}	S_{T31}	S_{T32}	S_{T33}	S_{T34}
13	1	1	1	1	0	0	1	1	0	0	1	1	0	0	1
12	0	1	1	1	0	1	0	1	0	0	1	1	0	0	1
11	-1	1	1	0	1	1	0	1	0	0	1	1	0	0	1
10	1	0	1	1	0	0	1	1	0	1	0	1	0	0	1
9	0	0	1	1	0	1	0	1	0	1	0	1	0	0	1
8	-1	0	1	0	1	1	0	1	0	1	0	1	0	0	1
7	1	-1	1	1	0	0	1	0	1	1	0	1	0	0	1
6	0	-1	1	1	0	1	0	0	1	1	0	1	0	0	1
5	-1	-1	1	0	1	1	0	0	1	1	0	1	0	0	1
4	1	1	0	1	0	0	1	1	0	0	1	1	0	1	0
3	0	1	0	1	0	0	1	1	0	0	1	1	0	1	0
2	-1	1	0	0	1	1	0	1	0	0	1	1	0	1	0
1	1	0	0	1	0	0	1	1	0	1	0	1	0	1	0
0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0
-1	-1	0	0	0	1	1	0	1	0	1	0	1	0	1	0
-2	1	-1	0	1	0	0	1	0	1	1	0	1	0	1	0
-3	0	-1	0	1	0	1	0	0	1	1	0	1	0	1	0
-4	-1	-1	0	0	1	1	0	0	1	1	0	1	0	1	0
-5	1	1	-1	1	0	0	1	1	0	0	1	0	1	1	0
-6	0	1	-1	1	0	1	0	1	0	0	1	0	1	1	0
-7	-1	1	-1	0	1	1	0	1	0	0	1	0	1	1	0
-8	1	0	-1	1	0	0	1	1	0	1	0	0	1	1	0
-9	0	0	-1	1	0	1	0	1	0	1	0	0	1	1	0
-10	-1	0	-1	0	1	1	0	1	0	1	0	0	1	1	0
-11	1	-1	-1	1	0	0	1	0	1	1	0	0	1	1	0
-12	0	-1	-1	1	0	1	0	0	1	1	0	0	1	1	0
-13	-1	-1	-1	0	1	1	0	0	1	1	0	0	1	1	0

El convertidor multinivel tiene la capacidad de generar un voltaje de salida muy cercano a una sinusoidal, dependiendo del número de niveles de voltaje de la señal [Babaei, *et al.* 2013]. La Figura 3.7a muestra un voltaje de salida del convertidor multinivel CD/CA de 27 niveles (formado por tres puentes-H en cascada), el cual es muy cercano a una forma de onda sinusoidal, con una magnitud de 322V pico a pico, generada a partir de un voltaje de CD de entrada de 156V. La Figura 3.7b contiene un acercamiento de la señal de salida para observar los 27 niveles de voltaje generados.

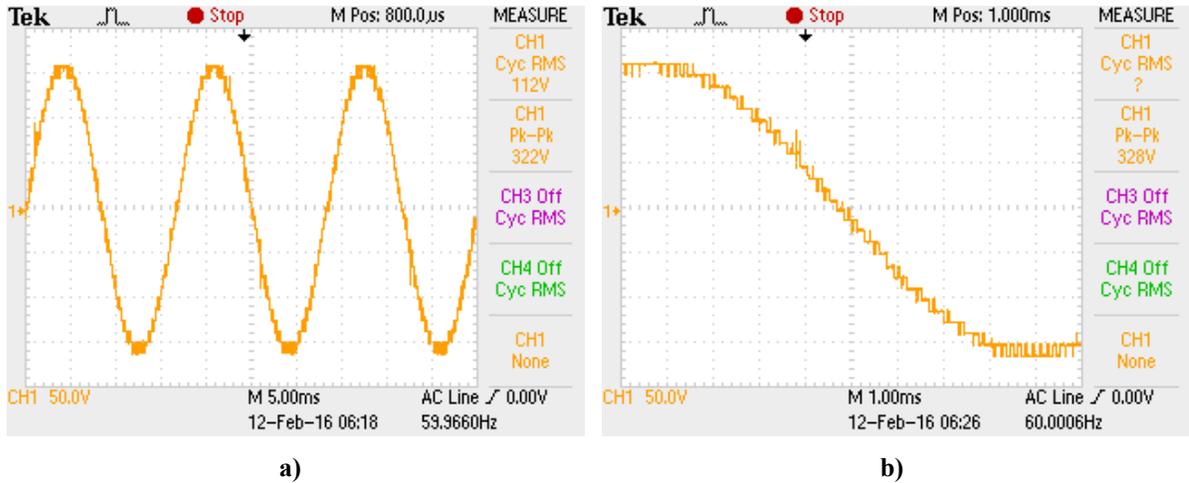


Figura 3.7 Voltaje de salida SPWM multinivel de 27 niveles. a) Señal de voltaje sin filtrar; b) Acercamiento del total de niveles.

La efectividad de la técnica de control multinivel de 27 niveles generada en el *FPGA* se examina utilizando un prototipo experimental en el que se colocan diferentes impedancias para representar varios tipos de carga, mostradas en la Figura 3.8.

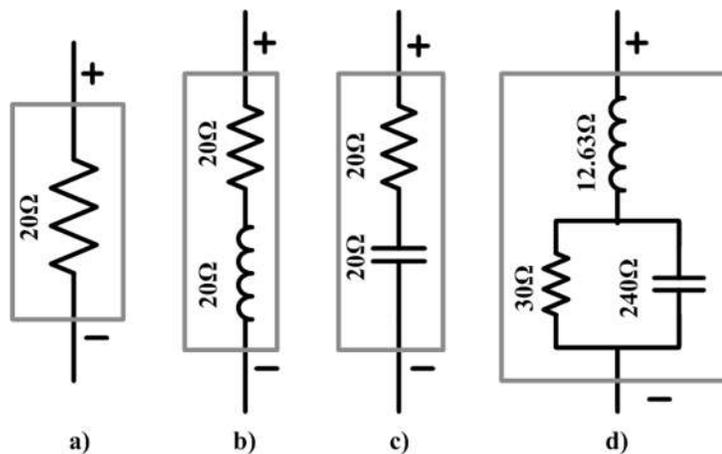


Figura 3.8 Tipos de cargas analizadas en el prototipo implementado. a) Carga R; b) Carga RL; c) Carga RC; d) Carga de segundo orden.

La Tabla 3.4 proporciona las características del prototipo experimental, incluyendo el *THD* del voltaje de salida.

Tabla 3.4 Características del prototipo implementado.

Potencia del Convertidor	400W	
Voltaje de salida (V_{OUT})	110V _{RMS}	
THD (V_{OUT})	3.06%	
Fuentes de Voltaje de CD	$VDC1$	12V
	$VDC2$	36V
	$VDC3$	108V
Tipos de Carga	R	20 Ω
	RL	R=20 Ω XL=20 Ω
	RC	R=20 Ω XC=20 Ω
	RLC	R=30 Ω XL=12.3 Ω XC=240 Ω
IGBT	G4PC40UD-E	
FPGA	Modelo XC3S500E	

Se seleccionaron diferentes nodos de conexión entre el proceso de conversión de energía CD/CA del convertidor multinivel y la carga, con la finalidad de analizar las formas de onda de las variables eléctricas presentes en dicho proceso.

La Figura 3.9 muestra los resultados experimentales de los nodos de conexión seleccionados. En particular, en la Figura 3.9a se muestran los tres trenes de pulsos generados por el *FPGA*, S_{T11} (amarilla), S_{T21} (cian) y S_{T31} (rosa), los cuales corresponden a la señal de control del primer *IGBT* de cada puente-H en cascada.

La Figura 3.9b ilustra el comportamiento de los voltajes V_{T1} (amarilla), V_{T2} (cian) y V_{T3} (rosa) formados por el cada convertidor puente-H. Se observa la generación de los tres niveles de voltaje; además, los cambios en los estados topológicos son inversamente proporcionales al voltaje de CD de cada convertidor puente-H.

Las Figuras 3.9c, 3.9d y 3.9e muestran la respuesta del voltaje y la corriente de salida total generados para los diferentes tipos de carga analizadas (Figura 3.8). Estas Figuras muestran la capacidad del convertidor multinivel CD/CA para trabajar con corrientes entre cuadrantes de cargas resistivas, inductivas y capacitivas a diferentes valores de magnitud y fase; todas sin alterar la operación y el proceso de conversión de la señal de voltaje de salida (V_{OUT}).

Finalmente, en la Figura 3.9f se muestra la forma de onda de una carga de segundo orden, en la cual se observa que el elemento resistivo predomina debido a la recuperación de la forma de onda de voltaje puramente sinusoidal (rosa) una vez que ha sido filtrada.

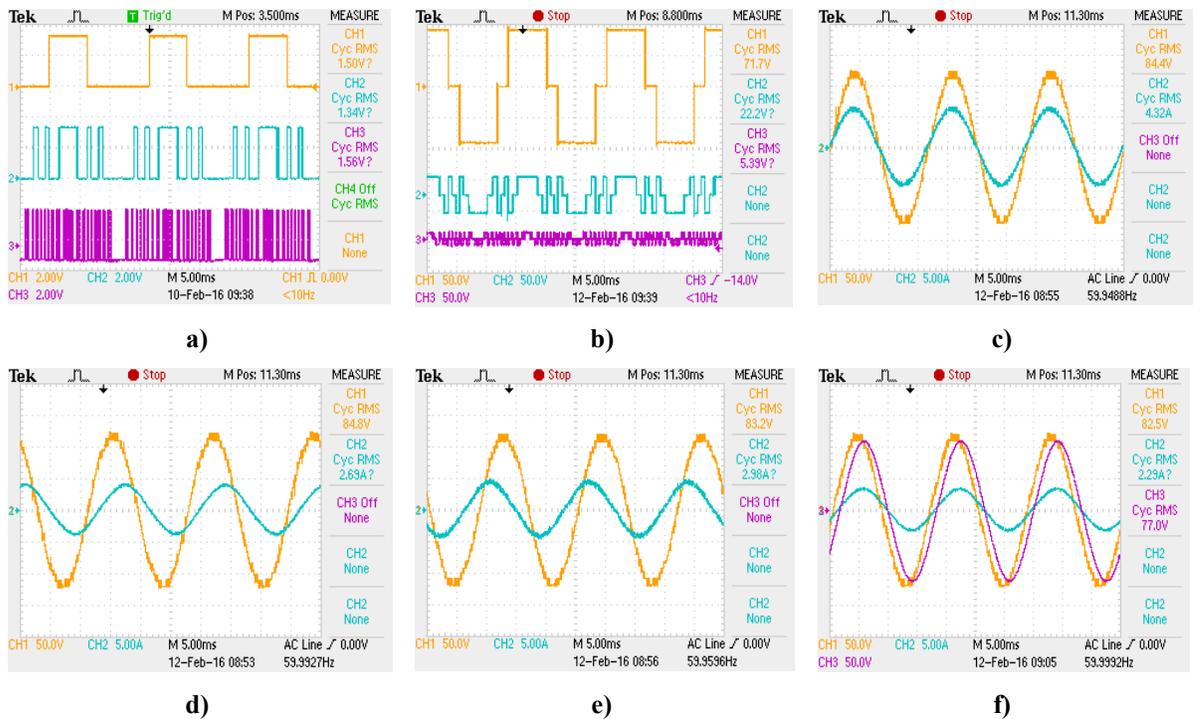


Figura 3.9 Variables eléctricas presentes en el proceso de conversión de energía CD/CA. a) Tren de pulsos SPWM generados por el FPGA; b) Voltajes formados por cada uno de los tres puentes H en cascada; c) Voltaje and Corriente con carga R ; d) Voltaje and Corriente con carga RL Load; e) Voltaje and Corriente con carga RC ; f) Voltaje and Corriente con carga RLC .

El THD del voltaje de salida es de 3.06%. La Tabla 3.5 muestra el THD de corriente generado para cada tipo de carga.

Tabla 3.5 THD de corriente para cada los diferentes tipos de carga.

Tipos de Carga	THD de Corriente (%)
R	3.06
RL	0.59
RC	4.27
Segundo orden	0.63

Es importante enfatizar que en la práctica, las resistencias provenientes de los módulos de LabVolt están hechas de alambre de cobre, por lo tanto, generan una inductancia parásita que produce una pequeña atenuación en el THD de corriente, por lo que es imposible obtener un efecto puramente resistivo.

La Figura 3.10 muestra el prototipo experimental implementado para aplicar la técnica de modulación $SPWM$ multinivel de 27 niveles efectuada en el $FPGA$. Las principales etapas se encuentran resaltadas en cuadros de colores.

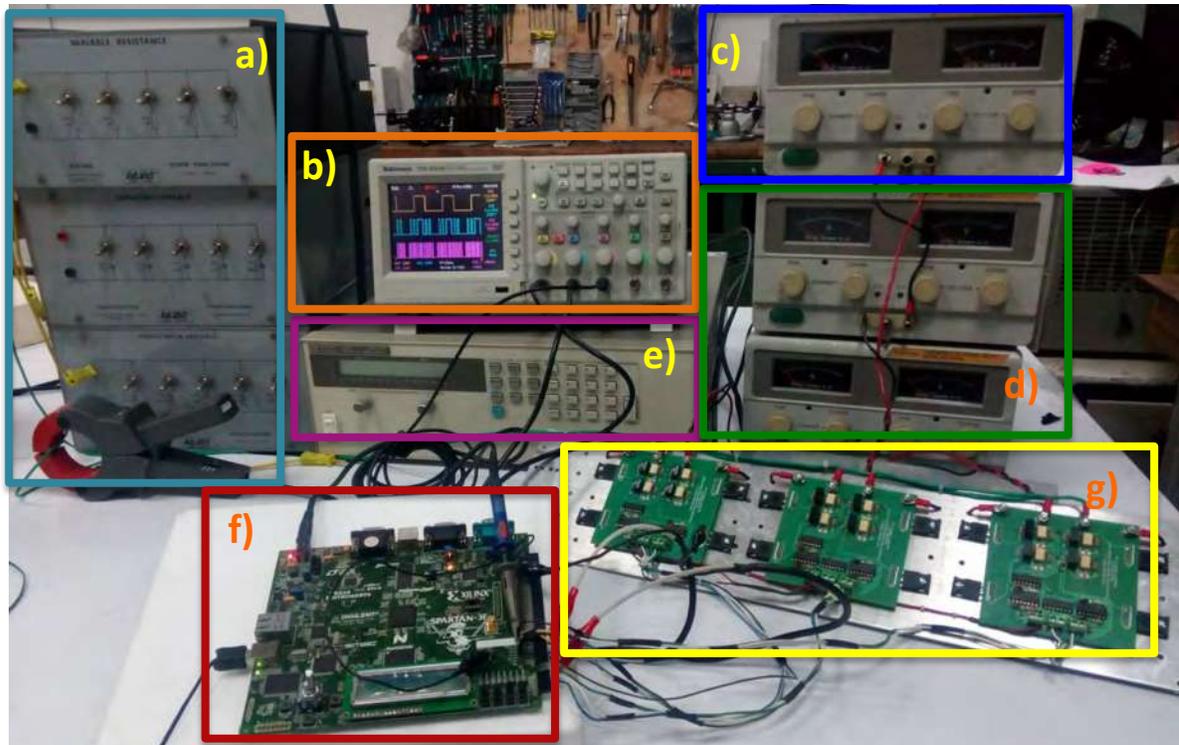


Figura 3.10 Prototipo de implementación de la técnica de modulación SPMW multinivel de 27 niveles. a) Carga RLC ; b) Tren de pulsos SPWM generados por el $FPGA$; c) Fuente de Voltaje de CD 1 (V_{DC}); d) Fuente de Voltaje de CD 2 ($3V_{DC}$); e) Fuente de Voltaje de CD 3 ($9V_{DC}$); f) $FPGA$ modelo XC3S500E; g) Convertidor de CD/CA puentes H en cascada.

La Figura 3.10a contiene la carga RLC . El tren de pulsos generados por el $FPGA$ se observan en la Figura 3.10b, la fuente de voltaje de CD número 1 de 12V se concentra en la Figura 3.10c; la fuente de voltaje de CD número 2 de 36V se muestra en la Figura 3.10d; la fuente de voltaje de CD número 3 de 108V se ilustra en la Figura 3.10e; el dispositivo $FPGA$ se muestra en la Figura 3.10f. Finalmente, el convertidor CD/CA formado por tres puentes-H en cascada están plasmados en la Figura 3.10g, cuya conexión en cascada forma el voltaje de salida multinivel de 27 niveles de la Figura 3.7.

3.6. Conclusiones

En este capítulo, se ha mostrado que la solución de algoritmos procesados en paralelo, es posible gracias a sus características de granularidad, la ventaja de reconfiguración y la

arquitectura de diseño intrínseca del *FPGA*, mejorando así el rendimiento, control, medición y continuidad del servicio.

Se ha implementado una técnica multinivel *SPWM* de 27 niveles utilizando el modelo de *FPGA XC3S500E* para controlar un convertidor multinivel CD/CA formado por tres puentes-H en cascada.

Al aumentar el número de niveles de una señal *SPWM* multinivel, la complejidad del algoritmo aumenta. Sin embargo, se ha encontrado que debido a la capacidad de reconfiguración del *FPGA*, es posible realizar una señal *SPWM* multinivel con el número de niveles que sean necesarios, a través de disminuir o aumentando la cantidad de portadoras a razón de $n-1$.

Se ha mostrado que la señal multinivel *SPWM* con un elevado número de niveles genera una señal de salida cuasi-sinusoidal de mayor calidad, y las pérdidas de conmutación disminuyen significativamente en los convertidores de potencia.

Se encontró que el *THD* de voltaje es de 3.06% obtenido en el prototipo; sin embargo, el *THD* de corriente varía de acuerdo al tipo de carga conectada en el sistema. Para una carga R, RL, RC y de segundo orden los *THDs* son de 3.06%, 0.59%, 4.27% y 0.63%, respectivamente.

Finalmente, la efectividad de la técnica para trabajar entre los cuadrantes (resistivo, capacitivo e inductivo) se ha mostrado con la colocación de diferentes cargas reales en el sistema implementado.

La implementación de esta técnica *SPWM* multinivel de 27 niveles ha sido realizada para efectuar en trabajos futuros la modulación del *VSC* que constituye al *DVR* y el *DSTATCOM*.

Capítulo 4. Compensación de Voltaje y Potencia Reactiva a través de Dispositivos CUSTOM POWER en Sistemas Eléctricos.

4.1. Introducción

En este capítulo se realiza la compensación de voltaje y potencia reactiva utilizando los dispositivos *DVR* y *DSTATCOM*, para lo cual se divide en tres secciones que detallan los diferentes dispositivos *CUSTOM POWER*.

La primera sección describe la importancia de utilizar un *DVR* para la compensación del sistema en presencia de depresiones de voltaje y sobrevoltajes sin y con la conexión del *DVR*.

La segunda sección refiere el modelado del control del *DSTATCOM* en coordenadas $dq0$; para la compensación de potencia reactiva en el sistema.

La tercera sección detalla el modelado del control del *DSTATCOM* en coordenadas abc ; El sistema de prueba descrito en esta sección es implementado en el simulador en tiempo real (*Opal-RT*®) con la representación de la turbina de viento a través de un generador asíncrono con variaciones en la velocidad del torque mecánico para ejemplificar la presencia de fluctuaciones del viento.

4.2. Restaurador Dinámico de Voltaje.

4.2.1 Introducción.

En la actualidad, el usuario de la energía eléctrica es cada vez más dependiente de la tecnología. Por ejemplo, en áreas como la industria y la medicina, donde el equipo es sensible a los cambios bruscos de voltaje, el daño por la mala calidad de suministro eléctrico puede causar pérdidas monetarias considerables, la reducción de la vida útil de los dispositivos, entre otros aspectos. Para evitar este tipo de anomalías, se requiere el funcionamiento de la red de energía bajo la adecuada regulación de voltaje.

Las depresiones de voltaje en redes de potencia no siempre son posibles de evitar, debido a la compensación del tiempo finito de las fallas, cuyos daños pueden llegar a extenderse a las cargas sensibles presentes en los sistemas de distribución [Jayaprakash *et al.* 2014]. El *DVR* es muy útil en aplicaciones de sistemas de energía para mejorar la estabilidad del voltaje, recuperar fallas en la red, mitigar parpadeos de voltaje, proporcionar seguridad a la carga [Kasikci, 2000], amortiguar oscilaciones del sistema y mejorar el transitorio y estabilidad dinámicamente [Babaei *et al.* 2014], [Prakash y Sankar *et al.* 2014].

Westinghouse construyó el primer *DVR* para el Instituto de Investigaciones de Energía Eléctrica (*Electric Power Research Institute (EPRI)*) en los *EEUU*; y se instaló en 1996 en el sistema de red de la Compañía de Energía Duke (*Duke Power Company*) para proteger una fábrica automatizada de elaboración de hilados y tejidos [Torres *et al.* 2011]. Un *DVR* puede ser operado mediante diferentes estrategias de control; por ejemplo, en [Jayaprakash *et al.* 2014] se describe un *DVR* sin componentes de almacenamiento de energía, lo cual reduce el tamaño total del *DVR*. Sin embargo, ya que no tiene elementos de almacenamiento de energía, no es capaz de compensar depresiones profundas de voltaje o sobrevoltajes pronunciados. En [Babaei *et al.* 2014] se expone un *DVR* capaz de compensar depresiones en un rango de 0.16pu a 0.5pu, pero no es capaz de corregir el factor de potencia. En [Fu-Zhuan y Su-ping, 2011] se propone un modelo de *DVR* para la corrección del factor de potencia en base a una estrategia de control óptimo.

En esta sección se muestran resultados sobre la aplicación de un *DVR* para la compensación de depresiones de voltaje que presentan una amplitud desde 0.1pu a 0.9pu y sobrevoltajes con amplitud de 1.1pu a 1.9pu, así como la corrección del factor de potencia en un sistema de distribución.

4.2.2 Modelado del control del *DVR*

El objetivo de un *DVR* es producir un voltaje, que puede ser ajustado de forma continua o gradual para la compensación de voltaje en un Nodo de Conexión (*NC*) de un sistema de distribución; entendiendo, como *NC* al nodo donde se unen el *DVR*, la fuente generadora y una carga sensible, a través de líneas de distribución. En las terminales de CD del convertidor, se conecta en paralelo un capacitor para simular una fuente de voltaje; su propósito es servir como

medio de almacenamiento de energía para el control de flujo de potencia. La corriente de línea fluye a través del circuito de CA; dicha corriente determina si el *VSC* está funcionando como un rectificador o como un inversor, es decir, mediante la absorción o entrega de energía en el *NC*, respectivamente. Por otra parte, a través de la corriente de línea es posible realizar la corrección del factor de potencia por medio de las componentes i_{NCd} e i_{NCq} , es decir, la señal de corriente de retroalimentación se transforma al marco de referencia $qd0$, posteriormente se procesa por medio de compensadores, y se genera un señal de control dentro del mismo marco. Por último, las señales de control se transforman nuevamente a coordenadas abc , las cuales alimentan el *VSC*.

La potencia activa P_{NC} y la potencia reactiva Q_{NC} se obtienen a partir de las siguientes ecuaciones, las cuales están controladas por la amplitud del voltaje en el *NC* y el ángulo de fase de la corriente de línea del *VSC*, respectivamente [Yazdani e Iravani, 2010].

$$P_{NC}(t) = \frac{3}{2} [v_{NCd}(t)i_{NCd}(t)] \quad (4.1a)$$

$$Q_{NC}(t) = -\frac{3}{2} [v_{NCd}(t)i_{NCq}(t)] \quad (4.1b)$$

donde $P_{NC}(t)$ y $Q_{NC}(t)$ representan a las potencias activa y reactiva, respectivamente; $v_{NCd}(t)$ y $v_{NCq}(t)$ son las componentes de voltaje d y q proveniente del *NC*, respectivamente; $i_{NCd}(t)$ e $i_{NCq}(t)$ son las componentes de corriente d y q proveniente del *NC*, respectivamente.

Las ecuaciones (4.2a) y (4.2b) se introducen con el fin de tener un control independiente de P_{NC} y Q_{NC} . Si consideran condiciones de operación en estado estacionario, y además, el control del sistema puede proporcionar una rápida retroalimentación, es decir, si $i_{NCd} \approx i_{NCdref}$ e $i_{NCq} \approx i_{NCqref}$, entonces, $P_{NC} \approx P_{NCref}$ e $Q_{NC} \approx Q_{NCref}$, se obtiene:

$$i_{NCdref}(t) = \frac{2}{3} \left(\frac{P_{NCref}(t)}{v_{NCd}(t)} \right) \quad (4.2a)$$

$$i_{NCqref}(t) = -\frac{2}{3} \left(\frac{Q_{NCref}(t)}{v_{NCd}(t)} \right) \quad (4.2b)$$

A partir de la consideración de $i_{NCd} \approx i_{NCdref}$ e $i_{NCq} \approx i_{NCqref}$, el control de retroalimentación se realiza en base a (4.3).

$$L \left(\frac{di_{NCd}}{dt} \right) = L_{NC} \omega_0 i_{NCq}(t) - R_{NC} i_{NCd}(t) + v_{iNCd}(t) - v_{NCd}(t) \quad (4.3a)$$

$$L \left(\frac{di_{NCq}}{dt} \right) = -L_{NC} \omega_0 i_{NCd}(t) - R_{NC} i_{NCq}(t) + v_{iNCq}(t) - v_{NCq}(t) \quad (4.3b)$$

donde ω_0 es la frecuencia proporcionada por el *PLL* utilizado para sincronizar al *VSC* con la frecuencia del sistema.

Entonces, a partir de las ecuaciones (4.1) y (4.3) se obtiene un control de lazo cerrado para P_{NC} y Q_{NC} , el cual se observa en la Figura 4.1 y es descrito por (4.4):

$$P_{NCref} = \left(\frac{3}{2} \right) \left[v_{NCd}(t) \left(L_{NC} \omega_0 i_{NCq}(t) - R_{NC} i_{NCd}(t) + v_{iNCd}(t) - v_{NCd}(t) \right) \right] \quad (4.4a)$$

$$Q_{NCref} = \left(-\frac{3}{2} \right) \left[v_{NCd}(t) \left(-L_{NC} \omega_0 i_{NCd}(t) - R_{NC} i_{NCq}(t) + v_{iNCq}(t) - v_{NCq}(t) \right) \right] \quad (4.4b)$$

En la Figura 4.1 el proceso de compensación *dq* es descrito por (4.5).

$$e_{NCd}(t) = i_{NCdref}(t) - i_{NCd}(t) \quad (4.5a)$$

$$e_{NCq}(t) = i_{NCqref}(t) - i_{NCq}(t) \quad (4.5b)$$

La Figura 4.1 muestra el diagrama de control implementado [Yazdani e Iravani, 2010].

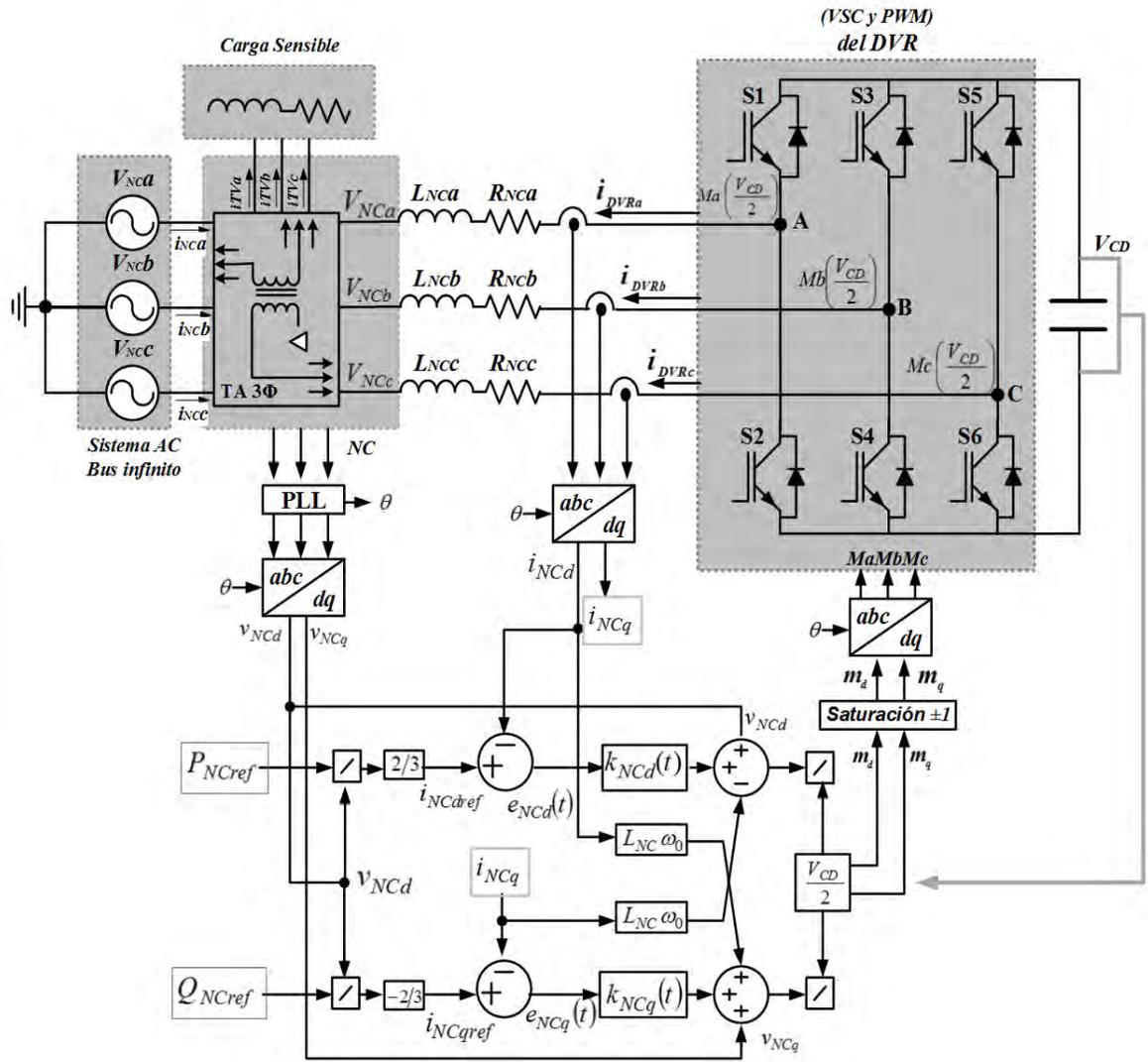


Figura 4.1 Diagrama del control del DVR

Finalmente, en la Figura 4.1 $e_{NCd}(t)$ y $e_{NCq}(t)$ constituyen las entradas a un compensador proporcional-integral (PI) representados por $k_{NCd}(s)$ y $k_{NCq}(s)$, respectivamente, el cual se representa de la siguiente forma:

$$k_{NC}(s) = \frac{k_{NCp}(s) + k_{NCi}(s)}{s} \quad (4.6)$$

donde k_{NCp} y k_{NCi} son las ganancias proporcional e integral, respectivamente, y éstas son determinadas por la relación de inductancia (L_{NC}) y resistencia (R_{NC}) que conectan al DVR en serie con el NC, con respecto a la constante de tiempo del sistema de lazo cerrado; es decir:

$$k_{NCp}(s) = \frac{L_{NC}}{\tau_i} \quad (4.7a)$$

$$k_{NCi}(s) = \frac{R_{NC}}{\tau_i} \quad (4.7b)$$

donde τ_i es la constante de tiempo del sistema en lazo cerrado, por lo general, ésta se encuentra en un intervalo de tiempo de 0.5-5ms dependiendo de la aplicación. El valor de τ_i utilizado en esta investigación es de 5ms.

Para diseñar el filtro $R_{NC}L_{NC}$ se obtienen los parámetros base del sistema. Entonces, la corriente base se define como:

$$i_{NCb} = \left(\frac{2}{3}\right) \frac{P_{NCb}}{v_{NCb}} \quad (4.8)$$

donde P_{NCb} es la potencia base, v_{NCb} es el voltaje base e i_{NCb} es la corriente base del sistema de distribución.

La impedancia base del sistema (Z_{NCb}) se obtiene con:

$$Z_{NCb} = \frac{v_{NCb}}{i_{NCb}} \quad (4.9)$$

Los valores base de inductancia y capacitancia se obtiene a partir de $0.15pu$ de la impedancia base del sistema, es decir,

$$Z_{NC} = 0.15(Z_{NCb}) \quad (4.10)$$

El valor de la inductancia base (L_{NC}) se calcula como:

$$L_{NC} = \frac{Z_{NC}}{\omega_0} \quad (4.11)$$

El valor de la capacitancia base (C_{NC}) se obtiene con:

$$C_{NC} = \frac{1}{Z_{NC}\omega_0} \quad (4.12)$$

donde ω_0 es la frecuencia nominal del sistema.

El valor de R_{NC} varía de acuerdo con la aplicación en un rango de 0.1Ω a 0.5Ω . Dicha variación se ejecuta para obtener un mejor tiempo de respuesta en la retroalimentación del

sistema, ya que los valores de la inductancia y la resistencia son utilizados para obtener las ganancias de retroalimentación del sistema descritas previamente en la Ecuación (4.7)

4.2.2.1. Compensación del bus de CD

En esta sección se especifica cómo mantener el bus de CD constante, para lo cual es muy importante que los valores de capacitancia de dicho bus sea el correcto, debido a que a través de éste el DVR proporciona el voltaje necesario para mantener constante el NC, ante cualquier disturbio. El valor de capacitancia se determina en (4.13) a partir de la capacitancia base del sistema descrita en (4.12).

$$C_{CD} = \left(\frac{3}{8}\right)C_{NC} \quad (4.13)$$

donde C_{CD} es la capacitancia del bus de CD y C_{NC} es la capacitancia base del sistema

El modelo de retroalimentación para la compensación del bus de CD se muestra en la Figura 4.2.

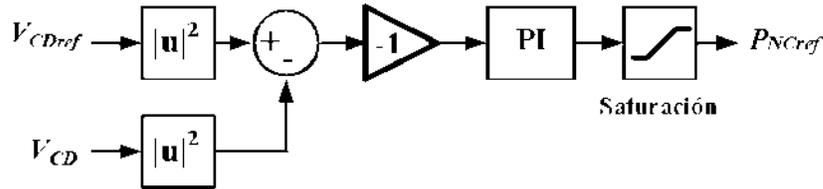


Figura 4.2 Diagrama de retroalimentación del Voltaje de CD

Dado que el capacitor almacena energía en el campo eléctrico que aparece entre las placas cuando se carga; la energía almacenada en el capacitor E se calcula a partir de (4.14), tal y como se muestra en la Figura 4.2.

$$E = \frac{C_{CD}V_{CD}^2}{2} \quad (4.14)$$

donde E es la energía almacenada en el capacitor, C_{CD} es la capacitancia y V_{CD} es el voltaje de CD.

4.2.2.2. Corrección del ángulo de Corriente

El DVR además de mantener el voltaje constante en el NC para consecuentemente conservarlo de igual manera en la carga sensible, genera continuamente la potencia reactiva

necesaria para mantener el factor de potencia unitario en dicha carga. En la Figura 4.3 se observa el diagrama de control para corregir el factor de potencia.

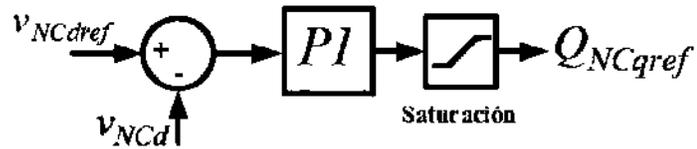


Figura 4.3 Diagrama de control para corrección del factor de potencia.

Una manera de determinar que en un nodo el factor de potencia es unitario, es cuando no existe desfase entre el voltaje y la corriente del mismo. Esto significa que mediante el diagrama de control mostrado en la Figura 4.3 es posible corregir la fase de la corriente y mantenerla en fase con el voltaje.

4.2.3 Caso de estudio 1: Características y parámetros del *DVR* para la corrección de despresiones de voltaje de 0.5pu y sobrevoltajes de 1.5pu.

En la Figura 4.4 se muestra la red eléctrica utilizada en el caso de estudio de esta sección. Los datos de operación nominales de la red de distribución presentada son: potencia de 3MVA, voltaje de entrada $V_{NC} = 2.5\text{kV}$ y frecuencia de 60Hz; bus infinito es representado por una fuente ideal (de frecuencia y magnitud constante), el cual se conecta al sistema por medio de un transformador con relación de espiras de 5:1. El *DVR*, que permite regular el voltaje en el *NC*, se conecta entre dos líneas de distribución de 25km y 1km, respectivamente; dicha conexión se efectúa por medio de un filtro *RL* y un transformador de acoplamiento con una relación de espiras de 1:10; y carga conectada al sistema a través de un transformador con relación de 1:5.

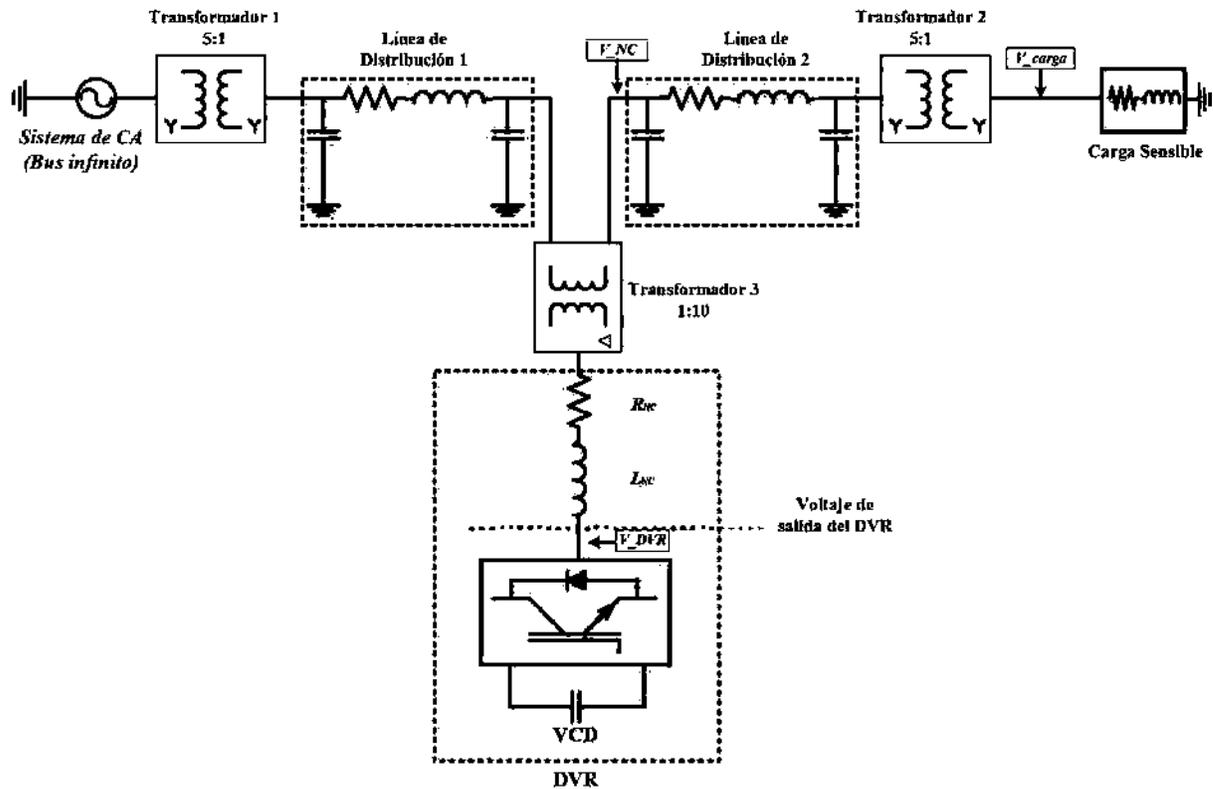


Figura 4.4 Red de distribución con integración de un DVR

Para obtener los valores del filtro $R_{NC}L_{NC}$ se parte de la consideración de que la potencia y el voltaje presentes en el NC serán los parámetros base del sistema de la Figura 4.4. Entonces, la corriente base se define por medio de (4.8).

$$i_{NCb} = \frac{2}{3} \left(\frac{3MVA}{2500V} \right) = 800A$$

La impedancia base del sistema (Z_{NCb}) se genera usando (4.9):

$$Z_{NCb} = \frac{2500V}{800A} = 3.125\Omega$$

Z_{NC} se obtiene a partir de (4.10), es decir:

$$Z_{NC} = 0.15(3.125\Omega) = 0.469\Omega$$

El valor de la inductancia base (L_{NC}) se calcula con (4.11):

$$L_{NC} = \frac{0.469\Omega}{2\pi f} = \frac{0.469\Omega}{2\pi(60Hz)} = 1.25mH$$

El valor de la capacitancia base (C_{NC}) necesaria para determinar la capacitancia del bus de CD se obtiene con (4.12):

$$C_{NC} = \frac{1}{(0.469\Omega) * (2\pi(60\text{Hz}))} = 5.65\text{mF}$$

Finalmente, la capacitancia del bus de CD se determina utilizando (4.13), es decir:

$$C_{CD} = \left(\frac{3}{8}\right)(5.65\text{mF}) = 2.11\text{mF}$$

El valor de R_{NC} para este caso se estableció en un valor equivalente a 0.2Ω .

En la Figura 4.5 se efectúan manualmente dos variaciones sobre la magnitud del bus infinito, las cuales representarán dos problemas graves de calidad de la energía como son los depresiones y sobrevoltajes. Por lo tanto, el sistema se encuentra inicialmente operando en estado estacionario, como puede observarse de la Figura 4.5a, en 0.425s se representa una depresión de voltaje de 0.5pu (Figura 4.5b) y después en el tiempo 1.425s un sobrevoltaje de 1.5pu (Figura 4.5c) sobre el bus infinito.

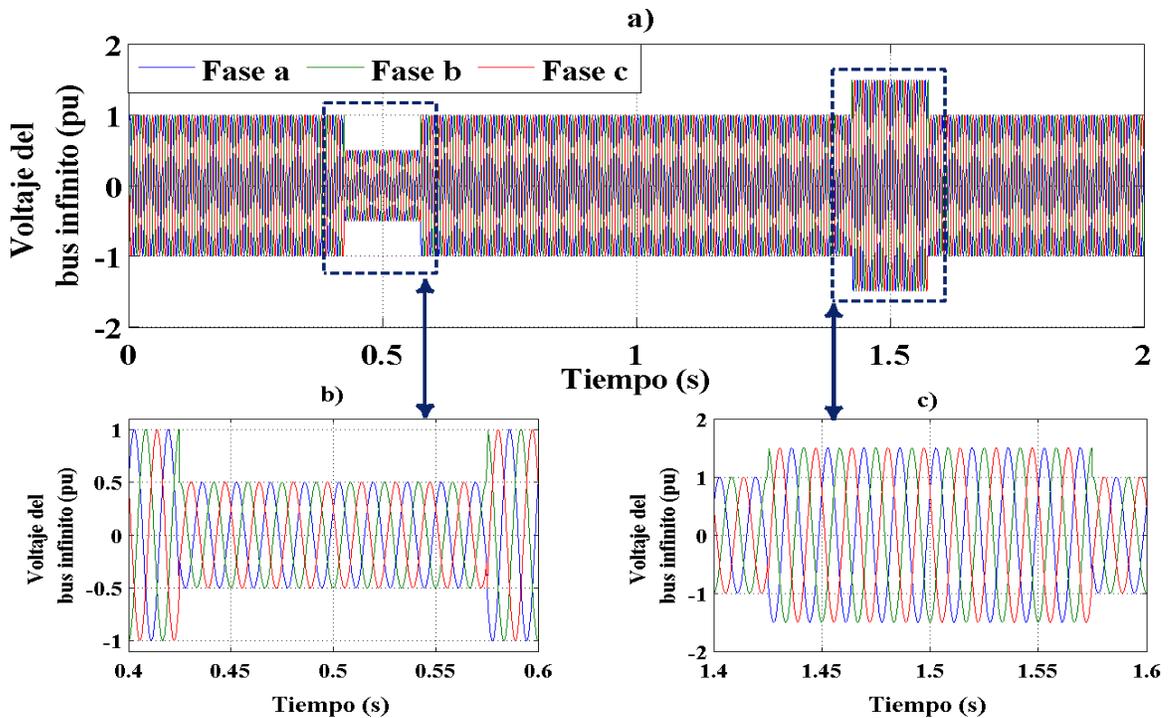


Figura 4.5 Voltaje en el bus infinito. a) Representación de una depresión de Voltaje de 0.5pu; b) Representación de una elevación de voltaje de 1.5pu.

Para que el *DVR* pueda compensar la depresión de voltaje y el sobrevoltaje en el sistema, es necesario que el control del *VSC* mantenga constante el bus de CD. En la Figura 4.6a se muestra el voltaje de retroalimentación en el bus de CD, el cual se mantiene prácticamente constante aún en presencia del hueco de voltaje de 0.5pu y una elevación de voltaje de 1.5pu. La Figura 4.6b muestra un aumento del voltaje de CD en el capacitor en presencia del hueco de voltaje, mientras que en la Figura 4.6c se observa que el bus de CD disminuye en el momento en que ocurre una elevación del voltaje. Es posible observar que el voltaje de CD aumenta o disminuye de manera inversa para compensar la potencia requerida en el *NC*.

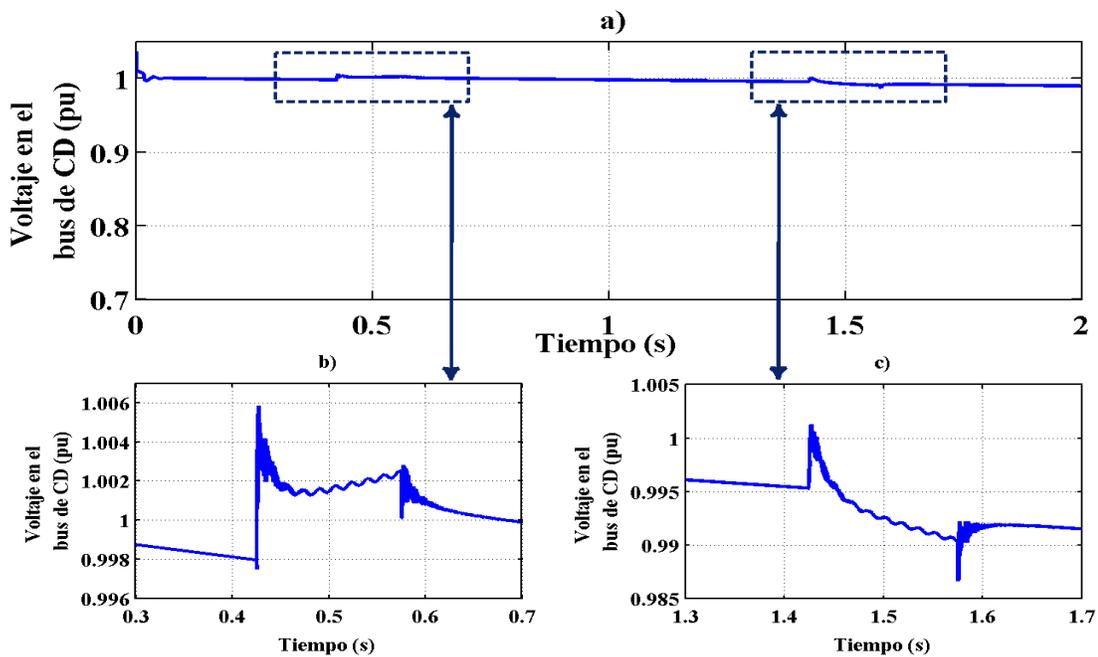


Figura 4.6 Voltaje en el bus de CD. a) En presencia de una depresión de Voltaje de 0.5pu; b) En presencia de un sobrevoltaje de 1.5pu.

El voltaje de salida del *DVR* se muestra en la Figura 4.7a. Al efectuar un acercamiento de dicha señal, se muestra en la Figura 4.7b el voltaje de compensación para la depresión de voltaje, mientras que para el sobrevoltaje se encuentra en la Figura 4.7c. La corriente generada por el *DVR* al ocurrir en el sistema una depresión de voltaje de 0.5pu se observa en el acercamiento de la Figura 4.7d; la Figura 4.7e contiene el acercamiento de la corriente de salida del *DVR* de la Figura 4.7f cuando se produce un sobrevoltaje de 1.5pu. El objetivo de conectar el *DVR* en un *NC* es mantener constante el voltaje en el mismo, debido a que en dicho nodo

también es conectada una carga sensible (dicha conexión se puede apreciar en la red eléctrica de la Figura 4.4) y es indispensable suministrarle energía eléctrica sin interrupciones.

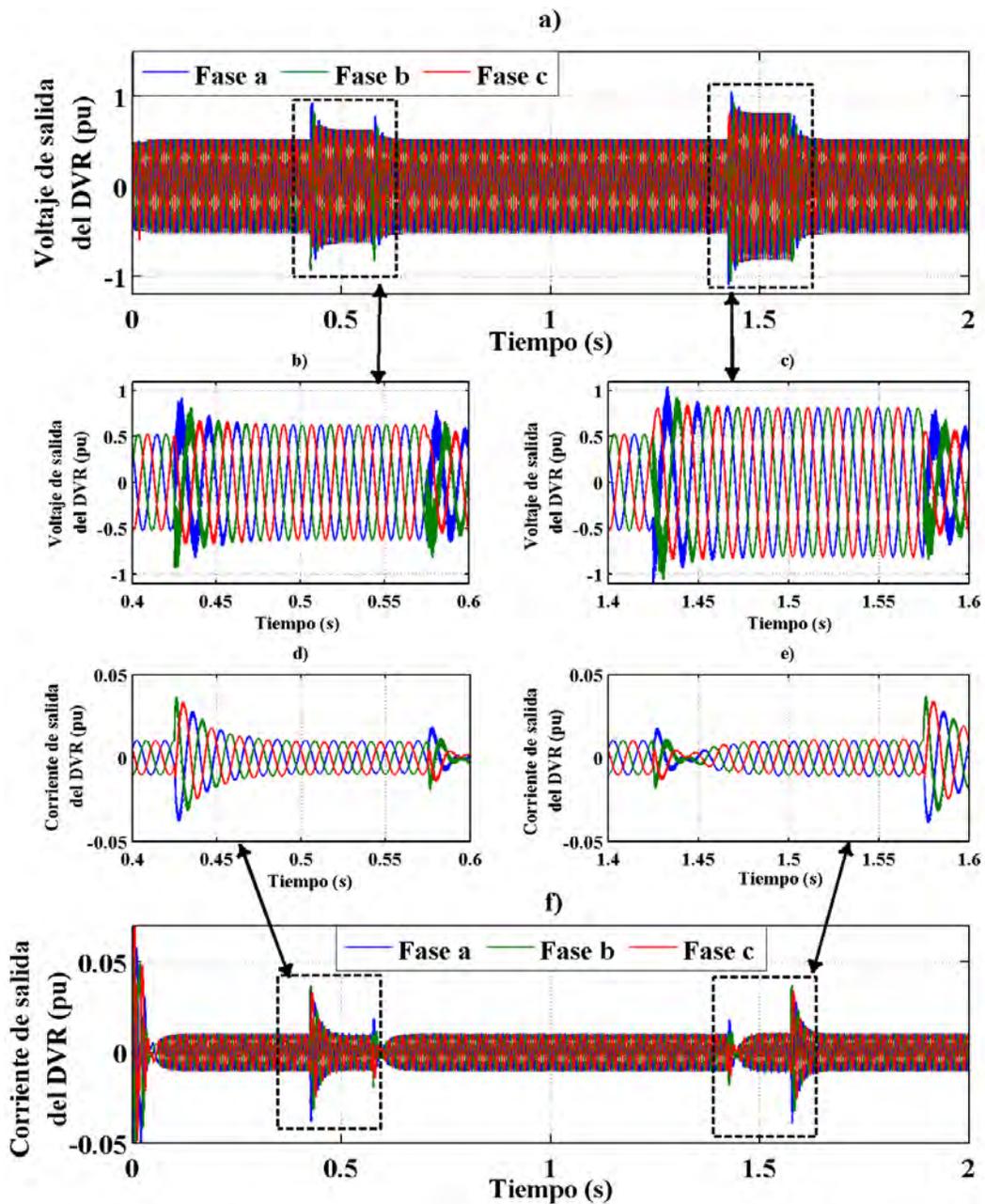


Figura 4.7 Voltaje y corriente de salida del *DVR*. a) Voltaje; b) Acercamiento del voltaje generado para la compensación de una depresión de 0.5pu; c) Acercamiento del voltaje generado para la compensación de una elevación de 1.5pu; d) Acercamiento de la corriente generada para la compensación de una depresión de 0.5pu; e) Acercamiento de la corriente generada para la compensación de una elevación de 1.5pu; f) Corriente.

Las formas de onda que se muestran en las Figuras 4.5 y 4.7 son complementarias, es decir, cuando se produce una variación en la magnitud del voltaje en el bus infinito, el *DVR* compensa de manera inversa el voltaje correspondiente a la magnitud de la variación, de tal forma que el voltaje de salida del *NC* se mantendrá constante en 1pu, tal y como se observa en la Figura 4.8.

La Figura 4.8 muestra el voltaje y la corriente presentes en el *NC*. La Figura 4.8a muestra el *NC* con un voltaje constante en 1pu una vez que el *DVR* genera el voltaje de compensación. El acercamiento del voltaje en el *NC* compensado al ocurrir una depresión de voltaje de 0.5pu se observa en la Figura 4.8b, mientras que el acercamiento del voltaje en el *NC* compensado al ocurrir una elevación de tensión de 1.5pu se observa en la Figura 4.8c. En la Figura 4.8d se muestra el acercamiento de la corriente compensada debido a la depresión de voltaje y en la Figura 4.8e el acercamiento de la corriente compensada debido al sobrevoltaje. El comportamiento de la corriente que se tiene a la salida del *NC* se muestra en la Figura 4.8f.

El voltaje presente en el *NC* mostrado en la Figura 4.8 alimenta a la carga sensible y para tener la seguridad de que el *DVR* será útil para proteger dicha carga y compensará los disturbios presentes en el sistema, los parámetros del *DVR* son diseñados a una potencia y voltaje base de 2500V y de 3MVA, respectivamente, debido a que son las características eléctricas de la carga sensible conectada al *NC*. Finalmente, se puede observar que el voltaje en la red de potencia mantiene un perfil constante, gracias al control en lazo cerrado con que trabaja el *DVR*.

En la Figura 4.9a se muestran las *fases a* del voltaje y de la corriente presentes en la carga sensible. Cuando ocurre una depresión de voltaje de 0.5pu en el bus infinito y se realiza una comparación entre el desfase del voltaje y la corriente, se observa que, a través del lazo de control de la Figura 4.3 se adapta para que la diferencia entre el voltaje y la corriente sea 0, tal y como se muestra en la Figura 4.9b, es decir, se tiene un factor de potencia unitario. También, en la Figura 4.9c se tiene la corrección de la fase de la corriente en presencia de un sobrevoltaje de 1.5pu, para generar una diferencia de 0° respecto al voltaje presentes en la carga sensible y obtener un factor de potencia unitario.

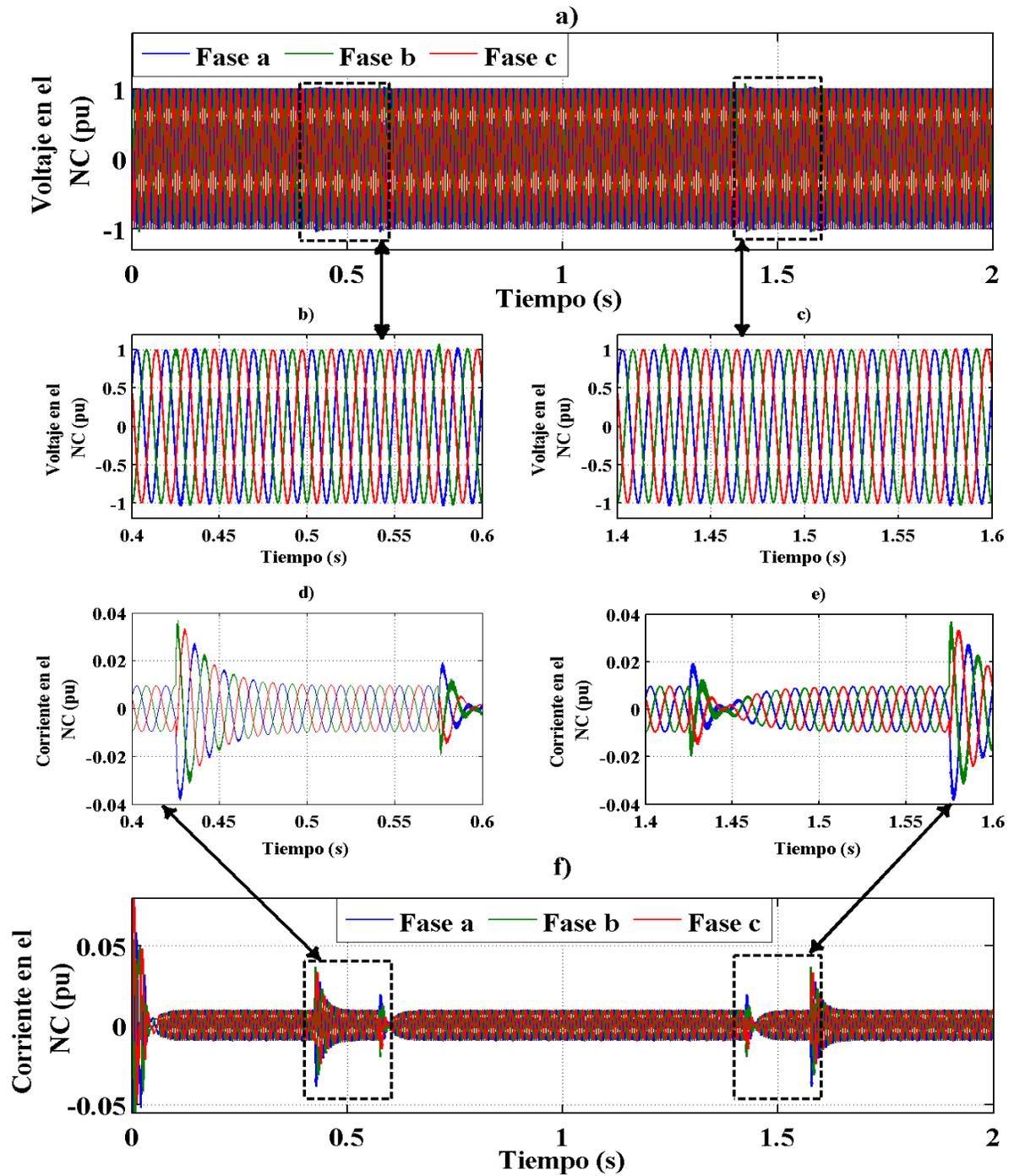


Figura 4.8 Voltaje y corriente en el NC. a) Voltaje; b) Acercamiento del voltaje generado para la compensación de una depresión de 0.5pu; c) Acercamiento del voltaje generado para la compensación de una elevación de 1.5pu; d) Acercamiento de la corriente generada para la compensación de una depresión de 0.5pu; e) Acercamiento de la corriente generada para la compensación de una elevación de 1.5pu; f) Corriente.

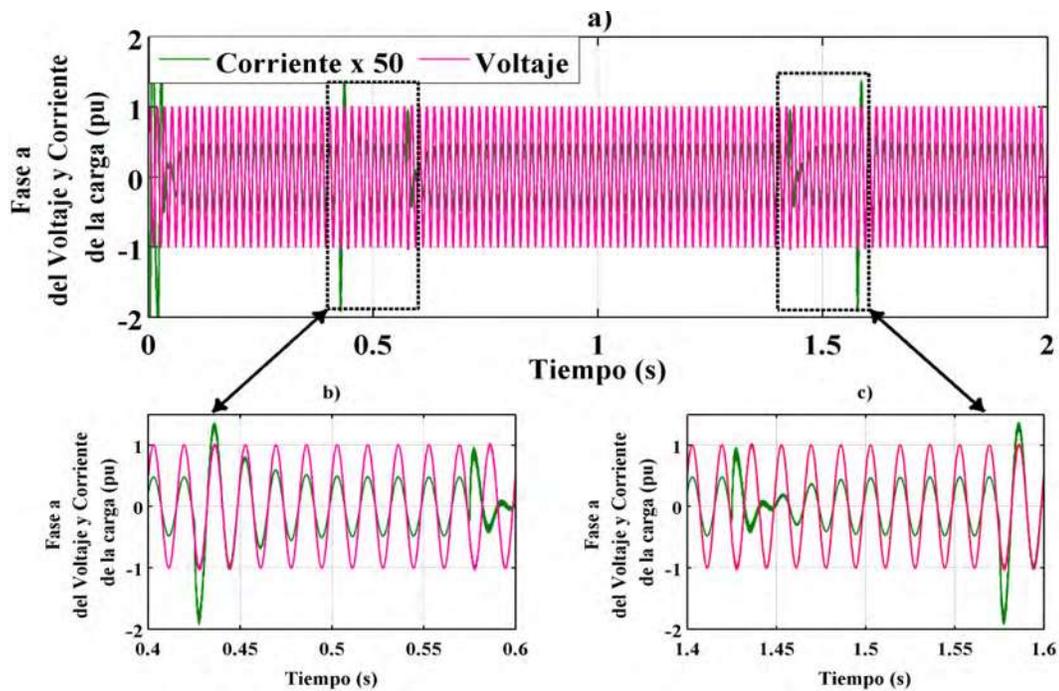


Figura 4.9 Voltaje y Corriente en el NC (fase a). a) Depresión de voltaje de 0.5pu; b) Sobrevoltaje de 1.5pu

4.2.4 Caso de estudio 2: Compensación de voltaje y potencia reactiva en la red para una depresión de voltaje de 0.9pu y una elevación de 1.9pu.

Un caso de estudio extremo se resume en la Figura 4.10, una depresión de voltaje de 0.9pu y un sobrevoltaje de 1.9pu, respectivamente, donde se muestran las formas de onda más importantes. La Figura 4.10a contiene el voltaje presente en el bus infinito, en el cual se ejecuta manualmente la representación de una depresión de voltaje de 0.9pu (Figura 4.10b) y de un sobrevoltaje de 1.9pu (Figura 4.10c). En la Figura 4.10d se observa el voltaje de salida que genera el DVR para compensar en el NC el voltaje perdido debido a la depresión de voltaje presente en el bus infinito o disminuir el voltaje en caso de un sobrevoltaje en el mismo, el acercamiento del voltaje de compensación del DVR ante una depresión de 0.9pu se muestra en la Figura 4.10e y en presencia del sobrevoltaje de 1.9pu está en la Figura 4.10f. Finalmente, la Figura 4.10g muestra el voltaje en el NC en 1pu una vez que el DVR ha compensado el voltaje perdido del bus infinito, con lo cual la carga sensible conectada en el sistema estará segura en presencia de disturbios de voltaje; el acercamiento de la compensación de la depresión de

voltaje de 0.9pu se expone en la Figura 4.10h, mientras que el acercamiento de la compensación del sobrevoltaje de 1.9pu es ilustrado en la Figura 4.10i.

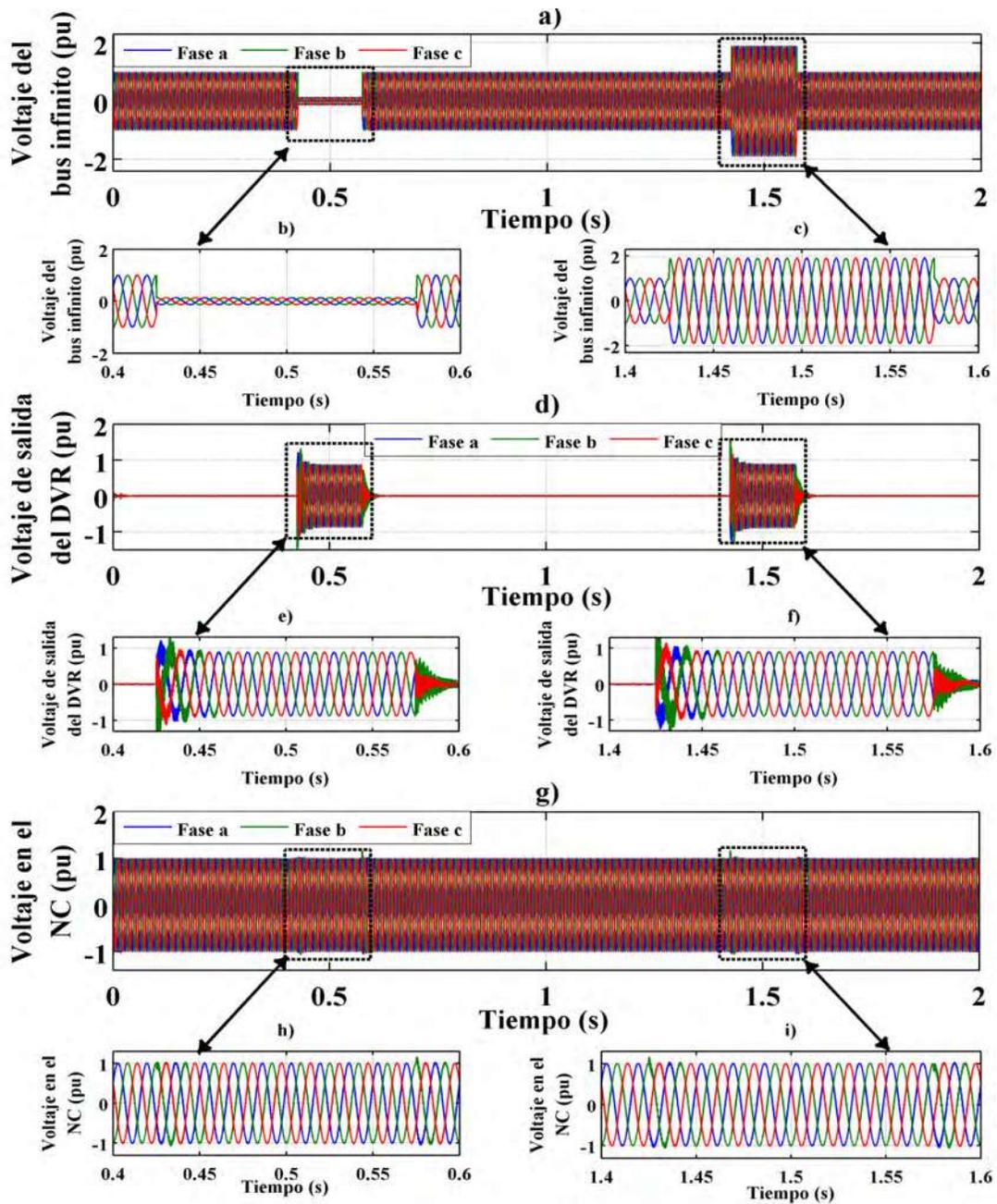


Figura 4.10 Voltaje en los diferentes elementos del sistema. a) Bus infinito; b) Representación de una depresión de 0.9pu en el bus infinito; c) Representación de un sobrevoltaje de 1.9pu en el bus infinito; d) *DVR*; e) Acercamiento del voltaje de salida del *DVR* ante una depresión de 0.9pu; f) Acercamiento del voltaje de salida del *DVR* ante un sobrevoltaje de 1.9pu; g) *NC*; h) Acercamiento del *NC* en presencia de una depresión de 0.9pu; i) Acercamiento del *NC* en presencia de un sobrevoltaje de 1.9pu.

El comportamiento del voltaje en la carga sensible no se presenta en el conjunto de gráficas de la Figura 4.10, debido a que éstas se observan al corregir el factor de potencia en la misma. En la Figura 4.11 se muestran las formas de onda correspondientes a la corrección del factor de potencia que realiza el *DVR* en la carga sensible, cuando se presenta en el sistema la depresión de voltaje y el sobrevoltaje de 0.9pu y 1.9pu, respectivamente. La potencia y el voltaje base en el sistema son de 3MVA y 2500V, respectivamente. La Figura 4.11a muestra el voltaje con 1pu de amplitud, una vez que el *DVR* inyecta la potencia reactiva necesaria para que esto ocurra; la amplitud de la corriente corresponde a 0.048pu, pero ésta es amplificada 10 veces en la Figura 4.11a. La Figura 4.11b ilustra el acercamiento de la corrección del factor de potencia, cuando ocurre la depresión de voltaje de 0.9pu. Observe que el *DVR* inyecta la potencia reactiva necesaria para modificar el ángulo de la corriente y mantenerla en fase con el voltaje, antes de que ocurra, en presencia y al finalizar la depresión de voltaje de 0.9pu. Lo que significa que el control de potencia reactiva es capaz de mantener un factor de potencia unitario, cuando el voltaje cae en un rango de 0.1pu a 0.9pu. Por otra parte, la Figura 4.11c contiene el acercamiento de la corrección del factor de potencia, cuando ocurre el sobrevoltaje de 1.9pu.

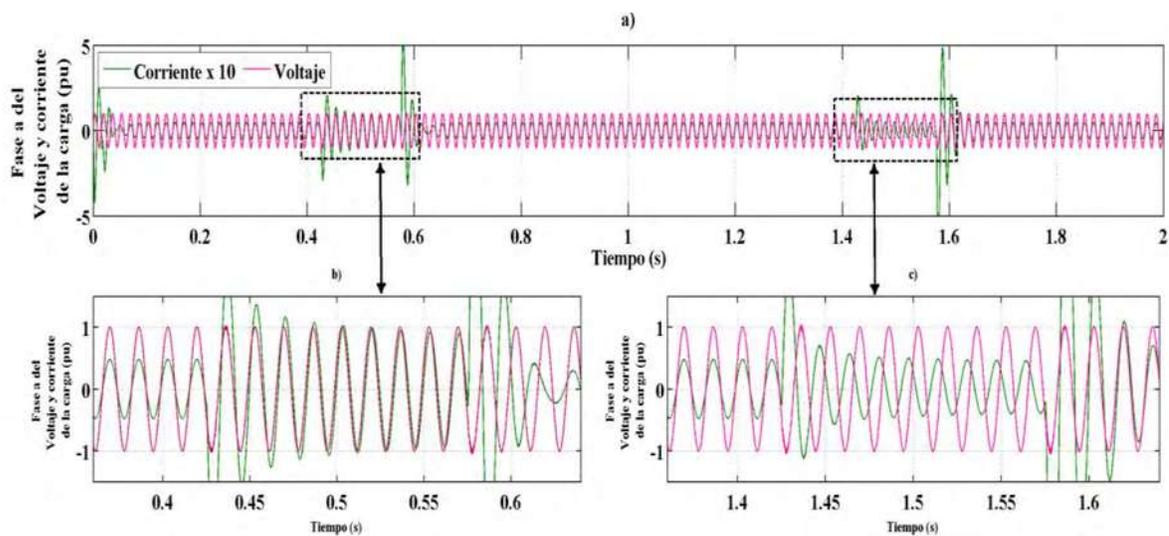


Figura 4.11 Representación del factor de potencia en la carga sensible. a) Voltaje y Corriente en la carga sensible (fase a). b) En presencia de la depresión de voltaje de 0.9pu; c) En presencia del sobrevoltaje de 1.9pu.

Notese que el *DVR* genera la potencia reactiva necesaria para mantener en fase el voltaje y la corriente de la carga sensible cuando se genera una elevación menor a 1.5pu, lo cual indica

que en presencia de un sobrevoltaje mayor a 1.5pu, el control de potencia reactiva solo mantiene el voltaje constante, pero no es capaz de modificar el ángulo de la corriente. Lo anterior trae como consecuencia que se produzca un factor de potencia muy bajo que puede llegar a ser de 0.77 entre mayor sea el sobrevoltaje, como se observa en la Tabla 1.

Tabla 4.1 Relación del Factor de Potencia del sistema en presencia de depresiones y sobrevoltajes.

<u>Depresión de Voltaje (pu)</u>	<u>Sobrevoltaje (pu)</u>	<u>Factor de Potencia de la depresión de voltaje</u>	<u>Factor de Potencia del sobrevoltaje</u>
0.1	1.1	1	1
0.2	1.2	1	1
0.3	1.3	1	1
0.4	1.4	1	1
0.5	1.5	1	1
0.6	1.6	1	0.95
0.7	1.7	1	0.91
0.8	1.8	1	0.83
0.9	1.9	1	0.77

La Tabla 4.1 muestra el resumen de la corrección del factor de potencia en presencia de depresiones en un rango de 0.1pu a 0.9pu y sobrevoltajes en un rango de 1.1pu a 1.9pu en el sistema.

4.3. DSTATCOM en coordenadas $dq0$.

4.3.1 Introducción

El *DSTATCOM* Tiene la capacidad de intercambiar tanto potencia activa como reactiva, si se coloca en el bus de CD un sistema de almacenamiento de energía, y se encuentra conectado en derivación en el *NC*, con el fin de inyectar/absorber la corriente necesaria para corregir la corriente absorbida/inyectada por la carga. Además, es de utilidad en la mejora de la calidad de la energía, por ejemplo en la eliminación de armónicos, proporcionar equilibrio a la carga y mejorar el voltaje en el *NC* [Majumder, 2013].

Por ejemplo, en [Sannino, *et. al.* 2003] los autores proporcionan un enfoque general de un DSTATCOM para la mitigación de los fenómenos adversos de calidad de energía. En [Aodsup *et al.* 2007] se realiza la simulación de un DSTATCOM para estabilizar el NC, mitigar emisiones de parpadeo y eliminar distorsiones causadas por las fluctuaciones de la velocidad del viento, teniendo como carga un parque eólico con una potencia de 1.5MW formado de 10 turbinas de viento de 150kW.

En esta sección, se describe el control en coordenadas $dq0$ de un DSTATCOM para la inyección o absorción de potencia reactiva en un sistema de energía eólica, con el propósito de eliminar las perturbaciones en el sistema generadas por la conexión de la turbina de viento debido a la naturaleza fluctuante del viento.

Cabe mencionar que, la turbina de viento se representa por el modelo eléctrico de una MI y que en el torque fueron aplicados valores aleatorios en un rango de 7m/s a 20m/s, para ejemplificar el comportamiento de la misma ante las fluctuaciones del viento. El sistema de energía eólica es simulado en Matlab®/Simulink®.

4.3.2 Modelado de control del DSTATCOM para la compensación de potencia reactiva.

Como se discutió anteriormente en la Sección 2.5, el modelado del DSTATCOM se realiza a partir de la planta que representa al VSC de la Figura 2.11.

Un DSTATCOM puede operar en modo de control del voltaje o en el modo de control de la corriente [R. Majumder, 2013], en base al manejo de las corrientes i_d e i_q que circulan a través del sistema. En el modo de control del voltaje, el DSTATCOM puede mantener balanceado el voltaje en el NC. En el modo de control de corriente, se realiza la inyección de potencia reactiva necesaria en el sistema, además es posible cancelar la distorsión del contenido armónico causado por la conexión de la MI.

Específicamente, el control del VSC parte de la potencia activa P y reactiva Q que entra o sale del sistema dependiendo de la aplicación. Se realiza mediante la manipulación de las

componentes i_d e i_q de la corriente de línea, es decir, las señales de pre-alimentación y retroalimentación se transforman al marco $dq0$.

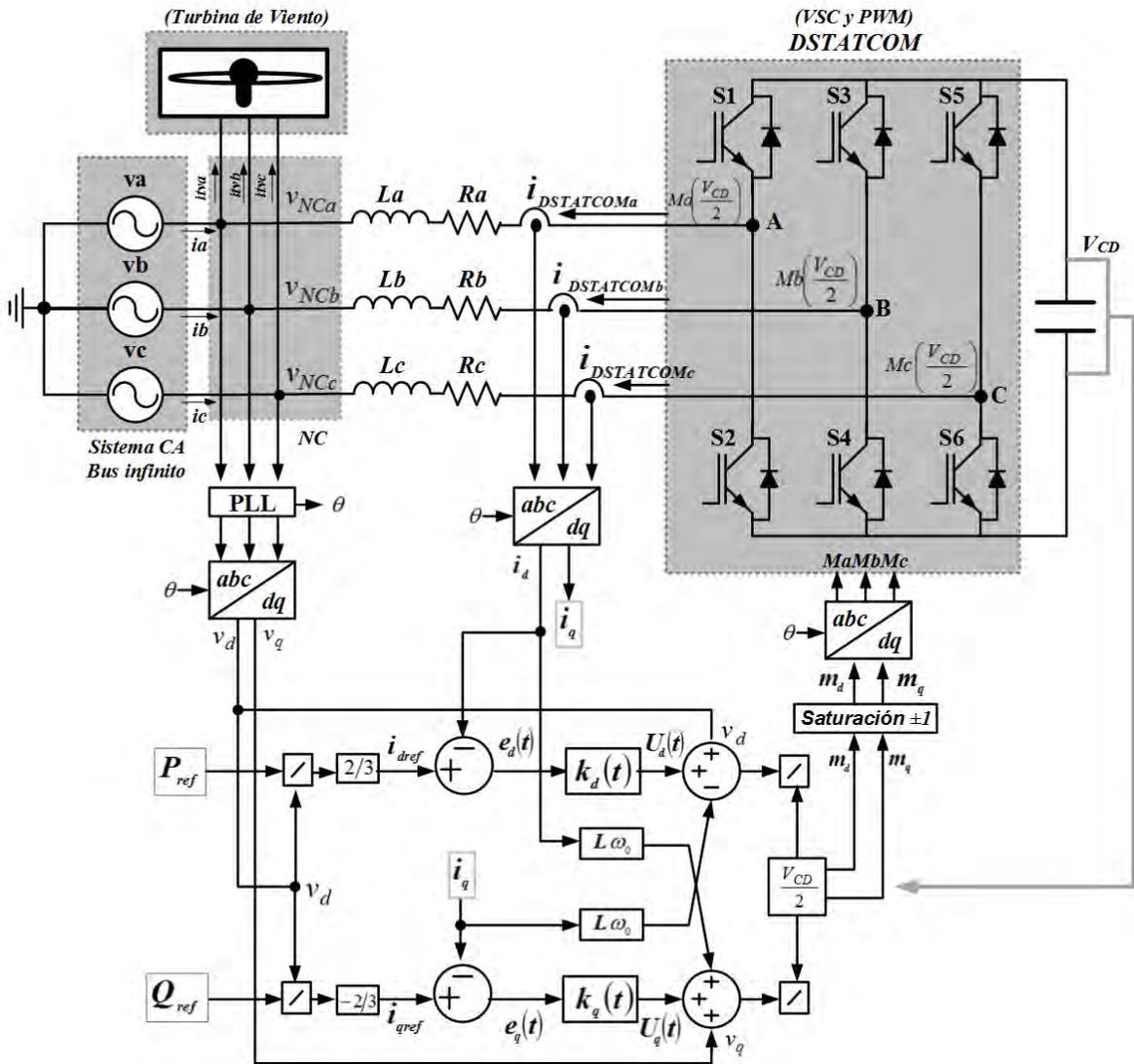


Figura 4.12 Conexión del DSTATCOM con integración de una MI.

Los comandos de referencia i_{dref} e i_{qref} son limitados por bloques de saturación para proteger al VSC de picos de picos de corriente en caso de implementación. En lo que se refiere a P y Q , son el resultado de controlar la amplitud del voltaje en el NC y la corriente de línea del VSC, las cuales se describen en (4.15). Entendiendo como NC al nodo donde se unen el VSC, la fuente generadora y la MI, a través de líneas de distribución, como se observa en la Figura 4.12.

$$P(t) = \frac{3}{2} [V_d(t)i_d(t) + V_q(t)i_q(t)] \quad (4.15a)$$

$$Q(t) = -\frac{3}{2} [V_d(t)i_q(t) - V_q(t)i_d(t)] \quad (4.15b)$$

donde V_d y V_q son las componentes de voltaje en el marco dq del NC. En estado estacionario se considera que $V_q=0$, por lo tanto, es posible reescribir (4.12) como:

$$P(t) = \frac{3}{2} [v_d(t)i_d(t)] \quad (4.16a)$$

$$Q(t) = -\frac{3}{2} [v_d(t)i_q(t)] \quad (4.16b)$$

Para tener un control independiente de P y Q , la Ecuación (4.16) se re-escribe en función de i_d e i_q y considerando que $i_d \approx i_{dref}$ e $i_q \approx i_{qref}$ se obtiene,

$$i_{dref}(t) = \frac{2}{3} \left[\frac{P_{ref}(t)}{v_d(t)} \right] \quad (4.17a)$$

$$i_{qref}(t) = -\frac{2}{3} \left[\frac{Q_{ref}(t)}{v_d(t)} \right] \quad (4.17b)$$

Para regular i_d e i_q se utiliza un compensador PI (Proporcional e Integral), de la forma,

$$k_d(t) = k_q(t) = kp(t) + ki \quad (4.18)$$

donde kp y ki son determinados por la inductancia y la resistencia del sistema, respectivamente, es decir:

$$kp = \frac{L}{\tau} \quad (4.19a)$$

$$ki = \frac{R}{\tau} \quad (4.19b)$$

donde τ es la constante de tiempo del sistema de lazo cerrado, generalmente tienen un valor en un rango de 0.5-5ms.

Para diseñar el filtro RL se obtienen los parámetros base del sistema. Entonces, la corriente base se define como:

$$i_b = \left(\frac{2}{3} \right) \frac{P_b}{v_b} \quad (4.20)$$

donde P_b es la potencia, v_b es el voltaje e i_b es la corriente del sistema de energía eólica.

La impedancia base del sistema (Z_b) se obtiene con:

$$Z_b = \frac{v_b}{i_b} \quad (4.21)$$

Los valores base de inductancia y capacitancia se obtiene a partir de $0.15pu$ de la impedancia base del sistema, es decir,

$$Z = 0.15(Z_b) \quad (4.22)$$

El valor de la inductancia base (L) se calcula como:

$$L = \frac{Z}{\omega_0} \quad (4.23)$$

El valor de la capacitancia base (C) se obtiene con:

$$C = \frac{1}{Z\omega_0} \quad (4.24)$$

donde ω_0 es la frecuencia nominal del sistema.

El valor de R varía de acuerdo con la aplicación en un rango de 0.1Ω a 0.5Ω . Dicha variación se ejecuta para obtener un mejor tiempo de respuesta en la retroalimentación del sistema, ya que los valores de la inductancia y la resistencia son utilizados para obtener las ganancias de retroalimentación del sistema descritas previamente en la Ecuación (4.19).

El valor de capacitancia se determina en (4.25) a partir de la capacitancia base del sistema descrita en (4.24).

$$C_{CD} = \left(\frac{3}{8}\right)C \quad (4.25)$$

donde C_{CD} es la capacitancia del bus de CD y C es la capacitancia base del sistema

El modelo de retroalimentación para la compensación del bus de CD se muestra en (4.14) y la Figura 4.13.

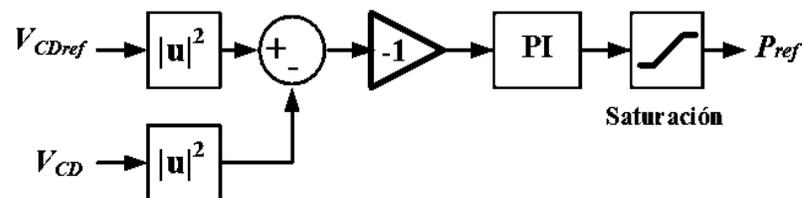


Figura 4.13 Diagrama de retroalimentación del Voltaje de CD.

El DSTATCOM genera continuamente la potencia reactiva necesaria para mantener el voltaje constante en el NC. En la Figura 4.14 se observa el diagrama de control para compensar potencia reactiva.

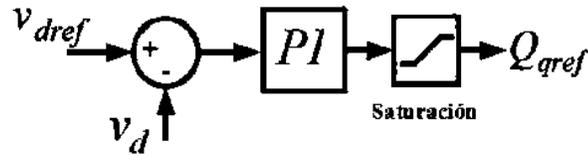


Figura 4.14 Diagrama de control para compensar potencia reactiva.

En la Figura 4.14 se observa que para realizar la compensación de potencia reactiva se toma la componente d del voltaje presente en el NC y se compara con un voltaje de referencia, en este caso el voltaje nominal que se quiere tener constante en el NC, el resultado de dicha comparación se conecta a un *PI*, generando así el equivalente a la potencia reactiva que debe ser compensada en el NC.

4.3.3 Caso de estudio 3: Configuración del DSTATCOM en un sistema de potencia con integración de una MI

En esta sección se presenta el modelo del sistema de energía eólica utilizando el modelo del control de la Sección 4.2.2. La Figura 4.15 muestra el sistema de energía eólica implementado, el cual está formado por un bus infinito (considerado como una fuente de voltaje ideal de 125kV); un transformador (*T1* con relación 5:1) estrella-estrella con una potencia de 4.7MVA, que permite la conexión del bus infinito al NC a través de una línea de distribución de 25Km de longitud; una MI con un voltaje de 575Vrms y 3MVA de potencia, conectada al NC por medio un transformador estrella-estrella (*T2* con relación 5:1) y una línea de distribución de un 1Km de longitud.

La conexión en paralelo del DSTATCOM a la red de potencia se efectúa mediante una carga RL y un transformador estrella-estrella (*T3* con relación 1:10) con potencia de 4MVA. Para realizar el diseño del DSTATCOM y obtener el valor de los elementos característicos, se utiliza como potencia base del sistema 3MVA y un voltaje base de 2.5kV.

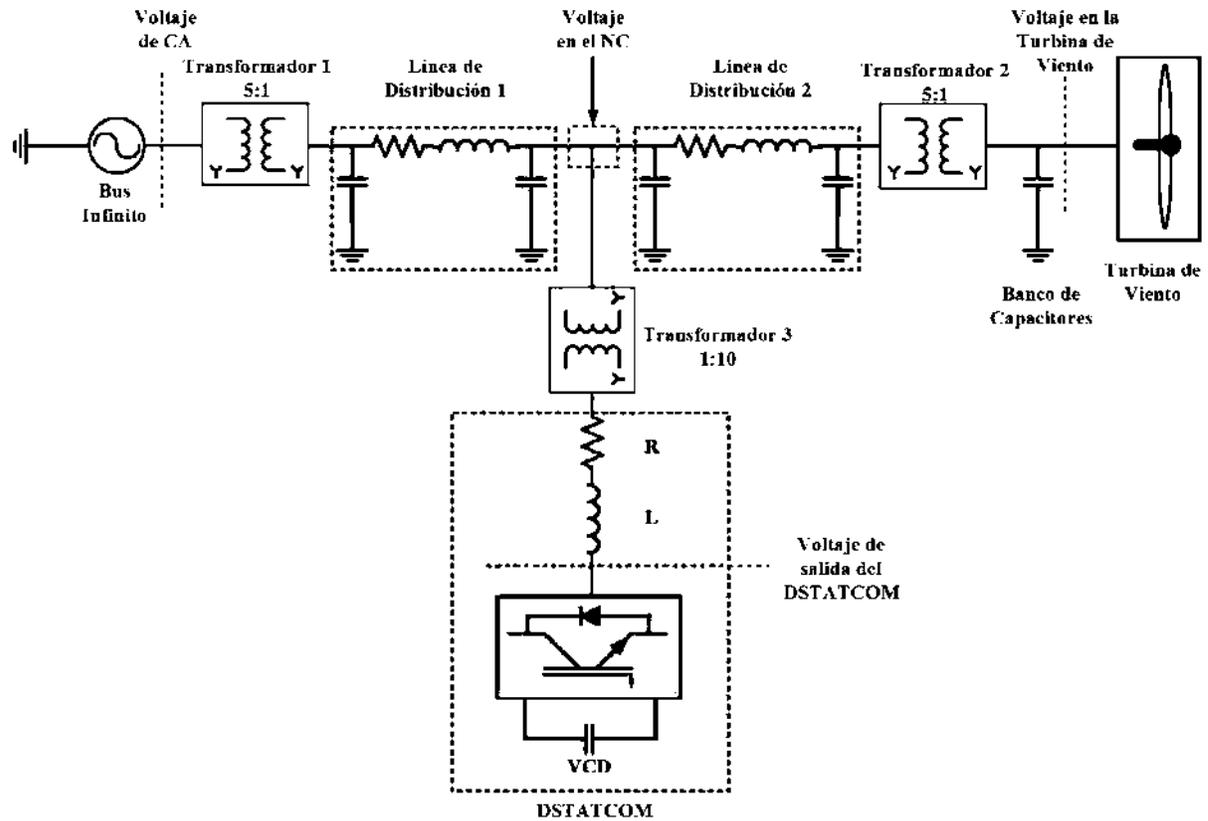


Figura 4.15 Red de distribución con integración de una turbina eólica.

La corriente base de salida del DSTATCOM se obtiene igual que en la sección 4.1.3.

Los valores del filtro RL y la capacitancia se obtienen de la potencia y el voltaje base del NC, a partir de las Ecuaciones (4.20) a (4.25). Entonces, la corriente base es:

$$i_b = \frac{2}{3} \left(\frac{3MVA}{2500V} \right) = 800A$$

La impedancia base del sistema (Z_b) es:

$$Z_b = \frac{2500V}{800A} = 3.125\Omega$$

Z se obtiene como:

$$Z = 0.15(3.125\Omega) = 0.469\Omega$$

El valor de la inductancia base (L) se calcula con:

$$L = \frac{0.469\Omega}{2\pi f} = \frac{0.469\Omega}{2\pi(60Hz)} = 1.25mH$$

El valor de la capacitancia base (C) necesaria para determinar la capacitancia del bus de CD es:

$$C = \frac{1}{(0.469\Omega) * (2\pi(60Hz))} = 5.65mF$$

Finalmente, la capacitancia del bus de CD se determina utilizando (4.25), es decir:

$$C_{CD} = \left(\frac{3}{8}\right)(5.65mF) = 2.11mF$$

El valor de R para este caso se estableció en un valor equivalente a 0.5Ω .

4.3.3.1. *Compensación del bus de CD*

La velocidad del viento es cambiante, dichas fluctuaciones se ven reflejadas a través de la MI en el voltaje y la corriente de la red de potencia de la Figura 4.15. Por lo tanto, en la Figura 4.16 se muestran una serie de datos aleatorios en un rango de 7m/s a 20m/s para simular el comportamiento de la velocidad del viento, dichos datos fueron aplicadas en al torque de la MI.

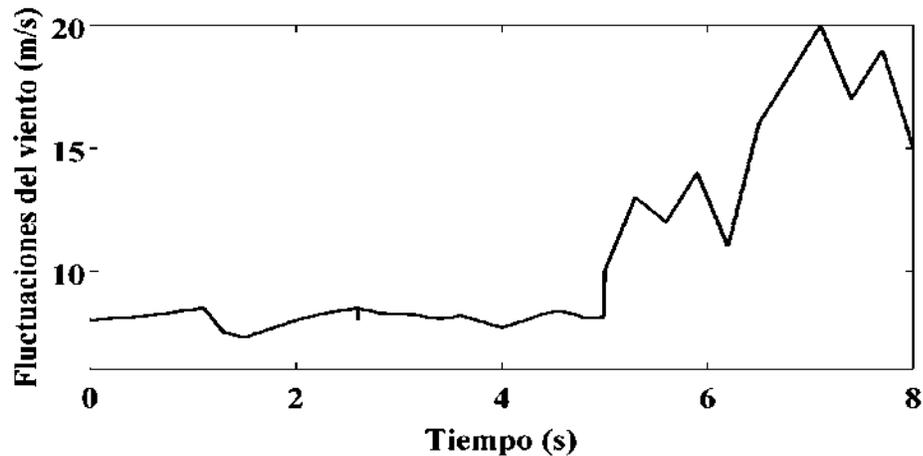


Figura 4.16 Variaciones en la velocidad del Viento [Beltrán-Valle, 2012].

Para observar que el DSTATCOM entrega la potencia reactiva necesaria en el NC para estabilizar al sistema ante las fluctuaciones generadas por la MI descritas en la Figura 4.16, se analiza el comportamiento de algunas variables en el mismo, iniciando por el voltaje del bus de CD (en el capacitor). El modelo de retroalimentación se muestra en la Figura 4.13.

En la Figura 4.17 se muestra el voltaje de CD retroalimentado que se presenta ante fluctuaciones del viento.

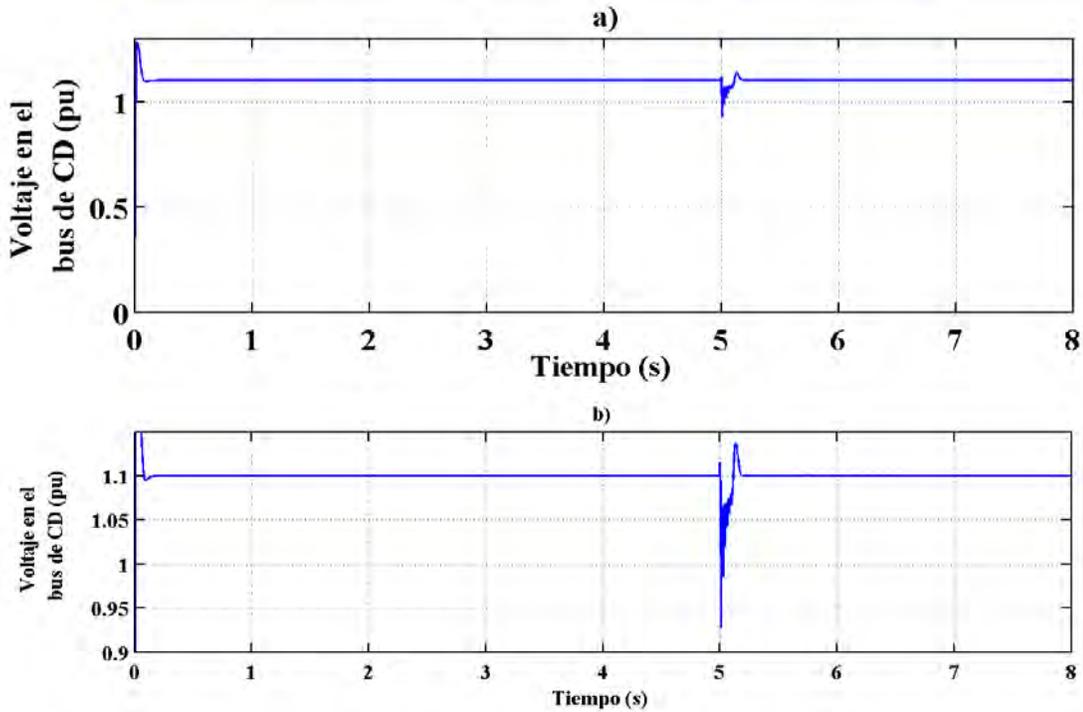


Figura 4.17 Voltaje en el bus de CD retroalimentado. a) Bus de CD; b) Acercamiento del bus de CD.

El voltaje en el bus de CD debe tener un voltaje de 0.1 pu mayor que el voltaje pico que se presenta en el NC, esto debido a que el VSC en modo inversor se comporta como un reductor de voltaje. Por lo tanto, se establece que el voltaje de CD (Figura 4.17a) será de 1.1 pu [Yazdani e Iravani, 2010]. Dadas las características de eficiencia del control, al efectuarse un cambio en la potencia reactiva ya sea de absorción o inyección en el NC, el bus de CD debe ser capaz de mantener el voltaje constante, tal y como se observa en la Figura 4.17b.

4.3.3.2. Compensación de Potencia Reactiva en el NC

El *DSTATCOM* debe de ser capaz de inyectar/absorber la potencia reactiva necesaria a fin de mantener la turbina eólica en funcionamiento. En la Figura 4.18 se muestra el comportamiento de las variables del NC sin la integración del *DSTATCOM* en la red.

La Figura 4.18a muestra el voltaje en el NC, la magnitud del mismo varía acorde con la potencia activa generada por la MI, según se observa en la Figura 4.18b. Al realizar un acercamiento de la corriente en el NC, en la Figura 4.18c se muestra que las fases de la misma se encuentran desbalanceadas; en la Figura 4.18d puede observarse que la corriente en el NC presenta oscilaciones similares al comportamiento de las fluctuaciones del viento. En la Figura 4.18e muestra la potencia activa y reactiva demandadas en el NC por el torque de la MI debido

a las fluctuaciones del viento. El tiempo de prueba para este caso de estudio es de $t=8s$ que corresponde al tiempo en que se representan las variaciones de la velocidad del viento de la Figura 4.16, el cambio de mayor velocidad en el viento se realiza en $t=5s$, para lo cual, el *DSTATCOM* debe compensar con la potencia reactiva requerida antes dichos cambios.

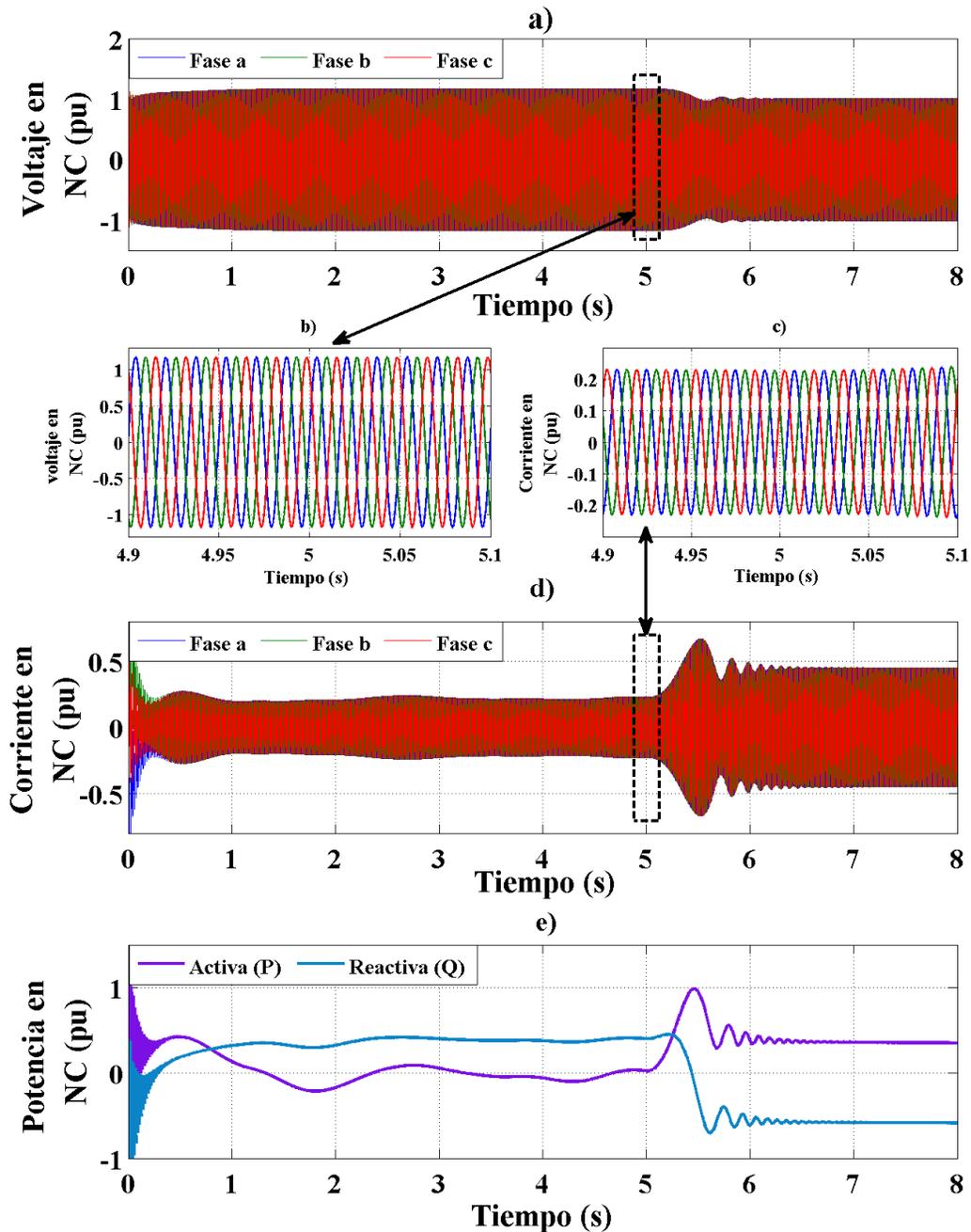


Figura 4.18 Variables en el NC sin *DSTATCOM*; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva.

En la Figura 4.19 se muestra el comportamiento de las variables del NC con la integración del *DSTATCOM* en la red. Una vez que se coloca el *DSTATCOM* en el NC, puede observarse en la Figura 4.19a que el voltaje se mantiene constante en $1pu$ en un periodo de tiempo de $0s$ a $5s$ esto sucede debido a que el *DSTATCOM* inyecta potencia reactiva al NC.

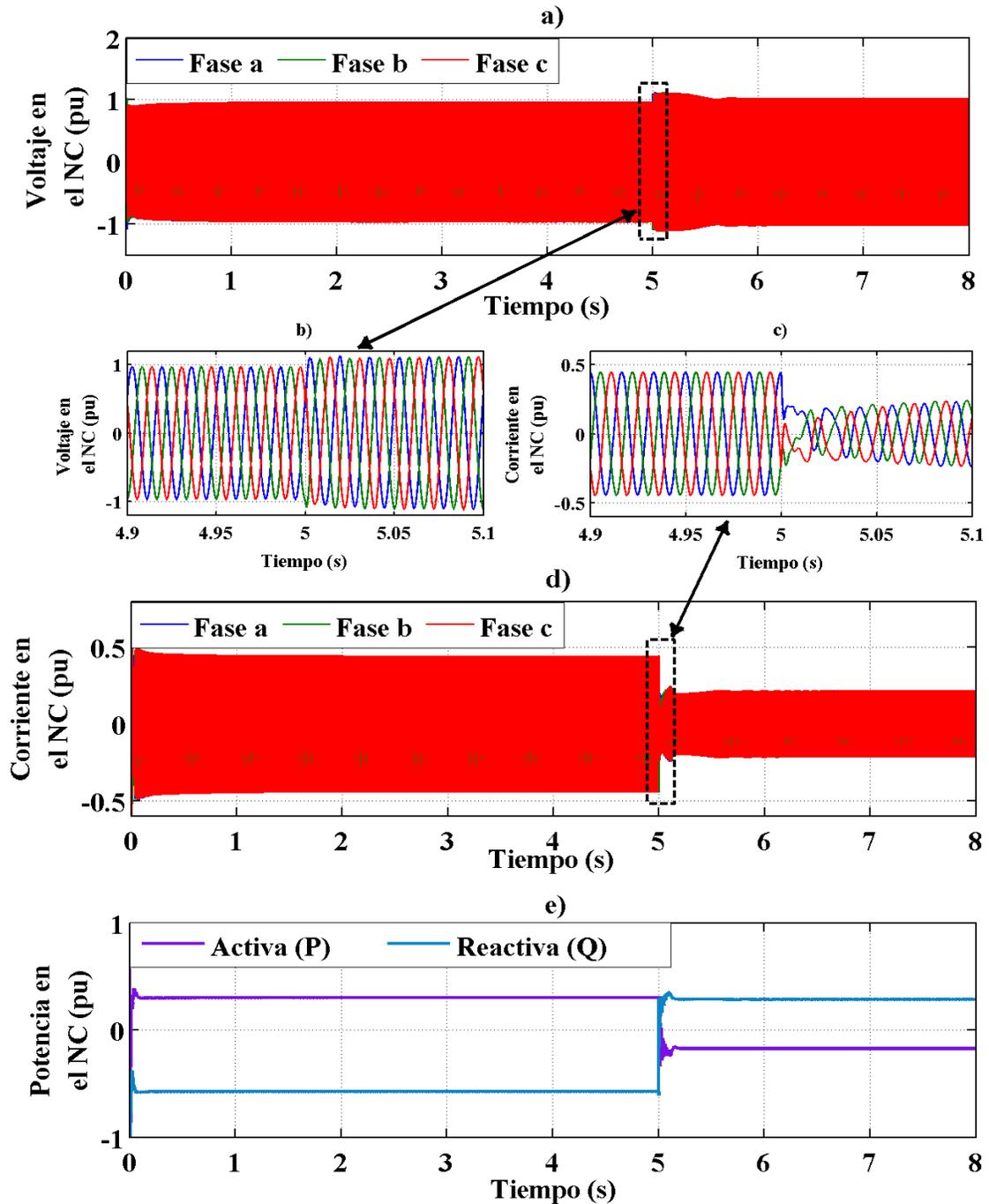


Figura 4.19 Variables eléctricas en el NC con DSTATCOM; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva.

Sin embargo, en un periodo de tiempo de $5s$ a $8s$ el voltaje aumenta a $1.2pu$ debido a que ahora el DSATCOM absorbe potencia reactiva del NC; dicho cambio se aprecia más claramente en el acercamiento del voltaje de la Figura 4.19b. La corriente en el NC con fases balanceadas se muestra en la Figura 4.19c, además del cambio de fase en el segundo 5 debido a que se realiza un cambio de potencia reactiva demandada en el NC. También se ilustra en la Figura 4.19d que aún con las oscilaciones de la MI, la corriente en el NC se mantiene constante en un periodo de $0s$ a $5s$. Finalmente, en la Figura 4.19e se muestra la potencia activa generada por la MI y la potencia reactiva demandada en el NC. El cambio de potencia reactiva se nota en el $t=5s$ de la Figura 4.19e y consiste en que durante el periodo de tiempo comprendido entre $0s$ y $5s$, el DSTATCOM inyecta $0.573pu$ de potencia reactiva al NC, mientras que en el tiempo de $5s$ a $8s$ el DSTATCOM absorbe $0.287pu$ de potencia reactiva del NC.

Para comprobar que el DSTATCOM inyecta la potencia reactiva necesaria, de la Figura 4.20 puede observarse que la potencia reactiva compensada en el NC sigue a la potencia reactiva de referencia. Así, es posible comprobar que la estructura del lazo de retroalimentación es eficiente.

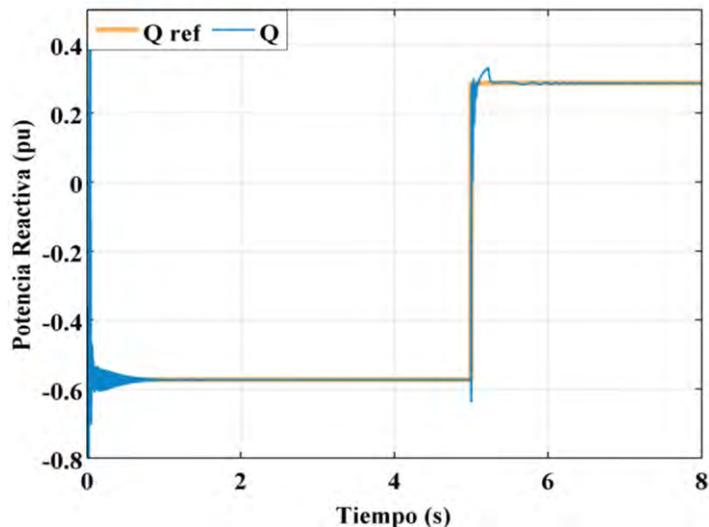


Figura 4.20 Inyección/absorción de Potencia Reactiva en NC.

En la Figura 4.21 se muestra el comportamiento de las variables eléctricas provenientes de la MI sin la colocación del DSTATCOM. La Figura 4.21a muestra el voltaje que corresponde a $0.6pu$ del voltaje base del sistema según se aprecia en el acercamiento del voltaje de la Figura 4.21b. El acercamiento de la corriente de la Figura 4.21c corresponde a la corriente de la Figura

4.21d y está mostrando un comportamiento similar a las oscilaciones del torque mecánico.

Finalmente, la potencia activa que demanda la *MI* se muestra en la Figura 4.21e.

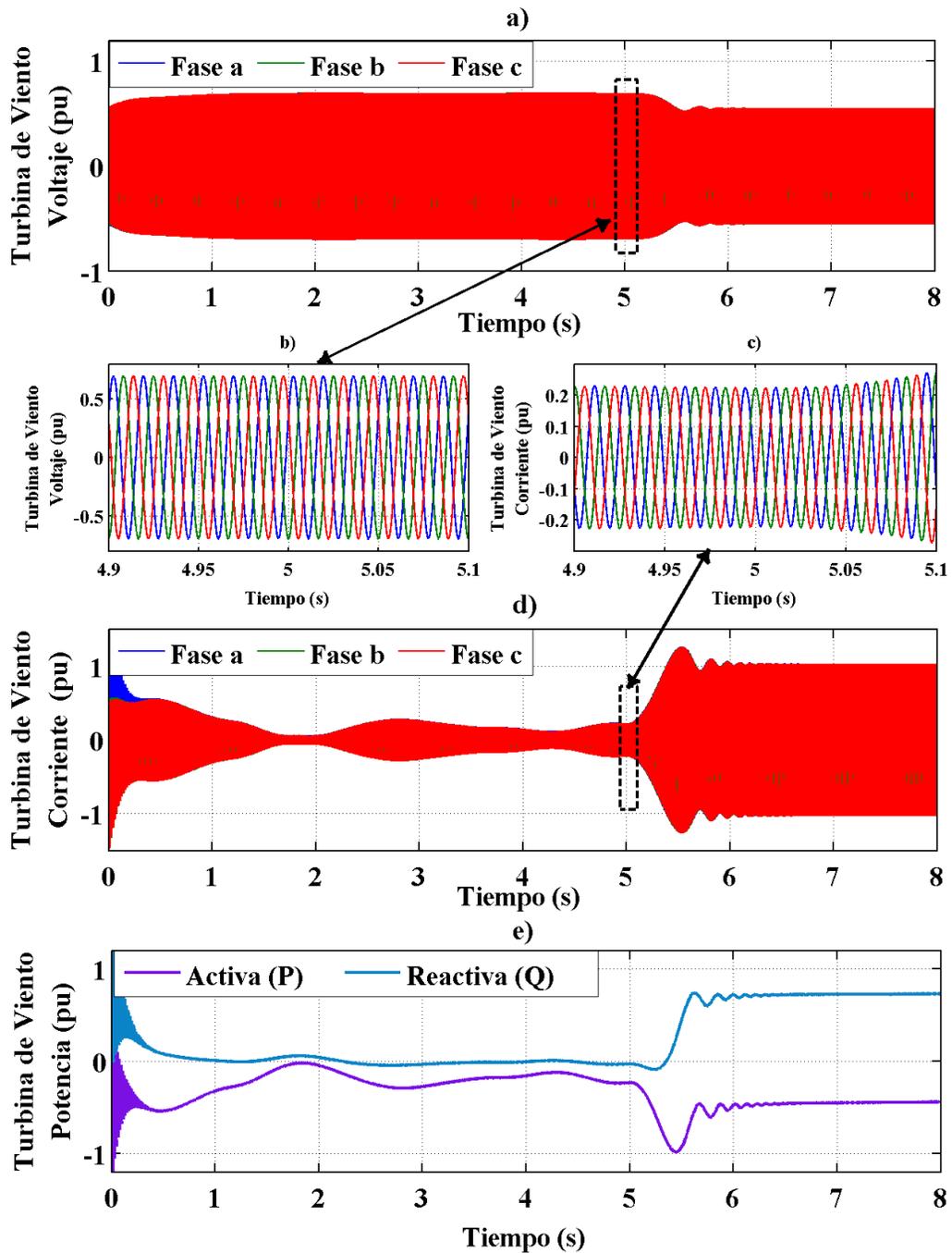


Figura 4.21 Variables eléctricas de la *MI* sin *DSTATCOM*; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva

Para observar los efectos sobre la *MI* que produce la colocación del *DSTATCOM* en la red, se analiza el comportamiento de las variables eléctricas de la misma en la Figura 4.22.

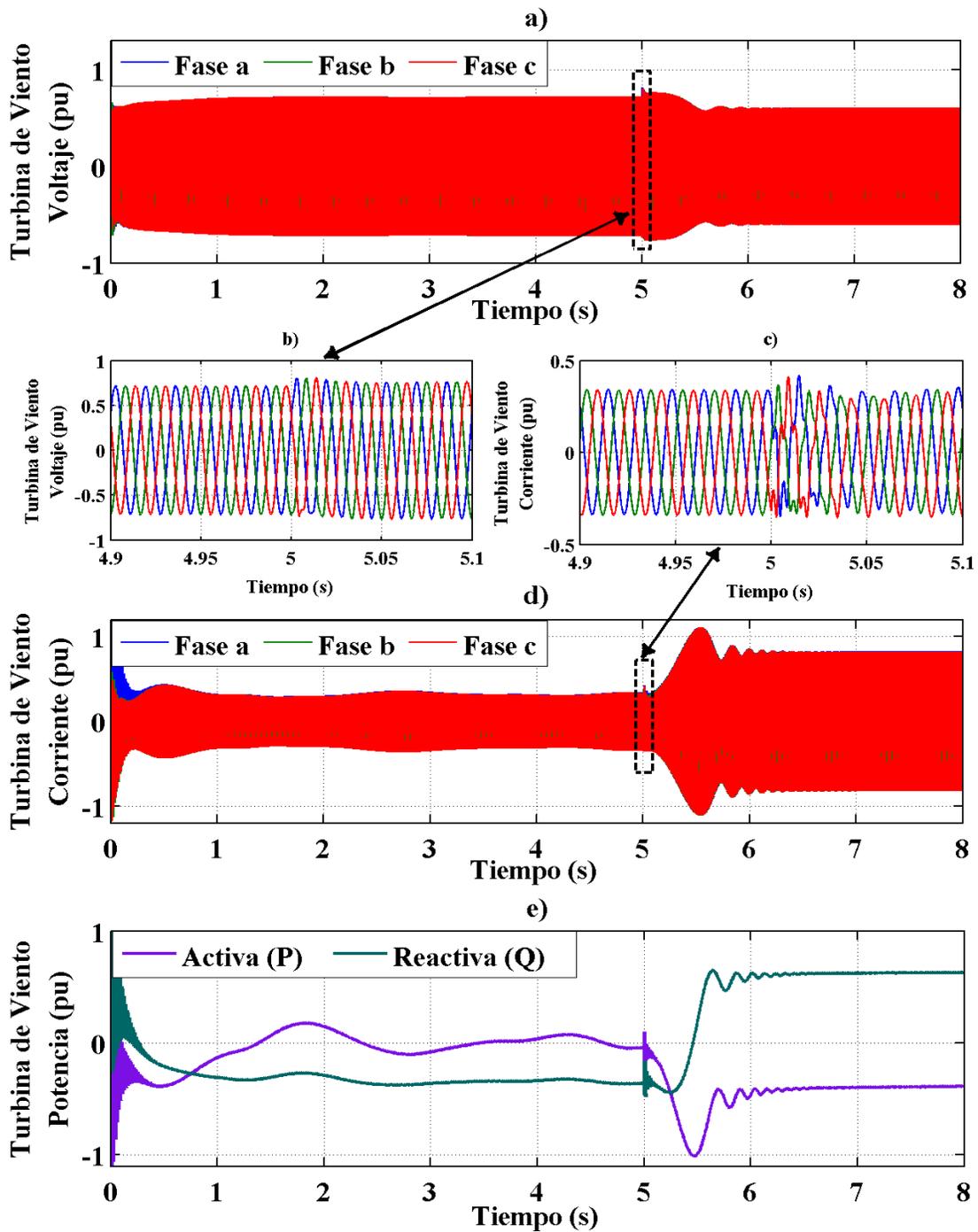


Figura 4.22 Variables eléctricas de la MI con DSTATCOM; a) Voltaje; b) Acercamiento de Voltaje; c) Acercamiento de Corriente; d) Corriente; e) Potencias Activa y Reactiva

La Figura 4.22a contiene el voltaje en la MI que corresponde a 0.6pu del voltaje base del sistema cuando el DSTATCOM inyecta potencia reactiva y de 0.5pu cuando el DSTATCOM absorbe potencia reactiva como se observa en el acercamiento de la Figura 4.22b, se puede

observar que el voltaje de la *MI* es complementario al que genera el *DSTATCOM* en el *NC* especificada en la Figura 4.17, debido a que este inyecta la potencia requerida por la *MI*. El comportamiento de la corriente de la *MI* se observa en la Figura 4.22d, las formas de onda balanceadas de corriente en $t=5s$ se muestran en la Figura 4.22c y en la Figura 4.22e cómo se realiza un cambio de fase en la corriente correspondiente a la potencia reactiva demandada.

4.4. *DSTATCOM* en coordenadas *abc*.

4.4.1 Introducción

La necesidad de mantener la estabilidad del voltaje en redes de CA y el control de la potencia reactiva en redes de distribución, han sido objeto de múltiples investigaciones desde la década de los años 70's. Estas investigaciones fueron impulsadas por el desarrollo de convertidores electrónicos de potencia.

En los últimos años, se han desarrollado diferentes topologías de convertidores electrónicos de potencia para la compensación del voltaje en sistemas de distribución. La primera estructura basada en el uso de reactores saturables fue descrita en [Kapoor, 1979]. En [Noureldeen *et al.* 2011] y [Sternberger y Jovicic, 2006] se propuso una estructura de control desarrollada en el marco de referencia $dq0$; esta estructura de control permanece actualmente en uso.

Sin embargo, cuando un sistema trifásico es controlado por un *PI* (comúnmente utilizado cuando el controlador se encuentra en el marco de referencia $dq0$) en condiciones de desbalance de fases, se requiere un proceso de descomposición en componentes de secuencia positiva y negativa para su correcto funcionamiento. Este enfoque está asociado con un retardo de tiempo considerable. Por ejemplo, en [Wang *et al.* 2008] se muestra que el controlador *PI* no es capaz de eliminar por completo los transitorios de desequilibrio de voltaje, por lo tanto, la estabilidad del sistema podría degradarse.

El *DSTATCOM* es un convertidor electrónico de potencia utilizado para regular potencia reactiva, mantener la carga segura y mitigar oscilaciones del sistema de CA [Jaza y Fendereski, 2007], por lo que en la actualidad es utilizado en sistemas de energía eólica para mantener la estabilidad del voltaje en el *NC*, así como para satisfacer las necesidades de potencia reactiva de la *MI* [Roncero-Sánchez y Acha, 2014], [Suja y Raglend 2012]. En [Guillaud *et al.* 2001] y

[Sato *et al.* 1998] se propone un método eficaz que consiste en el diseño de un controlador de corriente basado en un corrector resonante para la manipulación del *DSTATCOM* utilizado en la eliminación de oscilaciones de torque de la *MI*; el cual regula la corriente del rotor sin proceso de descomposición y trabaja de forma fiable en estado estacionario y en condiciones transitorias desequilibradas.

Como se ha mencionado antes, aunque se han propuesto diferentes estructuras de control en la literatura abierta [Noureldeen *et al.* 2011], [Sternberger y Jovcic. 2006], para la manipulación de un *DSTATCOM* es común la necesidad de un lazo de enganche de fase (*PLL*) [Chlebis *et al.* 2013], [Kim *et al.* 2013] que permita la sincronización de los elementos del sistema con la frecuencia de la red. Con el fin de resolver los problemas ya mencionados, en la sección 4.3.2 se propone y presenta una estructura de control basada en un corrector resonante, capaz de solucionar los retardos de tiempo, el cual permite la operación correcta de un *DSTATCOM* en el marco natural *abc*, es decir, sin la necesidad de un *PLL* y evitando en consecuencia un retraso de tiempo considerable en presencia de perturbaciones en el sistema.

4.4.2 Control de potencia Activa y Reactiva en el Marco de Referencia *abc*.

4.4.2.1 Consideración de un Sistema Balanceado

La ley de control de potencia activa P y reactiva Q está creada en el concepto tradicional de tres fases, aplicada a sistemas de potencia balanceados o desbalanceados. Se representa por,

$$P = v_a i_a + v_b i_b + v_c i_c \quad (4.26a)$$

$$Q = \frac{1}{\sqrt{3}} [(v_a - v_b) i_c + (v_b - v_c) i_a + (v_c - v_a) i_b] \quad (4.26b)$$

donde V_a , V_b , V_c e i_a , i_b , i_c , son voltajes y corrientes trifásicos instantáneos en el NC, respectivamente.

La estrategia del control propuesto considera que la fase c depende de las fases a y b , es decir,

$$v_c = -v_a - v_b \quad (4.27)$$

Con el fin de regular las potencias activa y reactiva, la corriente de salida del *DSTATCOM* necesita ser controlada; ésta se expresa a partir de (4.26) como:

$$i_a = \frac{(3v_a P - \sqrt{3}Q(2v_b + v_a))}{[6(v_a^2 + v_a v_b + v_b^2)]} \quad (4.28a)$$

$$i_b = \frac{(3v_b P - \sqrt{3}Q(2v_a + v_b))}{[6(v_a^2 + v_a v_b + v_b^2)]} \quad (4.28b)$$

Las Ecuaciones (4.28a) y (4.28b) son tomadas como referencia de corrientes y serán aplicadas en el control de corriente del *DSTATCOM*. Esto significa, que i_a llegará a i_{aref} en la estructura de control; lo mismo aplica para i_b .

Por lo tanto, es posible representar el sistema usando sólo dos corrientes de referencia. En la ley de control de corriente se utiliza un corrector de resonancia; esto se debe a que las corrientes de referencia son sinusoidales. La eficacia de este corrector cuando se utilizan referencias sinusoidales se ha demostrado en [Sánchez, *et. al.* 2010] y [Alexa *et al.* 1998].

El diagrama de bloques del controlador de la ley de control propuesta, aunado al VSC se muestra en la Figura 4.23. Es importante notar que la estructura del control contiene un bloque de retroalimentación con acción derivativa en las señales de referencia.

Las señales de referencia son sinusoidales y se pueden derivar analíticamente. Además, hay un arreglo al final del diagrama que hace posible, a partir de solo dos variables ($M1$ y $M2$), la asignación de tres señales de control, necesarias en el encendido de las compuertas del convertidor.

Los elementos del filtro \hat{R} y \hat{L} (resistencia e inductancia, respectivamente) son valores estimados de los parámetros reales del sistema. Como el control depende directamente de los valores estimados, se admite que exista un ligero error en los parámetros del controlador, con el fin de tener en cuenta la pequeña imprecisión debida a la estimación de los parámetros.

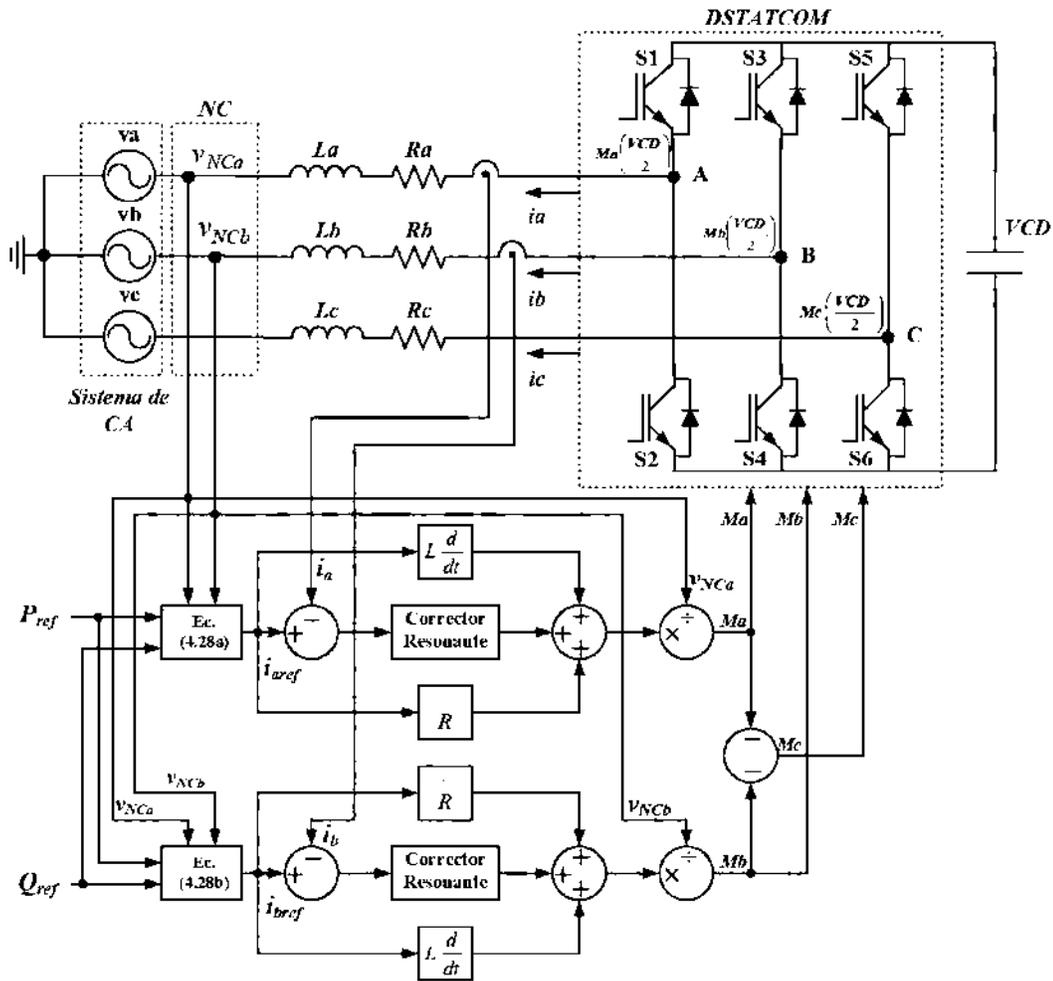


Figura 4.23 Diagrama de bloques del controlador de potencia con referencias sinusoidales.

El cálculo de los parámetros del controlador resonante se realiza utilizando el método de asignación de polos, utilizando (4.29). La frecuencia natural ω_n se ajusta a la frecuencia de la señal de entrada con el fin de obtener una ganancia de lazo abierto infinita en dicha frecuencia [Lopez de Heredia *et al.* 2006].

$$G(s) = \frac{n_2 s^2 + n_1 s + n_0}{s^2 + \omega_n^2} \quad (4.29)$$

Es importante notar que en esta configuración, a diferencia de la tradicional basada en la transformación $dq0$ [Sato *et al.* 1998], [Kim *et al.* 2013], no es necesario el uso de un *PLL*, ya que la ley de control está diseñada en el marco de referencia natural (tres señales sinusoidales *abc*). Lo cual es posible a partir del modelo del *VSC* descrito en la sección 2.4 del capítulo 2, ya que se crea a partir de variables sinusoidales. Además, se requieren dos controles más, con el fin de controlar el cambio de potencia activa y reactiva. Para estos controles, se utiliza un

controlador *PI* (proporcional + integral) tradicional. La Figura 4.24 muestra el diagrama de bloques para la referencia de potencia activa y reactiva, respectivamente.

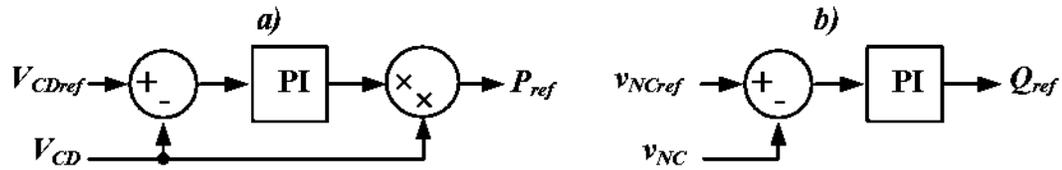


Figura 4.24 Diagramas de bloques de control. a) Potencia Activa; b) Potencia Reactiva.

Las entradas de potencias activa P_{ref} y reactiva Q_{ref} mostradas en la Figura 4.21 son generadas por las salidas de los controladores *PI* de la Figura 4.24. El control del voltaje del bus de CD proporciona la potencia activa y el control del voltaje *RMS* presente en el *NC* genera la potencia reactiva.

4.4.2.2 Consideración de un Sistema Desbalanceado

Con el fin de considerar las condiciones desbalanceadas en el sistema, todos los sensores tienen que ser utilizados (3 de voltaje y 3 de corriente). Esto significa que las consideraciones de la Ecuación (4.27), que permiten controlar el sistema con sólo 4 sensores (2 para corrientes y 2 para voltajes) no son válidas en funcionamiento de un sistema desbalanceado. Para desarrollar el control, se considera una condición de amplitud desbalanceada. Entonces, sin la consideración de que la tercera fase depende de las otras dos, las corrientes de referencia son:

$$i_a = \frac{(v_c + v_a)P - (\sqrt{3}Qv_b) + [(v_a - v_b)v_b - (v_c - v_a)v_c]j_c}{(v_a(v_c - v_a)) - (v_b(v_b - v_c))} \quad (4.30a)$$

$$i_b = \frac{(v_c + v_b)P + (\sqrt{3}QV_a) + [(v_b - v_a)v_a + (v_b - v_c)v_c]j_c}{(v_a(v_c - v_a)) - (v_b(v_b - v_c))} \quad (4.30b)$$

En la ley de control propuesta para una condición de desbalance de fases, las ecuaciones (4.30a) y (4.30b) se implementan como las referencias de corriente.

4.4.2 Caso de Estudio 4: Compensación de Disturbios en una *MI* mediante un *DSTATCOM*.

A continuación, el control resonante propuesto es aplicado para analizar el funcionamiento del sistema de prueba de la Figura 4.25. Contiene los siguientes elementos: i) Un bus infinito

llamado "sistema de CA", considerado como una fuente ideal de voltaje (magnitud, ángulo de fase y frecuencia constantes), ii) un transformador estrella-delta de 4kVA para permitir la conexión del bus infinito al *NC*; iii) la conexión del *DSTATCOM* a la red eléctrica, que se realiza a través de un transformador delta-estrella de 3kVA y un filtro RL; iv) una *MI* de 3kVA de potencia, que se conecta al *NC* por medio de un transformador estrella-estrella de 4kVA. Todos los transformadores tienen una relación 1:1. La Figura 4.25 muestra el sistema de energía eólica, con una potencia de 3kVA y un voltaje de 120V.

Dadas las características del controlador resonante, cuyo comportamiento se basa principalmente en un condensador, sólo se requiere el diseño de un filtro *RL* para la conexión del *DSTATCOM* al sistema.

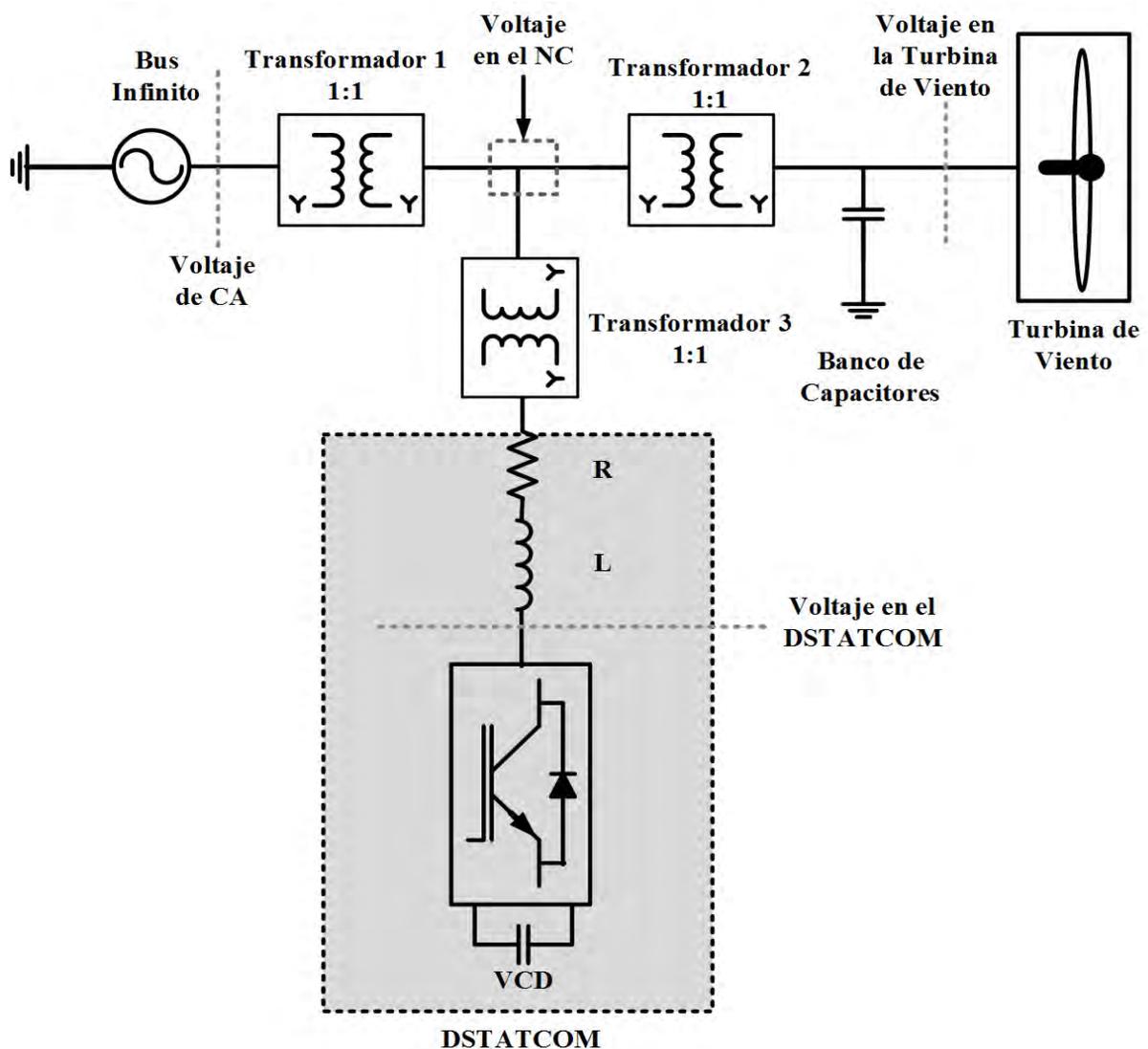


Figura 4.25 Representación del sistema de Energía Eólica

Los cálculos de los parámetros del *DSTATCOM* se describen en [Yazdani e Iravani, 2010], los cuales se derivan de la potencia activa presente en el *NC*. Los valores del filtro *RL* y la capacitancia se obtienen de la potencia y el voltaje base del *NC*, a partir de las Ecuaciones (4.20) a (4.25). Entonces, la corriente base es:

$$i_b = \frac{2}{3} \left(\frac{3kVA}{120V} \right) = 16.6667A$$

La impedancia base total del sistema se calcula de la siguiente forma,

$$Z_b = \left(\frac{120V}{16.6667A} \right) = 7.2\Omega$$

La inductancia del filtro *RL* se obtiene usando únicamente el 15% de la impedancia base total del sistema, es decir,

$$Z = (0.15)(7.2\Omega) = 1.08\Omega$$

Entonces, la inductancia es calculada a partir de *Z* esto es:

$$L = \frac{1.08\Omega}{2\pi(60Hz)} = \frac{1.08\Omega}{377} = 2.865mH$$

Finalmente, el valor de *R* en este caso de estudio se utiliza un valor de resistencia de 0.5Ω .

A continuación se analiza el efecto de la variación aleatoria en la velocidad del viento. Para lo cual, en la Figura 4.26, se lleva a cabo una simulación de 2s y se considera una velocidad del viento aleatoria, cuyas fluctuaciones varían dentro de un rango de $7m/s$ a $20m/s$.

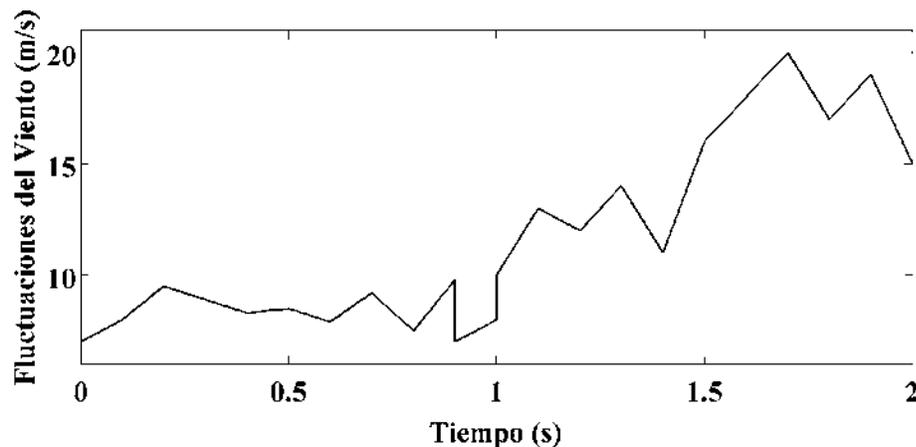


Figura 4.26 Representación de las Fluctuaciones de la Velocidad del Viento.

Teniendo en cuenta los últimos valores para los elementos L y R , las ganancias para los controladores se calculan considerando un tiempo de respuesta de 0.5ms para el control de potencia activa (PI_{activa}) y el control de potencia reactiva ($PI_{reactiva}$).

Tabla 4.2 Parámetros de control

PI_{activa}	$PI_{reactiva}$	<i>Resonante</i>
$K_p = 2.8$	$K_p = 26.85$	$\eta_0 = 2.522e4$
$K_i = 714.28$	$K_i = 435.6$	$\eta_1 = 49.74$
		$\eta_2 = 0.4974$
		$\omega_n = 60Hz$
		$\hat{R} = 0.494W$
		$\hat{L} = 2.578mH$

Para calcular las ganancias del corrector resonante, se utiliza el enfoque de asignación de polos, considerando una frecuencia natural igual a $\omega_n=60Hz$. La Tabla 4.2 muestra los parámetros del controlador utilizados. Es importante notar que, los valores de \hat{R} y \hat{L} utilizados en el control del *DSTATCOM* (Figura 4.23) tienen una diferencia del 10% con respecto a los valores de R y L calculados, a fin de tener parámetros con un margen de error y compensar las pérdidas técnicas (resistencias parásitas en el cable) en el sistema.

4.4.3 Resultados de Simulación del sistema en coordenadas *abc*

Para corroborar las características dinámicas del control propuesto para el funcionamiento del *DSTATCOM*, se realizó una simulación del sistema descrito en la Figura 4.25 en la plataforma de Matlab® y Simulink®. Es importante señalar que se efectuó un proceso de discretización; esto significa que los valores del controlador proporcionados en la Tabla 4.2 se han transformado a un sistema discreto, considerando un tiempo de muestreo de 0.015ms.

La Figura 4.27 muestra el voltaje del bus de CD. Observe de la Figura 4.27a que a pesar de las fluctuaciones del viento, el voltaje es prácticamente constante. Además, para comprobar la eficiencia del control propuesto, diferentes eventos ocurren en la simulación del sistema de energía eólica, manteniéndose siempre el voltaje del bus de CD constante. En la Figura 4.27b se muestra el acercamiento del voltaje del bus de CD. El primer evento es una depresión de voltaje del 15% en el *NC*, es decir, la magnitud del voltaje en el *NC* disminuye en un 15%, con

una duración de 0.2s, esto ocurre en un tiempo, desde 0.5s a 0.7s. El próximo evento se produce en el tiempo igual a un 1s, cuando el *DSTATCOM* hace un intercambio de potencia reactiva en el *NC*. El tercer evento es una elevación del voltaje del 15% en el *NC*, con una duración de 0.2s, ocurriendo en el tiempo, desde 1.5s a 1.7s. Como resultado de ello, se determina que la ley de control propuesta es capaz de compensar y mantener el bus de CD prácticamente constante en cada uno de los eventos que ocurrieron en el sistema de energía eólica.

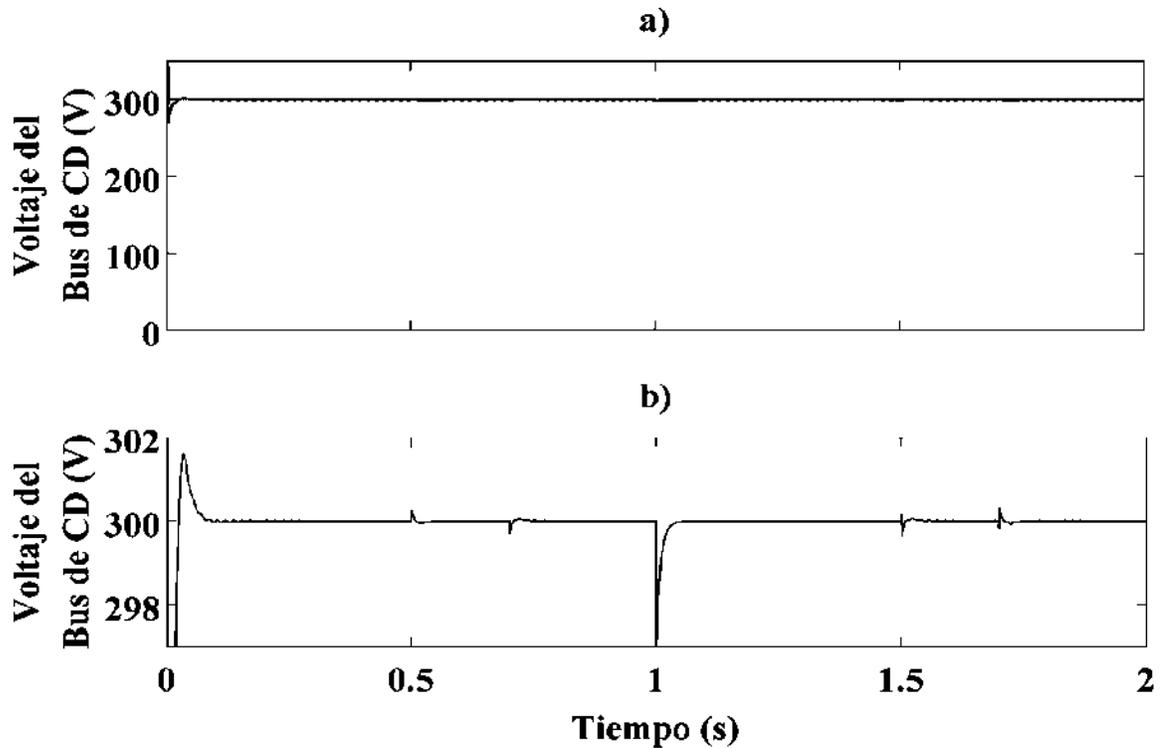


Figura 4.27 Retroalimentación del Voltaje en el Capacitor aplicando la Variación del Viento de la Figura 4.26. a) Voltaje en el Bus de CD; b) Acercamiento del Voltaje en el Bus de CD.

Para demostrar la funcionalidad de la ley de control propuesta, la Figura 4.28 muestra el comportamiento de algunas variables eléctricas en el *NC* sin la interconexión del *DSTATCOM* en el sistema de energía eólica. En la Figura 4.28a se observa el voltaje en el *NC*; las Figuras 4.28b y 4.28c exponen el acercamiento de una depresión en la magnitud del voltaje en el *NC* del 15%, y una elevación del voltaje del 15%, respectivamente, cada uno con una duración de 0.2s. La Figura 4.28d contiene la forma de onda de corriente en el *NC* sin el *DSTATCOM*. Las Figuras 4.28e, 4.28f y 4.28g muestran un acercamiento en el sistema de energía eólico de la corriente en el *NC* en presencia de una depresión de voltaje, cambio de potencia reactiva y una elevación del voltaje, respectivamente. La Figura 4.28h muestra la potencia activa y reactiva

demandada por el sistema de energía eólica.

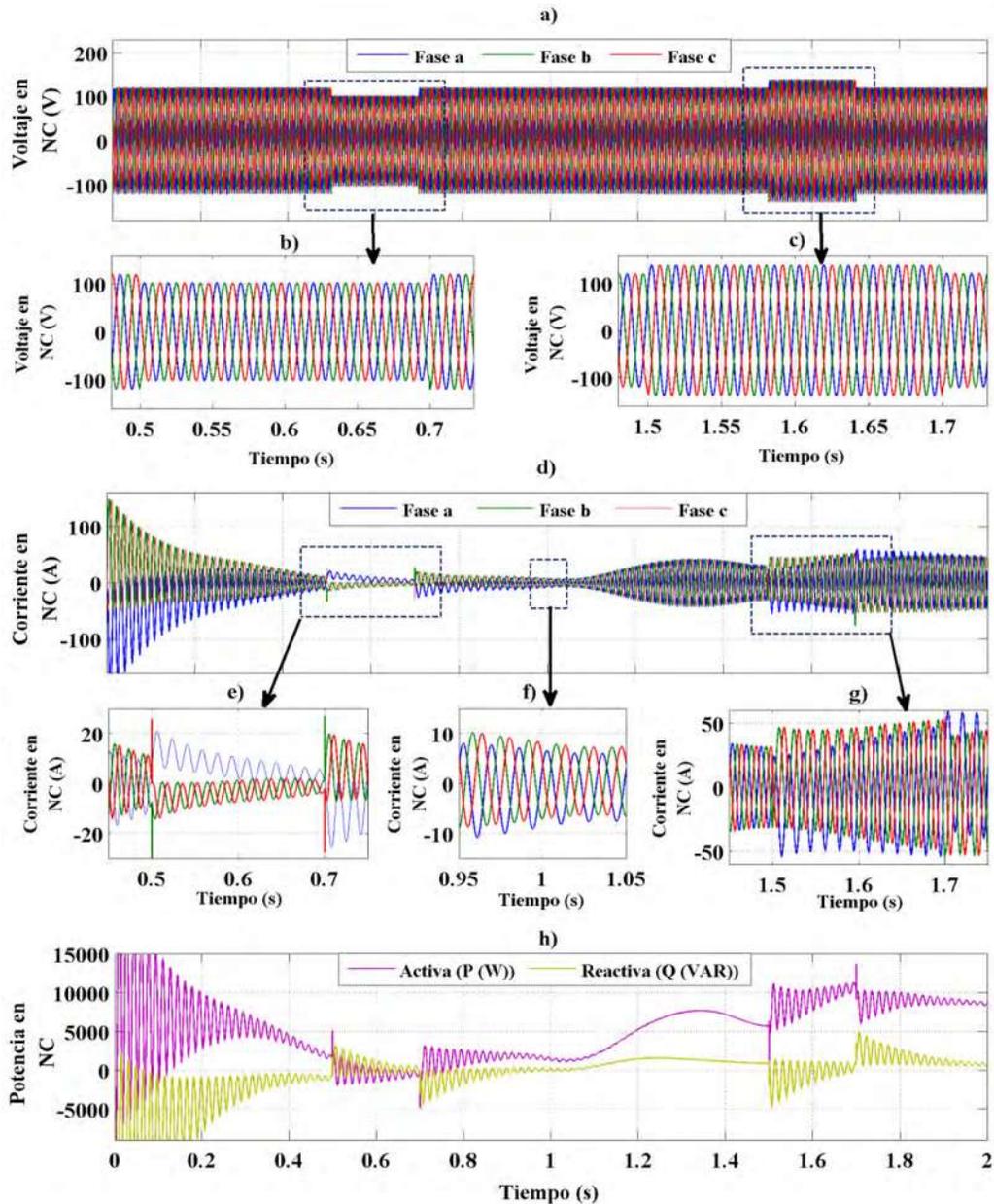


Figura 4.28 Variables Eléctricas en el NC sin la interconexión del *DSTATCOM* en el Sistema de Energía Eólica; a) Voltaje; b) Acercamiento del hueco de Voltaje; c) Acercamiento de la Elevación del Voltaje; d) Corriente; e) Acercamiento de la corriente en presencia de una depresión de Voltaje; f) comportamiento de la corriente al cambio de potencia reactiva; g) Acercamiento de la corriente en presencia de la elevación de Voltaje; h) Potencia Activa y Reactiva.

La Figura 4.29 muestra el comportamiento de las variables eléctricas seleccionadas en el NC con la conexión del *DSTATCOM* en el sistema de energía eólica. La Figura 4.29a muestra el voltaje en el NC, donde es posible ver que en presencia de depresiones de voltaje (Figura 4.29b)

y elevaciones de voltaje (Figura 4.29c) es posible la regulación de voltaje en el *NC*. La Figura 4.29d muestra la corriente en el *NC*.

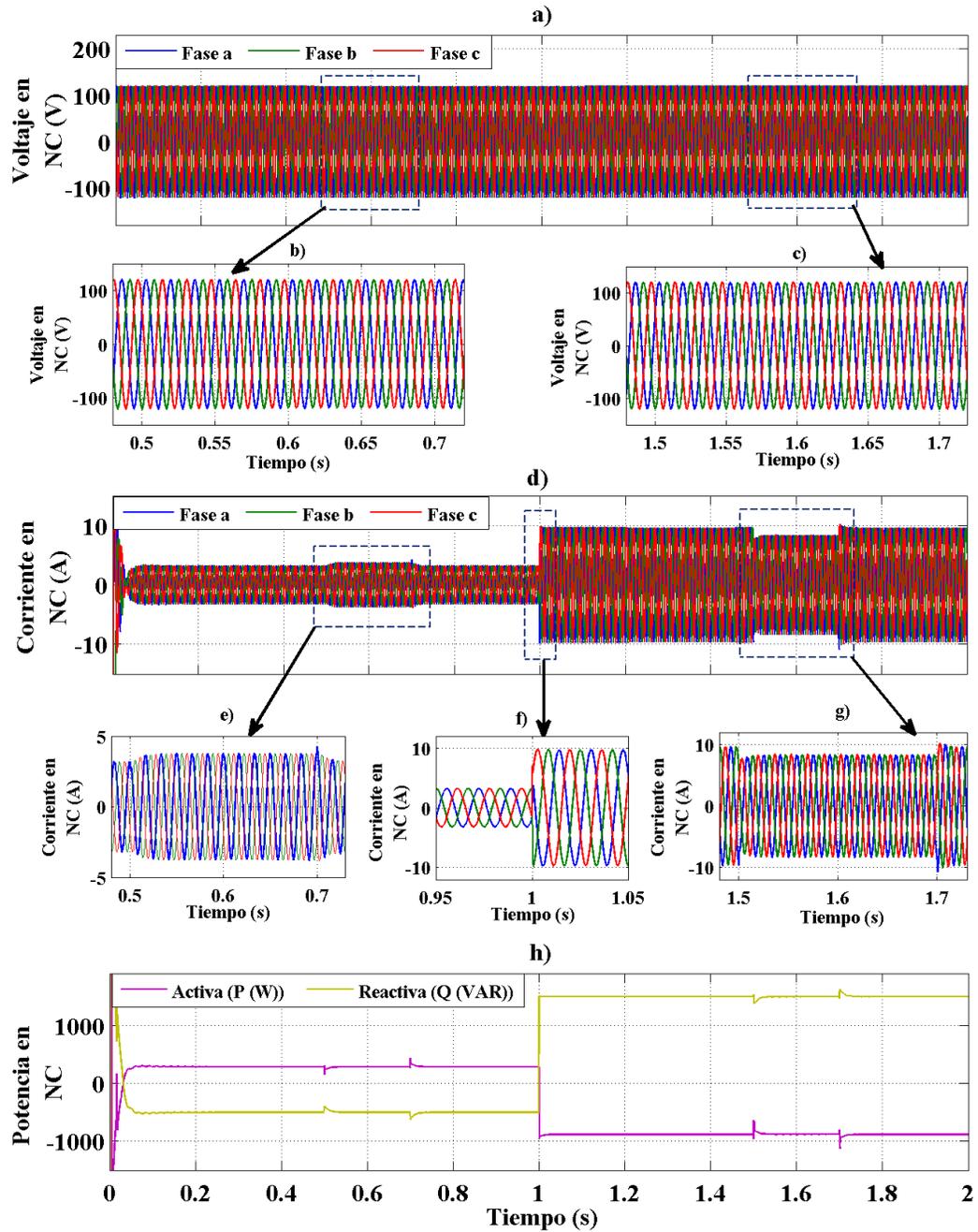


Figura 4.29 Variables Eléctricas en el *NC* con la interconexión del *DSTATCOM* en el Sistema de Energía Eólica; a) Voltaje; b) Acercamiento del hueco de Voltaje; c) Acercamiento de la Elevación del Voltaje; d) Corriente; e) Acercamiento de la corriente en presencia de una depresión de Voltaje; f) comportamiento de la corriente al cambio de potencia reactiva; g) Acercamiento de la corriente en presencia de la elevación de Voltaje; h) Potencia Activa y Reactiva.

Tenga en cuenta que, la magnitud de la corriente aumenta o disminuye en presencia de variaciones de voltaje (depresiones (Figura 4.29e) y elevaciones (Figura 4.29g de voltaje). En la Figura 4.29f se observa como la fase de la corriente cambia para satisfacer la potencia reactiva demandada por el sistema de energía eólica. Las potencias activa y reactiva son los parámetros más importantes a considerar, debido a que el principal objetivo del *DSTATCOM* es generar o absorber potencia reactiva en el *NC* para, en este caso, mantener el funcionamiento correcto de la *MI*. Entonces, la Figura 4.29h muestra el intercambio de potencia entre la red de CA y el *DSTATCOM*. La Figura 4.29 muestra que el voltaje y el perfil de corriente del sistema de energía eólica se mantienen prácticamente constantes en presencia de las fluctuaciones del viento.

De los resultados mostrados en la Figura 4.29, se puede concluir que la ley de control propuesta es viable y eficiente. El *DSTATCOM* inyecta o absorbe la potencia reactiva necesaria para compensar las perturbaciones mostradas en la Figura 4.28 producidas por *MI* en el *NC*.

4.4.4 Implementación del Control Resonante Usando Opal-RT®

El rendimiento dinámico del control resonante propuesto es aplicado al *DSTATCOM* en el sistema de prueba de la Figura 4.25. En la Figura 4.30 se muestra el diagrama de flujo que representa el sistema de energía eólica. El prototipo experimental consiste en: **i)** Una fuente de voltaje de CA de 170Vrms; **ii)** Una *MI* de 3kVA de potencia y un voltaje de 170Vrms, (los cuales se toman como parámetros base del sistema); **iii)** Un VSC con una potencia de 3kVA y un voltaje de 170Vrms para representar al *DSTATCOM*; y **iv)** Un simulador de tiempo real (Opal-RT®) para implementar el control de la ley de control propuesta y analizar las variables eléctricas. Para verificar que el control resonante es capaz de mantener constante el voltaje en el *NC* dentro de un rango de variación muy estrecho para cualquier cambio en la operación de la *MI* debido a las fluctuaciones del mismo, se aplican dos valores diferentes de torque mecánico en la *MI*, las cuales son de 3.06Nm y 3.568Nm, respectivamente. Las variaciones de par mecánico ejemplifican el comportamiento de la *MI* en presencia de las fluctuaciones del viento a dos velocidades diferentes.

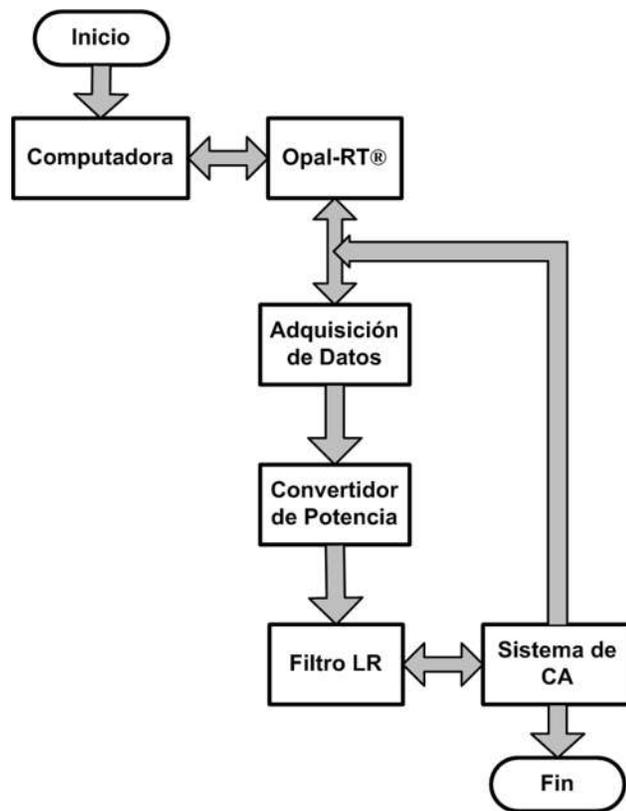


Figura 4.30 Diagrama de flujo del sistema de energía eólica.

La Figura 4.31a contiene el voltaje del bus de CD experimental. La Figura 4.31b muestra que el bus de voltaje de CD se restablece de manera eficiente en presencia de las variaciones del par mecánico, siguiendo de cerca la referencia establecida del voltaje del bus de CD.

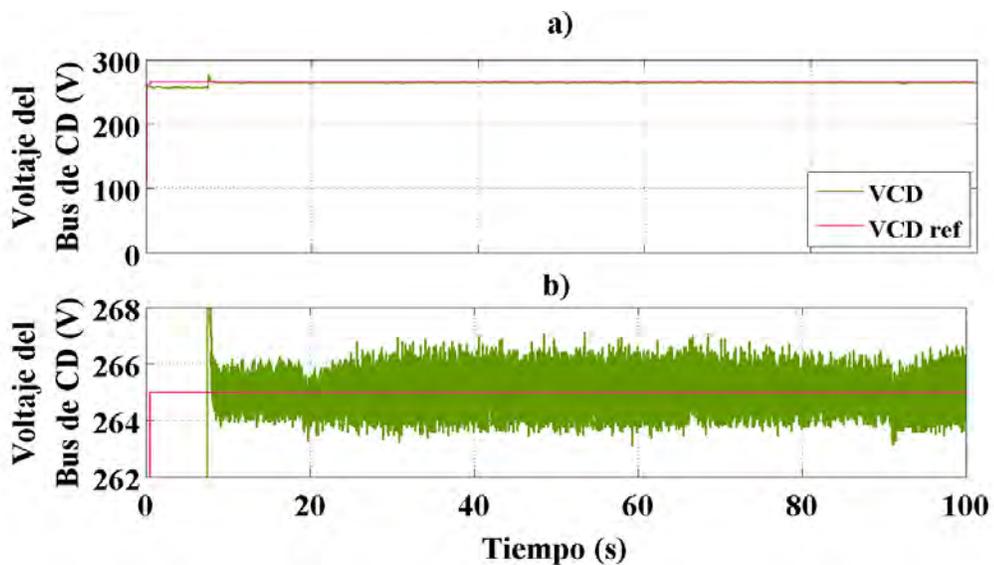


Figura 4.31 Retroalimentación experimental del voltaje en el capacitor. a) Voltaje del bus de CD; b) Acercamiento del voltaje del bus de CD.

La Figura 4.30 muestra las variables eléctricas experimentales en el *NC* sin la conexión del *DSTATCOM* en el sistema de energía eólica. En la Figura 4.32a se observa el voltaje en el *NC*; las Figuras 4.32b y 4.32c muestran un acercamiento del mismo voltaje; la Figura 4.32d muestra la corriente en el *NC*. En las Figuras 4.32e y 4.32f se tiene un acercamiento de dicha corriente; la corriente transitoria es debida a cambios en la velocidad del par mecánico. La Figura 4.32g demuestra que no hay inyección o absorción de potencia reactiva en el *NC* ya que el *DSTATCOM* no está conectado en el sistema de energía eólica.

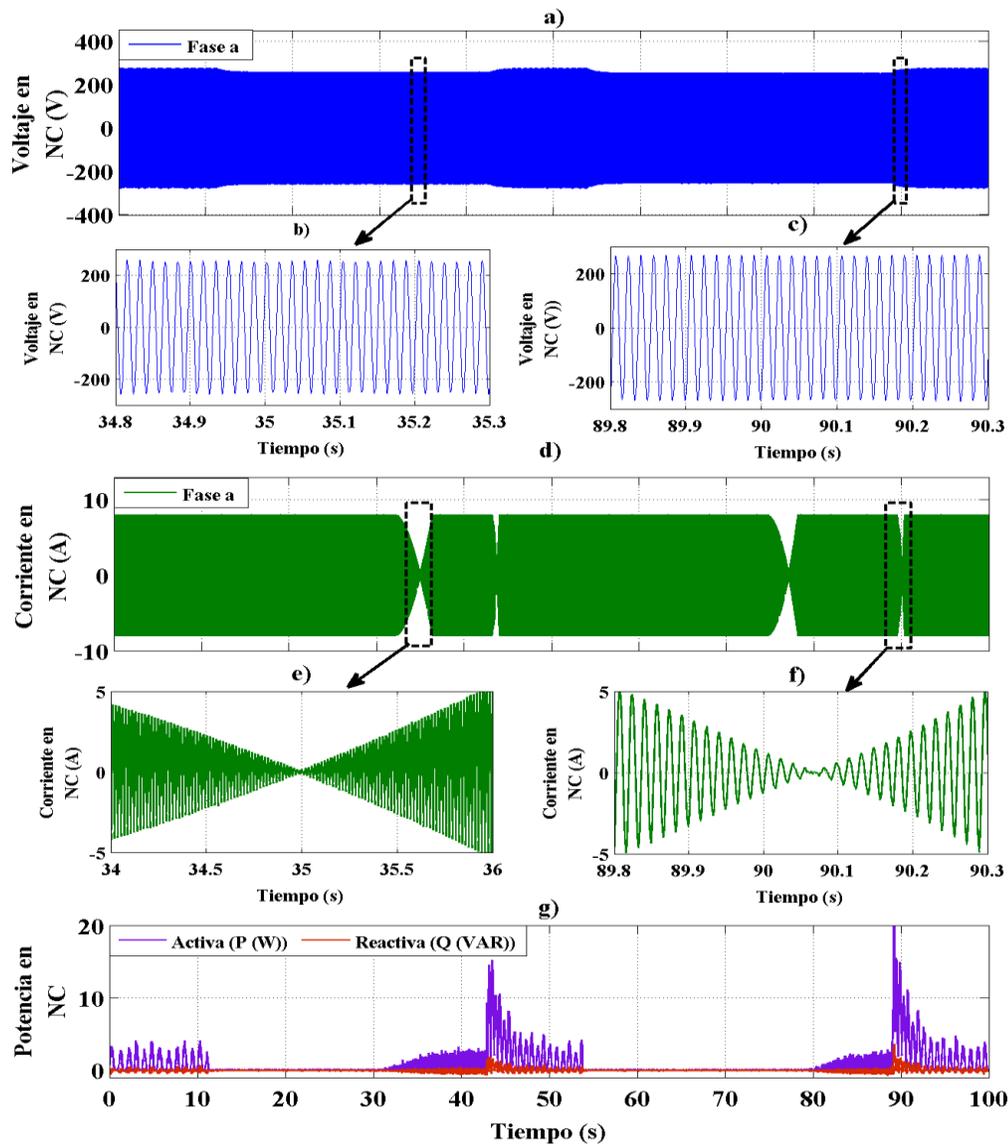


Figura 4.32 Variables Eléctricas en el *NC* sin la conexión del *DSTATCOM* en el sistema de energía eólica; a) Voltaje; b) Acercamiento del Voltaje con un par mecánico de 3.06Nm; c) Acercamiento del Voltaje con un par mecánico de 3.58Nm; d) Corriente; e) Acercamiento de la corriente con un par mecánico de 3.06Nm; f) Acercamiento de la corriente con un par mecánico de 3.58Nm; g) Potencia activa y reactiva.

La Figura 4.33a presenta un voltaje constante en el *NC*. Las Figuras 4.33b y 4.33c muestran un acercamiento del voltaje en el *NC*. En la Figura 4.33d se muestra la forma de onda de corriente en el *NC*, cuya amplitud es casi constante a pesar de los cambios de velocidad en el par mecánico del generador síncrono de las Figuras 4.33e y 4.33f. La Figura 4.33g muestra la compensación de la potencia activa y reactiva inyectada por el *DSTATCOM* para mantener constante el flujo de corriente en el *NC*.

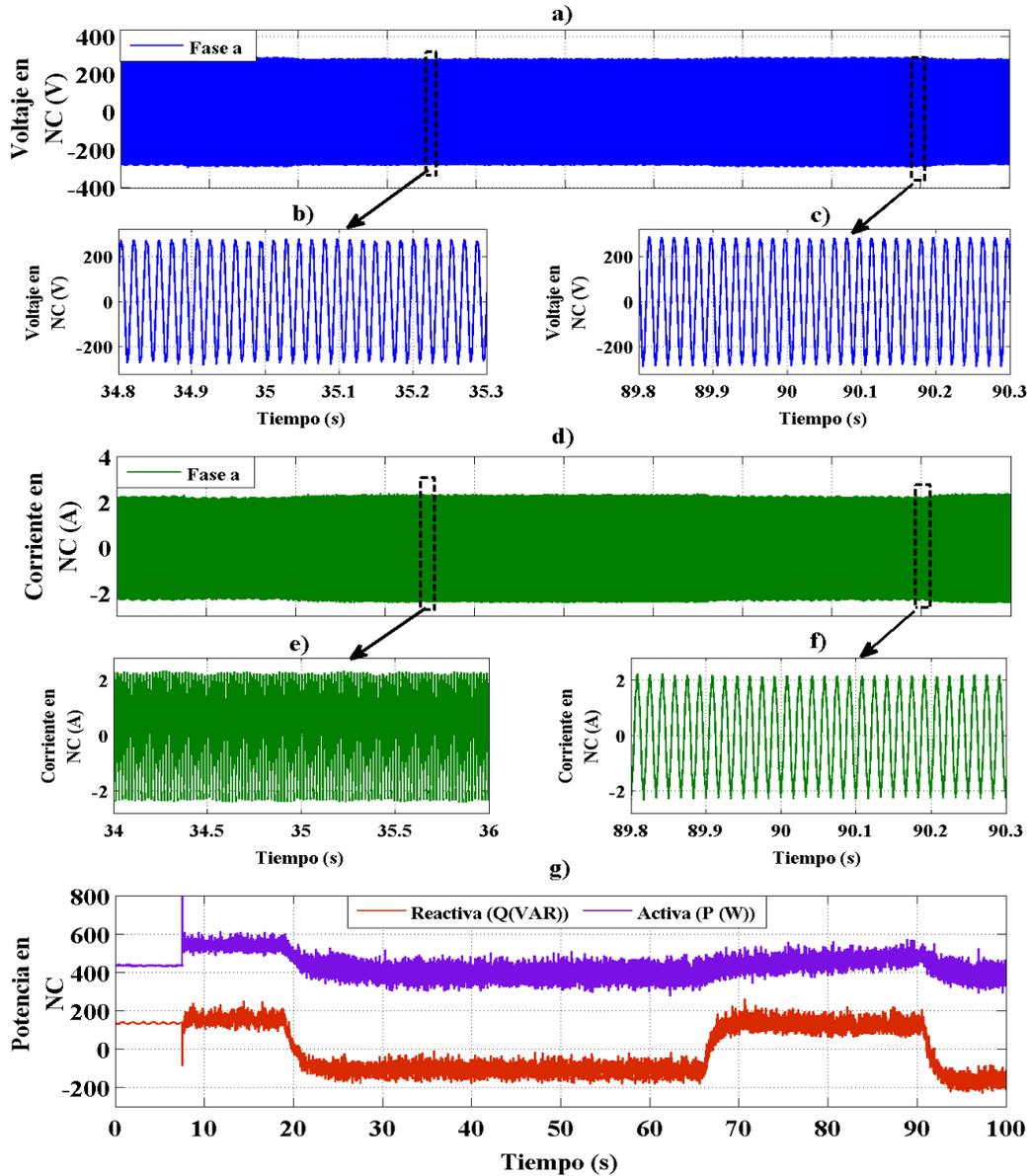


Figura 4.33 Variables Eléctricas en el *NC* con la conexión del *DSTATCOM* en el sistema de energía eólica; a) Voltaje; b) Acercamiento del Voltaje con un par mecánico de $3.06Nm$; c) Acercamiento del Voltaje con un par mecánico de $3.58Nm$; d) Corriente; e) Acercamiento de la corriente con un par mecánico de $3.06Nm$; f) Acercamiento de la corriente con un par mecánico de $3.58Nm$; g) Potencia activa y reactiva.

En la Figura 4.34 se muestra el prototipo de laboratorio implementado para efectuar el caso de estudio reportado en esta sección. El dispositivo experimental del funcionamiento dinámico del sistema de energía eólica se realizó en el simulador en tiempo real Opal-RT®.

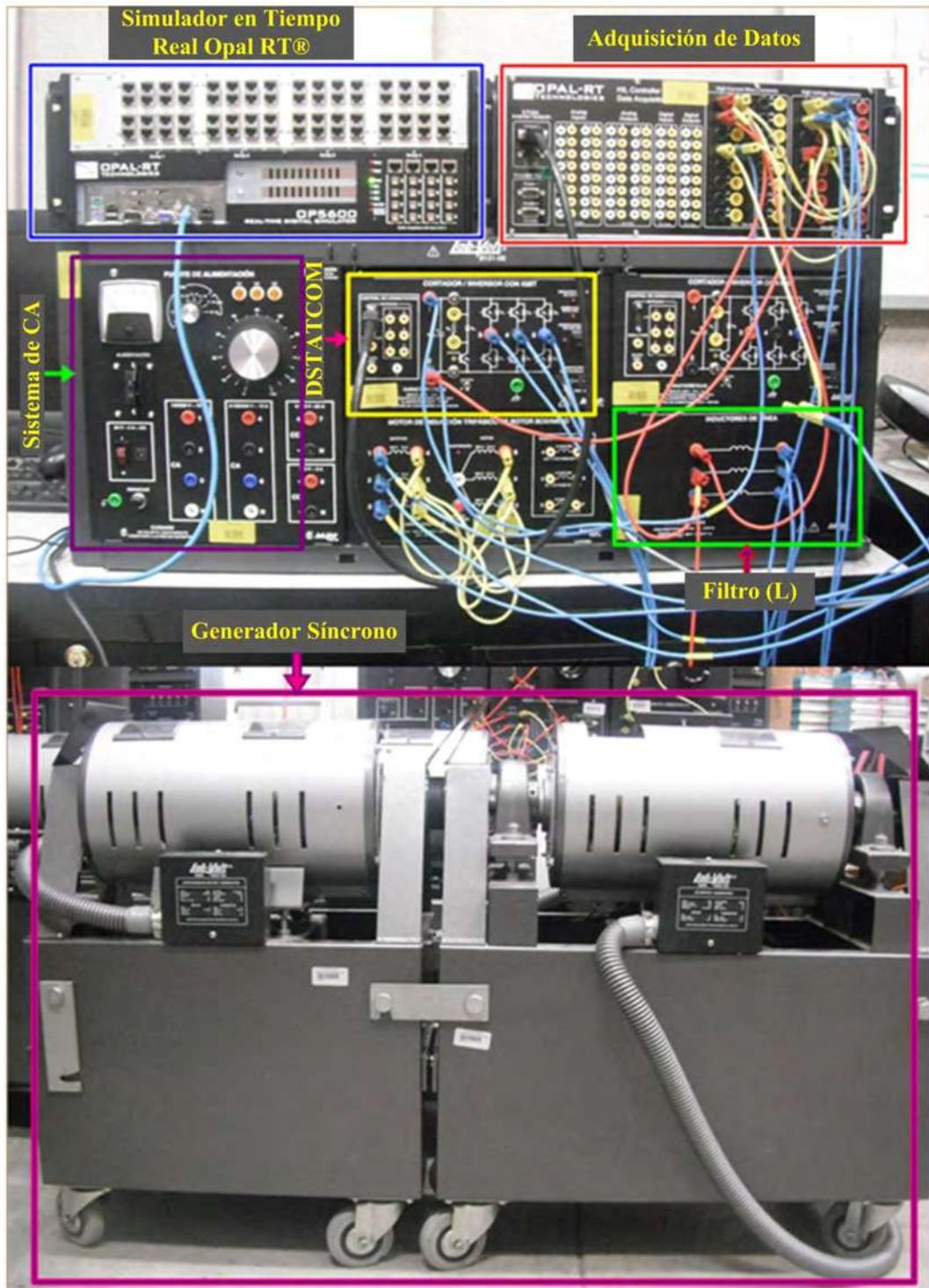


Figura 4.34 Prototipo Experimental del sistema de energía Eólica.

4.4.5 Conclusiones

Se ha mostrado el modelado y control de un *DVR* en una red de distribución, capaz de generar el voltaje necesario para la compensación del *NC* en presencia de depresiones de voltaje y sobrevoltajes, además de la corrección del factor de potencia en cargas sensibles conectadas a la red.

Los resultados de la simulación en Matlab®/Simulink® muestran que el control utilizado en la estructura del *DVR* puede compensar eficazmente en el *NC* las variaciones del voltaje producidas manualmente en el bus infinito, es decir, depresiones de voltaje dentro de un rango de $0.1pu$ a $0.9pu$ y sobrevoltajes con una amplitud de $1.1pu$ a $1.9pu$.

También, se ha mostrado que la estructura del control es capaz de corregir el ángulo de la corriente para mantenerse en fase con el voltaje, con lo que se logra que el factor de potencia en la carga sea unitario. Es necesario especificar que este último hecho solo es posible cuando se generan depresiones de voltaje en un rango de $0.1pu$ a $0.9pu$ y sobrevoltajes en un rango de $1.1pu$ a $1.5pu$. Se ha observado que cuando ocurren sobrevoltajes mayores a $1.5pu$, la corriente se defasa del voltaje provocando que el factor de potencia disminuya hasta alcanzar un valor de 0.77 para una elevación de $1.9pu$.

Se ha mostrado el modelado y análisis de un *DSTATCOM* para la compensación de potencia reactiva en el sistema con la integración de una *MI* para emular la conexión de una *MI* en el *NC*.

Con el esquema de control descrito en esta investigación, se ha mostrado que la *MI* puede trabajar correctamente al aplicarle valores aleatorios en el torque que representan las fluctuaciones del viento en el rango de $7m/s$ a $20m/s$. Es decir, su funcionamiento es eficaz y útil para cualquier velocidad del viento dentro de este rango, ya que el *VSC* puede compensar los disturbios generados por la *MI* através de absorber o inyectar potencia reactiva en el *NC*.

También, en esta sección se ha propuesto y descrito a detalle el modelado y análisis del control del *DSTATCOM* mediante un controlador resonante, lo que ha permitido operar el *DSTATCOM* en el marco de referencia *abc* (frecuencia natural) y también eliminar los

transitorios de voltaje en un sistema desbalanceado, para la operación del mismo en redes eléctricas con la integración de los sistemas de energía eólica.

Se ha mostrado que la estructura del corrector resonante puede controlar el sistema de energía eólica sin necesidad de un *PLL*. El caso de estudio realizado ha permitido mostrar la compensación efectiva del *DSTATCOM* ante fluctuaciones de la velocidad del viento en un rango de $7m/s$ a $20m/s$, lo que contribuye a la estabilidad del sistema de potencia.

Finalmente, el correcto funcionamiento del controlador resonante ha sido validado a través de simulaciones en la plataforma de Matlab® y Simulink® y por medio de la implementación de un prototipo experimental utilizando el simulador en tiempo real OPAL-RT®.

Capítulo 5. Mitigación del Contenido Armónico Total en un Convertidor back to back AFE.

5.1. Introducción

La estructura de una turbina tipo-3 (*DFIG*, Double Feed Induction Generator) se utiliza en la mayoría de las aplicaciones de velocidad variable en el mercado. Sin embargo, se presenta un futuro prometedor para la estructura de turbina de viento tipo-4 (*PMSG*, Permanent Magnet Synchronous Generator), dadas sus características, que son: instalación y mantenimiento de bajo costo, alta eficiencia y bajo costo de los dispositivos electrónicos, incluso a niveles altos de potencia, debido a que la conexión de la turbina de viento a la red se realiza mediante un convertidor back to back de escala completa.

Los convertidores en paralelo se han utilizado para mejorar la capacidad de potencia, eficiencia y fiabilidad en la calidad de la energía sobre la red. En los últimos años se ha tratado de reducir el costo y la complejidad de un convertidor estándar, a través de la modificación de los convertidores CA/CD. Por ejemplo, el uso de módulos separados de convertidores elevadores CA/CD [Cano *et al.* 2014] o el convertidor *AFE* [Fioretto *et al.* 2011]. La diferencia entre el convertidor convencional back to back y el convertidor *AFE* back to back, es que el convertidor *AFE* es capaz de operar a un factor de potencia aproximadamente unitario o mejorar la compensación de potencia reactiva en la red.

A través de la topología en paralelo del inversor *AFE*, mostrada en la Figura 5.1, es posible obtener las siguientes ventajas [Guzman *et al.* 2013]:

- ◆ Minimizar el tamaño de cada *VSC*, a partir del cual solo se maneja una porción de la potencia nominal del sistema.
- ◆ Disminuir el rizo en la corriente que se inyecta hacia la red, lo cual mejora la calidad del voltaje en el *NC*.
- ◆ Aumentar la frecuencia de conmutación, lo que hace tener filtros pasivos del lado de CA más pequeños, reducir las pérdidas de conmutación y como resultado se obtiene un *THD* mucho menor.

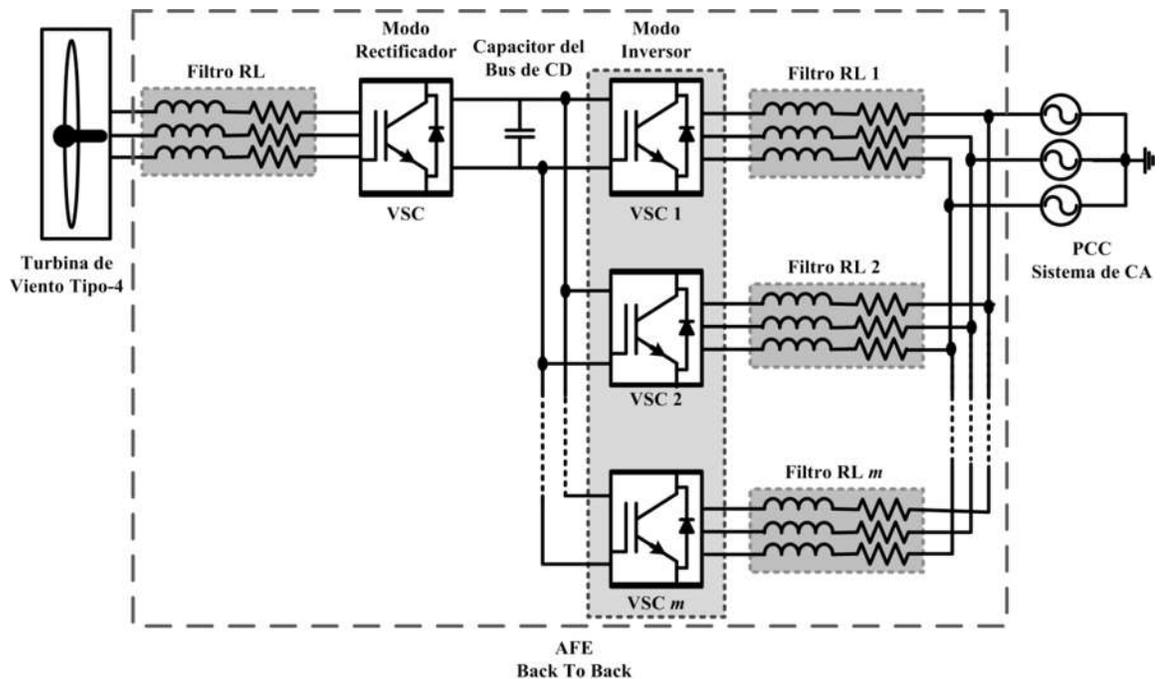


Figura 5.1 Estructura paralela de un inversor AFE.

Los convertidores de potencia back to back se aplican en sistemas de conversión de energía eléctrica, es decir, transfieren energía desde un generador síncrono hacia la red de CA [Campos-Gaona *et al.* 2013].

La estructura del convertidor back to back está compuesto por dos *VSCs*, en donde un *VSC* trabaja como rectificador para controlar el torque del motor y la velocidad de la turbina de viento; el otro *VSC* trabaja como inversor, controlado por una estructura de doble lazo y un bus de CD. Un lazo de voltaje externo regula el bus de CD y un lazo interno de corriente regula las corrientes que alimentan a la red eléctrica [June-Seok *et al.* 2015].

En esta sección, se analiza el control en lazo abierto de una turbina de viento tipo-4 a través de la modificación del convertidor back to back para la mitigación del *THD* en el sistema de CA. La turbina de viento se emula por medio de una *MI*.

5.2. Modelado de la técnica de modulación *SPWM* aplicada al convertidor back to back *AFE*.

Dadas las características de la turbina de viento tipo-4, es necesario trabajar con potencias altas, por lo que se requiere de un convertidor back to back de escala completa. A través de la

topología del convertidor en paralelo back to back *AFE* mostrada en la Figura 5.1 (un número m de inversores conectados en paralelo), se consigue dividir la potencia total del sistema a través de los *VSCs* y, consecuentemente, se transfiere una potencia mayor a la red de CA. Sin embargo, los armónicos generados entre el *VSC* y la *MI* no son constantes, es decir, varían acorde al control del convertidor y la frecuencia de conmutación. Puesto que se pretende reducir el contenido armónico total de un sistema de energía eólica con integración de una *MI* tipo-4, es necesario analizar y calcular individualmente el contenido armónico de cada *VSC* conectado en paralelo.

Para implementar el control de cada *VSC* se utiliza una señal de modulación *SPWM* con un ángulo de desfase diferente en cada inversor trifásico; es decir, el ángulo de la señal portadora correspondiente a cada inversor se modifica, mientras que el ángulo de la señal de modulación se mantiene constante. Posteriormente, se suman las señales de salida (voltaje o corriente) de cada inversor; en este caso se analiza el contenido armónico total de la corriente de salida del arreglo back to back. El espectro armónico de cada señal de salida del *VSC* se analiza a partir de las series de Fourier, las cuales están dadas por:

$$f(t) = C_0 + \sum_{n=1}^{\infty} (C_n \cos(n\omega_0 t + \varphi)) \quad (5.1)$$

donde $C_0 = \frac{1}{2}a_0$, $C_n = \sqrt{a_n^2 + b_n^2}$ y $\varphi = \tan^{-1}\left(\frac{b_n}{a_n}\right)$.

La magnitud de cada armónico es calculado por,

$$a_n = \frac{2}{T} \left(\int_{-T/2}^{T/2} f(t) \cos(n\omega_0 t) d\omega_0 t \right) \quad (5.2a)$$

$$b_n = \frac{2}{T} \left(\int_{-T/2}^{T/2} f(t) \sin(n\omega_0 t) d\omega_0 t \right) \quad (5.2b)$$

Cabe enfatizar que el contenido armónico se reduce al efectuar el cambio de los ángulos de conmutación de cada *VSC* en modo inversor. En este caso de estudio se utilizan 3 *VSCs* en modo inversor en paralelo. Para determinar el correcto ángulo de desfasamiento entre las señales portadoras de cada *VSC* y generar el *THD* más bajo en la corriente total existente en el *NC*, se desarrolla un análisis de contenido armónico con diferentes ángulos de desfasamiento total.

El estudio de la Tabla 5.1 demuestra que se debe dividir el ángulo de $3\pi/2$ entre el número m de inversores colocados en paralelo para obtener un THD menor, es decir, se divide $3\pi/2$ entre 3 inversores conectados en paralelo, como se observa en la Figura 5.1.

$$\theta = \frac{3\pi/2}{m} \quad (5.3)$$

donde m es el número de inversores en paralelo y θ es el ángulo de conmutación al que debe ser desfasado la señal portadora de cada inversor.

Tabla 5.1 THD equivalente a diferentes ángulos de desfase.

Ángulo de Desfasamiento total (θ_T)	Valor de θ para cada inversor			% Distorsión Armónica Total (THD)
	θ_1	θ_2	θ_3	
2π	0	$2\pi/3$	$4\pi/3$	1.07
$7\pi/4$	0	$7\pi/12$	$7\pi/6$	1.69
$3\pi/2$	0	$\pi/2$	π	0.678
$5\pi/4$	0	$5\pi/12$	$5\pi/6$	4.425
π	0	$\pi/3$	$2\pi/3$	3.09
$\pi/2$	0	$\pi/6$	$\pi/3$	7.41
$\pi/3$	0	$\pi/9$	$2\pi/9$	3.66
$\pi/4$	0	$\pi/12$	$\pi/6$	0.886
$\pi/6$	0	$\pi/18$	$\pi/9$	2.337
$\pi/12$	0	$\pi/36$	$\pi/18$	6.68
0	0	0	0	1.83

Para calcular la corriente total de salida del convertidor back to back, se realiza un análisis de mallas individual al circuito equivalente de cada VSC conectado en paralelo, mostrado en la Figura 5.2.

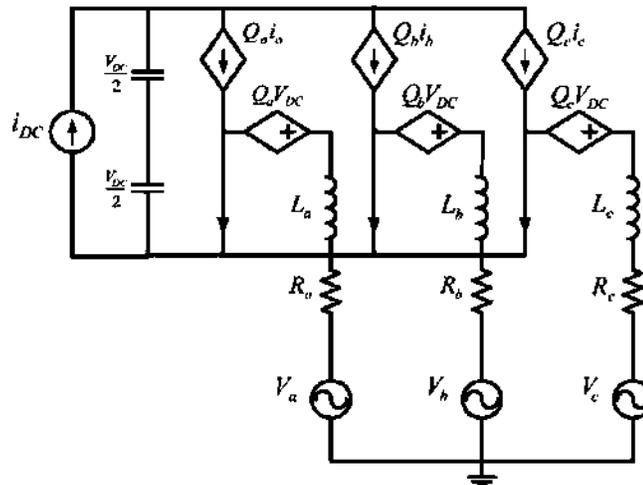


Figura 5.2 Circuito Equivalente de un inversor trifásico

Las ecuaciones resultantes del análisis de mallas que representan al inversor trifásico son:

$$\begin{bmatrix} 2Zi_a & -Zi_b & -Zi_c \\ -Zi_a & 2Zi_b & -Zi_c \\ -Zi_a & -Zi_b & 2Zi_c \end{bmatrix} = \begin{bmatrix} V_{ta} - V_{tb} - V_a + V_b \\ V_{tb} - V_{tc} - V_b + V_c \\ V_{tc} - V_{ta} - V_c + V_a \end{bmatrix} \quad (5.4)$$

Usando la ley de Corrientes de Kirchhoff (*LCK*), donde establece que en un nodo cualquiera, la suma de las corrientes que entran en un nodo es igual a la suma de las corrientes que salen del mismo, es decir,

$$-i_c = i_a + i_b \quad (5.5)$$

Reemplazando la ecuación (5.5) en (5.4) se obtiene la corriente línea-línea,

$$\begin{bmatrix} i_{ab} \\ i_{bc} \\ i_{ca} \end{bmatrix} = \left(\frac{1}{3Z} \right) \begin{bmatrix} V_a - V_b \\ V_b - V_c \\ V_c - V_a \end{bmatrix} - \left(\frac{1}{3Z} \right) \begin{bmatrix} V_{ta} - V_{tb} \\ V_{tb} - V_{tc} \\ V_{tc} - V_{ta} \end{bmatrix} \quad (5.6)$$

donde V_{abc} representa el voltaje en la red de CA, V_{tabc} es el voltaje de salida del inversor y Z la impedancia del filtro de CA.

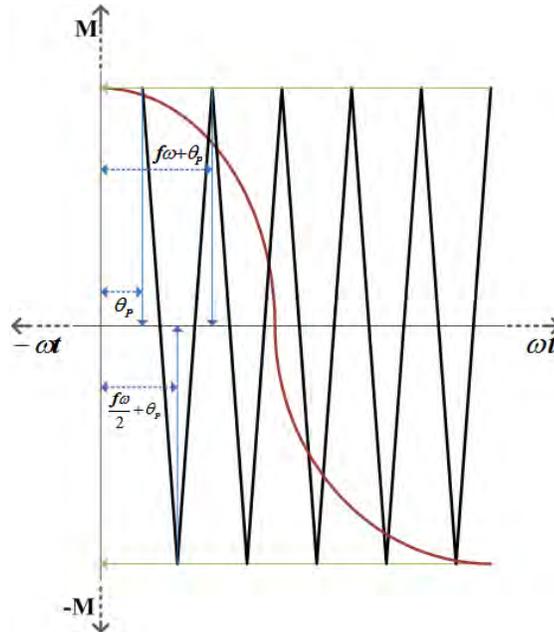


Figura 5.3 Representación de las señales Moduladora (rojo) y Portadora (negro).

El valor de V_{tabc} depende de la señal de modulación propia. Para generar la técnica modulación *SPWM* propia, se utilizan una señal moduladora y una señal portadora, según se muestra en la Figura 5.3; las cuales tienen una frecuencia de modulación de 60Hz y 600Hz , respectivamente. Una frecuencia alta de conmutación generará un bajo contenido armónico.

La señal portadora es triangular, la cual se compone por una pendiente de subida y otra de bajada; por lo tanto, la representación de la misma se realiza mediante la ecuación de la recta y a partir de la Figura 5.3 se describe por las siguientes expresiones,

$$FP_1 = M \left(1 - \left(\frac{4}{f\omega} (\omega t_1 - \theta_P) \right) \right) \quad (5.7a)$$

$$FP_2 = M \left(\left(\frac{4}{f\omega} \left(\omega t_2 - \frac{f\omega}{2} - \theta_P \right) \right) - 1 \right) \quad (5.7b)$$

donde θ_P es el ángulo de desfase de la señal portadora correspondiente a cada inversor, M es la magnitud y $f\omega$ es la frecuencia de conmutación de la señal portadora; ωt_1 es el tiempo en que se forma la pendiente de subida, es decir,

$$\theta_P \leq \omega t_1 \leq \left(\frac{f\omega}{2} + \theta_P \right) \quad (5.8a)$$

ωt_2 el tiempo en que se forma la pendiente de bajada de la señal triangular.

$$\left(\frac{f\omega}{2} + \theta_P \right) \leq \omega t_2 \leq (f\omega + \theta_P) \quad (5.8b)$$

Las señales de modulación en cada inversor trifásico se especifican en función del tiempo que establecen a la señal portadora, esto es:

$$V_{ma1} = N(\cos(\omega t_1)) \quad (5.9a)$$

$$V_{mb1} = N \left(\cos \left(\omega t_1 + \left(\frac{4\pi}{3} \right) \right) \right) \quad (5.9b)$$

$$V_{mc1} = N \left(\cos \left(\omega t_1 + \left(\frac{2\pi}{3} \right) \right) \right) \quad (5.9c)$$

$$V_{ma2} = N(\cos(\omega t_2)) \quad (5.9d)$$

$$V_{mb2} = N \left(\cos \left(\omega t_2 + \left(\frac{4\pi}{3} \right) \right) \right) \quad (5.9e)$$

$$V_{mc2} = N \left(\cos \left(\omega t_2 + \left(\frac{2\pi}{3} \right) \right) \right) \quad (5.9f)$$

donde N es la amplitud de la señal de modulación.

La señal de conmutación *SPWM* se forma por la comparación entre la señal moduladora y la señal portadora, tal que,

$$Q_{a1} = V_{ma1} \leq FP_1 \quad (5.10a)$$

$$Q_{b1} = V_{mb1} \leq FP_1 \quad (5.10b)$$

$$Q_{c1} = V_{mc1} \leq FP_1 \quad (5.10c)$$

$$Q_{a2} = V_{ma2} \leq FP_2 \quad (5.10d)$$

$$Q_{b2} = V_{mb2} \leq FP_2 \quad (5.10e)$$

$$Q_{c2} = V_{mc2} \leq FP_2 \quad (5.10f)$$

El valor de V_{tabc} es generado por el producto del vector correspondiente a la señal de conmutación y el voltaje de CD, es decir,

$$\overline{V_{tabc}} = V_{DC} * \overline{Q_{abc}} \quad (5.11)$$

donde V_{tabc} representa el voltaje de salida del inversor por fase.

El voltaje de red esta dado por,

$$V_{a1} = VG(\cos(\omega t_1)) \quad (5.12a)$$

$$V_{b1} = VG\left(\cos\left(\omega t_1 + \left(\frac{4\pi}{3}\right)\right)\right) \quad (5.12b)$$

$$V_{c1} = VG\left(\cos\left(\omega t_1 + \left(\frac{2\pi}{3}\right)\right)\right) \quad (5.12c)$$

$$V_{a2} = VG(\cos(\omega t_2)) \quad (5.12d)$$

$$V_{b2} = VG\left(\cos\left(\omega t_2 + \left(\frac{4\pi}{3}\right)\right)\right) \quad (5.12e)$$

$$V_{c2} = VG\left(\cos\left(\omega t_2 + \left(\frac{2\pi}{3}\right)\right)\right) \quad (5.12f)$$

donde VG es la magnitud de la red de AC.

La corriente de cada fase del inversor se calcula mediante la siguiente ecuación,

$$\begin{bmatrix} i_{a1} \\ i_{b1} \\ i_{c1} \end{bmatrix} = \left(\frac{1}{3Z}\right) \begin{bmatrix} V_{a1} \\ V_{b1} \\ V_{c1} \end{bmatrix} - \left(\frac{1}{3Z}\right) \begin{bmatrix} V_{ta1} \\ V_{tb1} \\ V_{tc1} \end{bmatrix} \quad (5.13a)$$

$$\begin{bmatrix} i_{a2} \\ i_{b2} \\ i_{c2} \end{bmatrix} = \left(\frac{1}{3Z}\right) \begin{bmatrix} V_{a2} \\ V_{b2} \\ V_{c2} \end{bmatrix} - \left(\frac{1}{3Z}\right) \begin{bmatrix} V_{ta2} \\ V_{tb2} \\ V_{tc2} \end{bmatrix} \quad (5.13b)$$

donde Z representa la impedancia del filtro RL, representado por,

$$Z = R + j\omega L \quad (5.14)$$

Mediante (5.2) y (5.13) se obtiene el *THD*, esto es:

$$a_n = \frac{2}{T} \left[\left(\int_{\theta}^{(f\omega/2)+\theta} (i_{a1} \cos(n\omega t_1)) d\omega t_1 \right) + \left(\int_{(f\omega/2)+\theta}^{f\omega+\theta} (i_{a2} \cos(n\omega t_2)) d\omega t_2 \right) \right] \quad (5.15a)$$

$$b_n = \frac{2}{T} \left[\left(\int_{\theta}^{(f\omega/2)+\theta} (i_{a1} \sin(n\omega t_1)) d\omega t_1 \right) + \left(\int_{(f\omega/2)+\theta}^{f\omega+\theta} (i_{a2} \sin(n\omega t_2)) d\omega t_2 \right) \right] \quad (5.15b)$$

Para obtener el contenido armónico de la corriente de salida del inversor, se calcula la magnitud de los armónicos individuales y se suman, es decir,

$$a_{n1} + a_{n2} + \dots + a_{nm} \quad (5.16a)$$

$$b_{n1} + b_{n2} + \dots + b_{nm} \quad (5.16b)$$

donde m es el número de inversores colocados en paralelo.

Finalmente, el *THD* de corriente se obtiene a partir de,

$$THDi_{out} = \left(\frac{1}{C_{1m}} \right) \sqrt{\sum_{n=2}^{\infty} C_{nm}^2} * 100 \quad (5.17)$$

donde n es el número de armónicos, C_1 es la magnitud del armónico fundamental y C_n es la magnitud del armónico n , la cual se obtiene a través de $C_{nm} = \sqrt{a_{nm}^2 + b_{nm}^2}$.

La corriente total de salida se obtiene a partir de la ecuación (5.18) en base a la suma de las corrientes de salida de los inversores colocados en paralelo, es decir,

$$i_{out} = i_1 + i_2 + \dots + i_m \quad (5.18)$$

Sustituyendo (5.14) y (5.13) en (5.18) se obtiene,

$$i_{out} = \left(\left(\frac{1}{3(R + j\omega_0 L(1))} \right) (V_1 - V_{r1}) \right) + \left(\left(\frac{1}{3(R + j\omega_0 L(2))} \right) (V_2 - V_{r2}) \right) + \dots + \left(\left(\frac{1}{3(R + j\omega_0 L(m))} \right) (V_m - V_{rm}) \right) \quad (5.19)$$

5.3. Resultados: Técnica de Modulación *SPWM* aplicada al Convertidor back to back *AFE*.

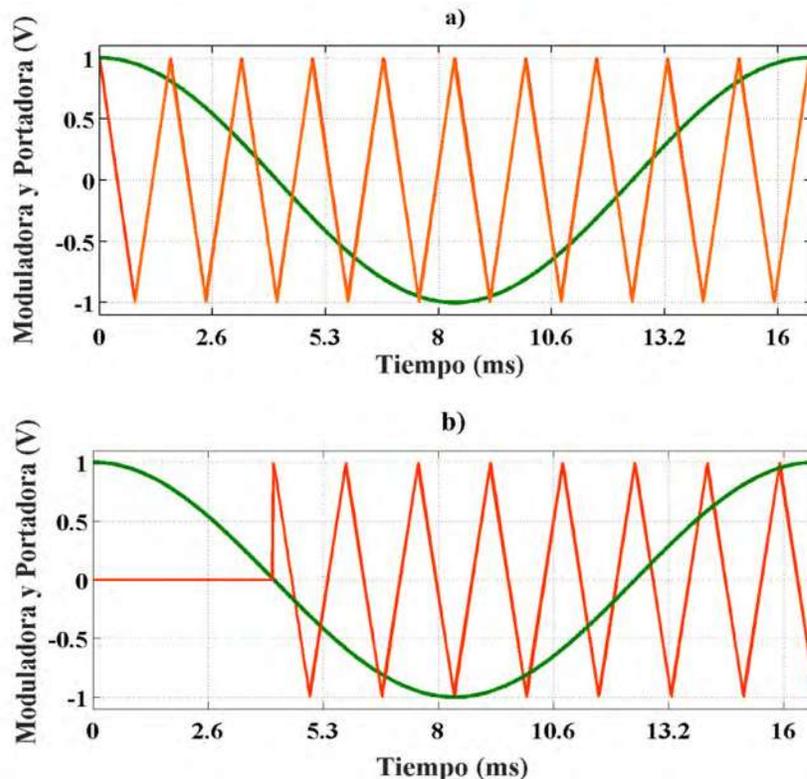
En esta sección se describe el efecto del cambio del ángulo de fase en cada inversor. Observe que los resultados se obtienen a partir del ángulo de desfase de $\pi/2$ entre los 3 inversores colocados en paralelo, ángulo con el que se tiene un menor *THD*. Los parámetros del sistema se especifican en la Tabla 5.2.

Tabla 5.2 Parámetros del sistema con la incorporación del convertidor back to back AFE

V_{DC}	VG	R1=R2	L1=L2=L	THD _{i_{out}}	m	N
1800 V	900 V _{RMS}	.9Ω	3.73 mH	<5%	3	10
fω	f	T	θ ₁	θ ₂	θ ₃	φ
600Hz	60Hz	2π	0	π/2	π	0

Es decir, sin desfase entre las señales portadoras de los inversores colocados en paralelo, el *THD* es de 1.83%, mientras que si se considera, el *THD* es de 0.678%, según se muestra en la Tabla 5.1. Esto representa un *THD* 3 veces menor.

En la Figura 5.4 se muestra el ángulo de desfase de $\pi/2$ entre las señales portadoras los inversores colocados en paralelo.



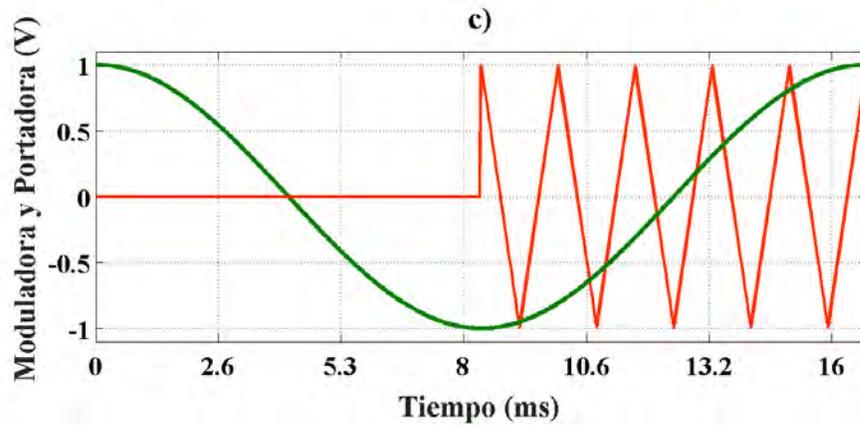
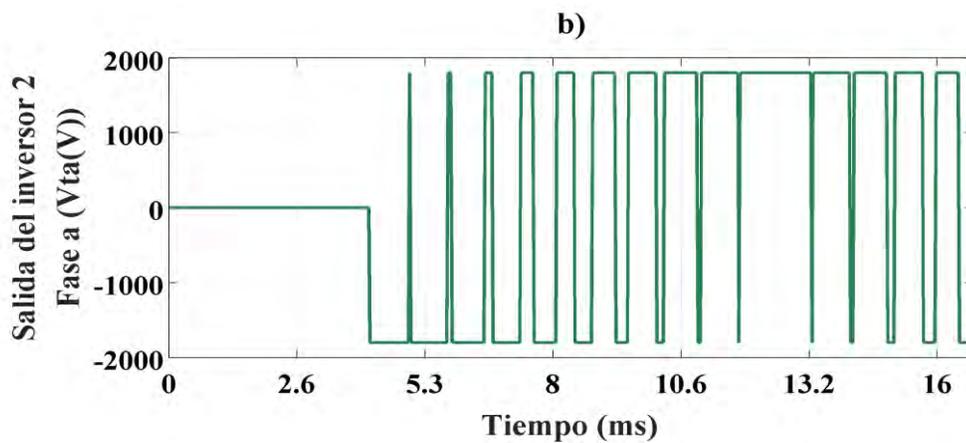
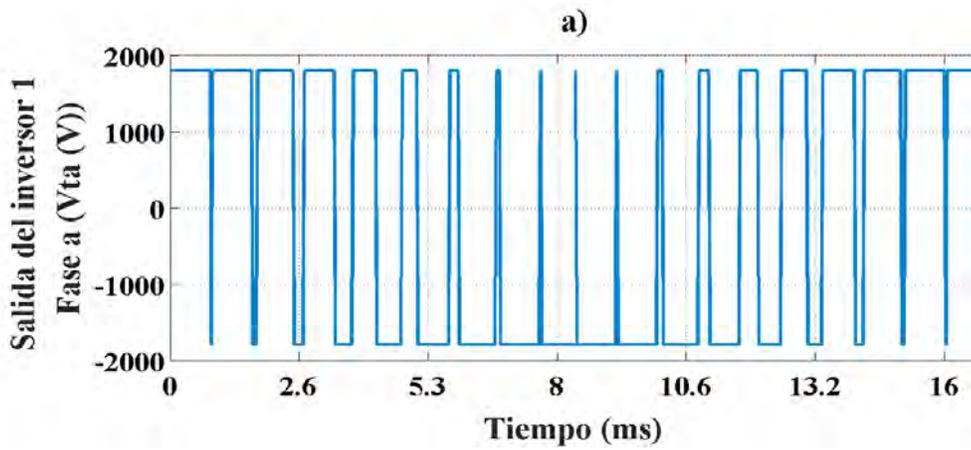


Figura 5.4 Ángulo de desfase entre inversores en paralelo. a) desfase de 0 para inversor 1; b) desfase de $\pi/2$ para inversor 2; c) desfase de π para inversor 3.

En la Figura 5.5 se muestra el voltaje de salida de los inversores con modulación *SPWM* y su respectivo desfase entre señales.



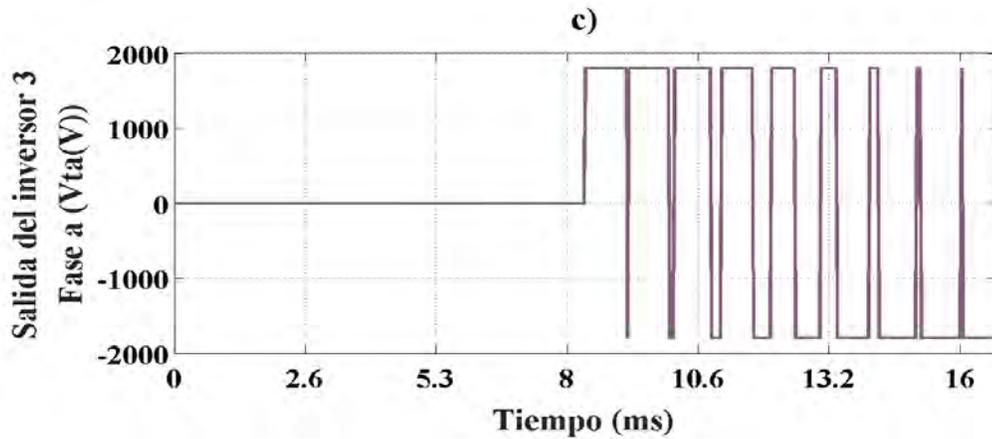


Figura 5.5 Voltaje de Salida SPWM. a) desfaseamiento de 0 para inductor 1; b) desfaseamiento de $\pi/2$ para inductor 2; c) desfaseamiento de π para inductor 3.

La corriente de salida del inductor 1 se muestra en la Figura 5.6, la corriente de salida para los inductores 2 y 3 es de igual magnitud, con su respectivo desfaseamiento.

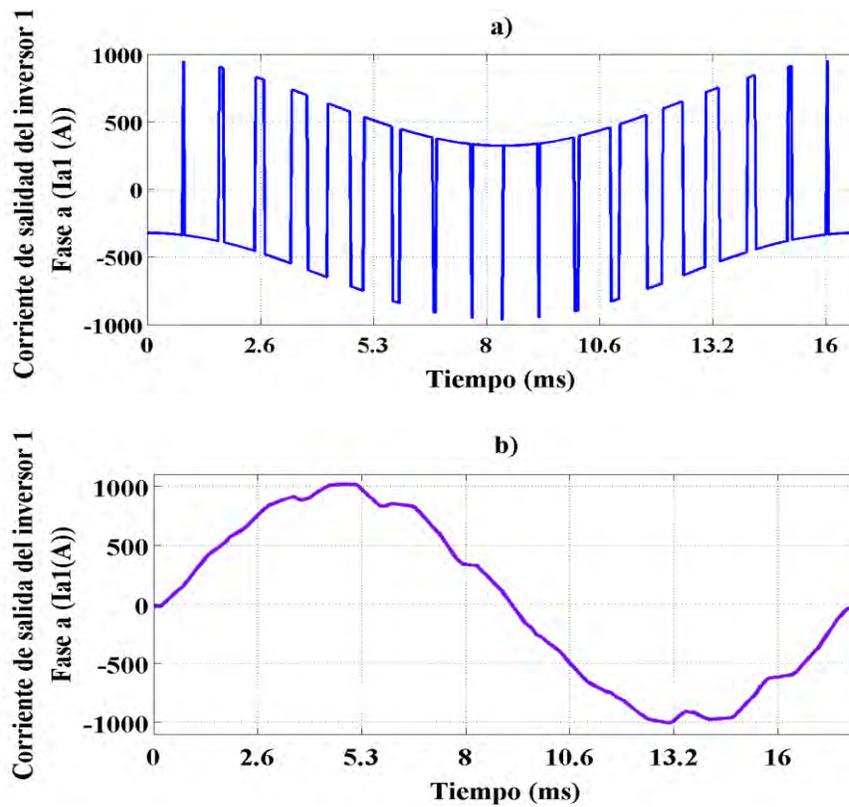


Figura 5.6 Corriente de Salida Inductor 1. a) Señal sin Filtrar; b) Señal Filtrada.

La corriente total (suma de las 3 corrientes correspondientes al total de inversores colocados en paralelo) se muestra en la Figura 5.7.

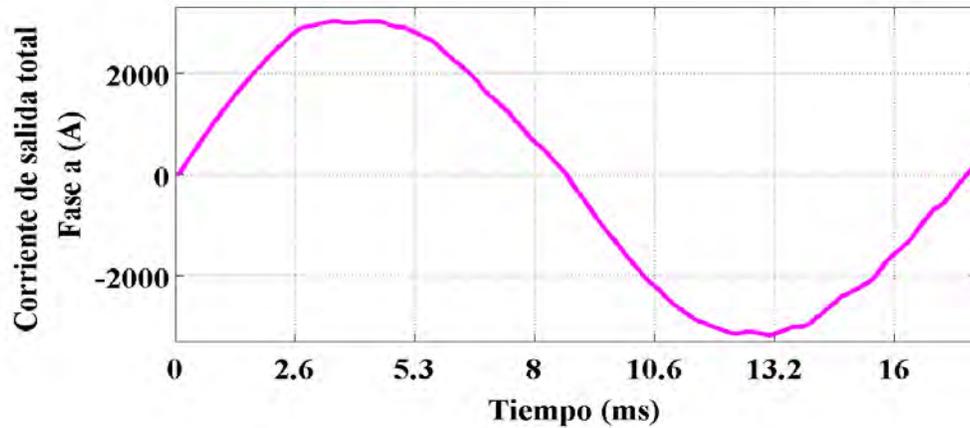


Figura 5.7 Corriente de salida total.

La Figura 5.8 muestra el espectro del contenido armónico de la corriente de salida total. En la Figura 5.8a se muestra la magnitud de cada armónico de la señal sin desfaseamiento entre las señales portadoras de los inversores.

En la Figura 5.8b se tiene un acercamiento de magnitud hasta el armónico 20. En la Figura 5.8c se tiene la magnitud de cada armónico de la señal con desfaseamiento entre las señales portadoras de los inversores. En el acercamiento de la señal con desfaseamiento de la Figura 5.8d la magnitud de los armónicos es menor que la magnitud de cada armónico de la señal sin desfase entre señales portadoras (Figura 5.8b).

En las Figuras 5.8b y 5.8d se observan armónicos pares, esto debido a que la señal de corriente evaluada es una señal que no tiene simetría, por lo tanto, aparecen todo el espectro armónico. Sin embargo, por medio del desfase que se realiza entre portadoras se puede disminuir o incluso eliminar la magnitud de cada uno de los armónicos presentes.

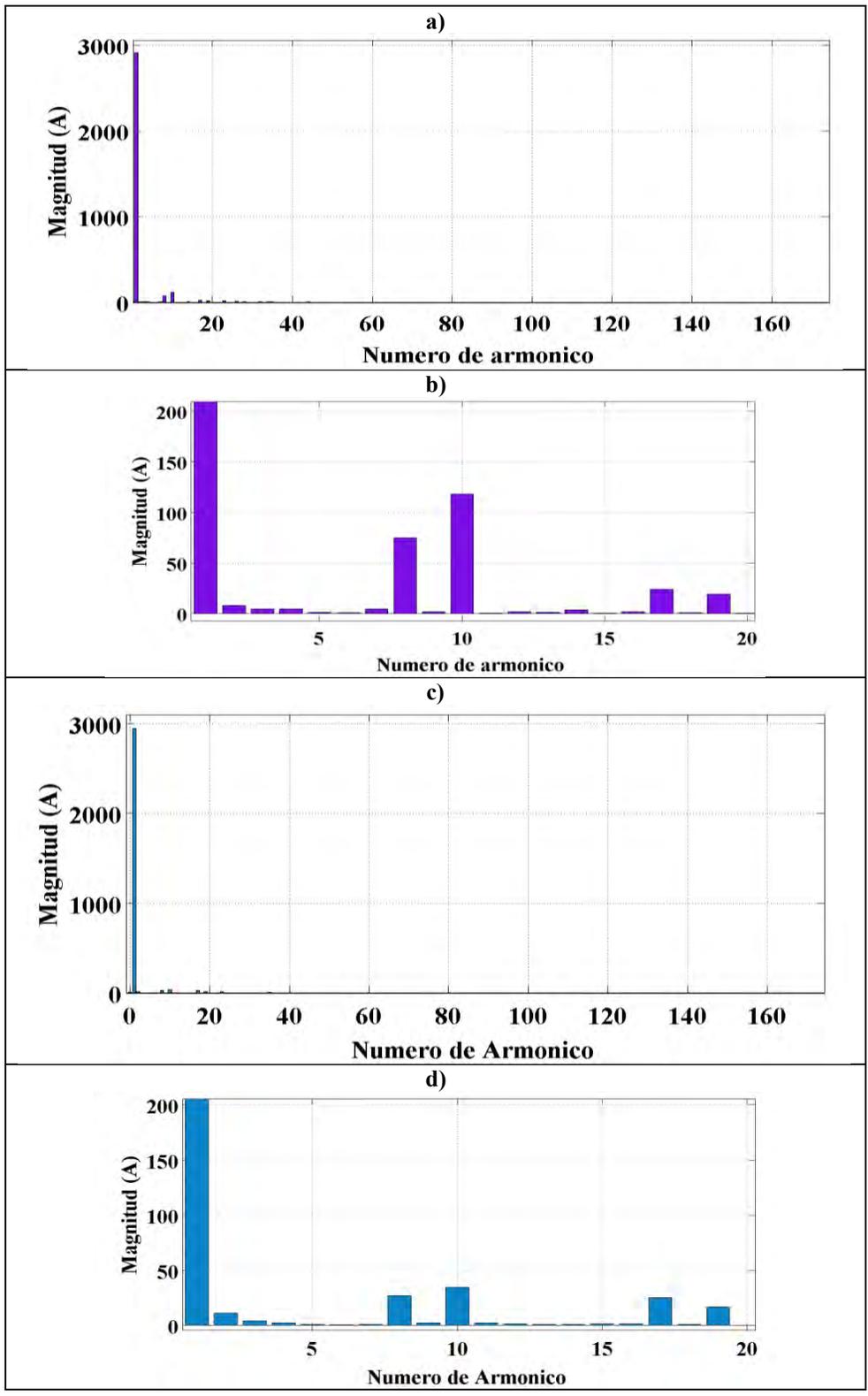


Figura 5.8 Espectro del THD de la corriente de salida total (Fase a). a) Señal sin desfase; b) Señal con desfase de $\pi/2$.

5.4. Conclusiones

En esta sección se ha analizado la modificación de la técnica de modulación *SPWM* para reducir el contenido armónico de corriente en un sistema de CA, mediante el control del convertidor back to back formado a partir de la conexión en paralelo de m *VSCs*.

Se ha encontrado que por medio del uso de un convertidor back to back *AFE* es posible transferir la potencia total generada, cuando se colocan m *VSCs* en paralelo. Por lo tanto, la turbina de viento tipo-4 se convierte en la mejor opción para futuras investigaciones, ya que ésta se encuentra completamente aislada de la red de CA por un convertidor back to back.

Se ha analizado individualmente los *VSCs* conectados en paralelo para calcular la corriente de salida y su contenido armónico y se ha encontrado que, con el ángulo de desfase de $\pi/2$ en la señal portadora de cada *VSC*, el *THD* de corriente se reduce de 1.83% a 0.678%, es decir, el *THD* es 3 veces menor.

Finalmente, se ha aplicado de manera eficiente la modificación de la técnica de conmutación *SPWM* en un convertidor back to back en un sistema de energía eólica con integración de una *MI*.

Capítulo 6. Conclusiones Generales y Sugerencias de Trabajo de Investigación Futuro.

6.1. Conclusiones Generales

En esta tesis se ha investigado a la fecha las vertientes de investigación asociadas con dispositivos CUSTOM POWER y sus diversas aplicaciones. Se identifican las siguientes aportaciones, experiencias y trabajo realizado:

- ◆ Se ha encontrado que el FPGA es un dispositivo de programación en paralelo de bajo nivel con múltiples ventajas para el control de convertidores de potencia, entre las que se encuentran la granularidad y la reconfiguración del mismo. Se ha comprobado que gracias a la alta velocidad de reloj y la arquitectura de cableado intrínsecamente paralelo del FPGA hace posible la solución eficiente de algoritmos, facilitando el control de los sistemas.

- ◆ Gracias a la reconfiguración del FPGA, se ha logrado el control de convertidores de potencia a través de técnicas de modulación SPWM multinivel de 3, 9 y 21 niveles, a través del incremento o decremento de portadoras a razón de $n-1$; lo que permite la reducción del THD, ya que se reducen significativamente las pérdidas por conmutación en los interruptores.

- ◆ El análisis y modelado fue principalmente orientado al control del DSTATCOM, el cual es capaz de compensar potencia reactiva para mantener constante el NC ante las variaciones del viento en un rango de $7m/s$ a $20m/s$. Por lo tanto, se ha mostrado que el esquema de control realizado es útil para cualquier velocidad del viento que se desee. El esquema de control ha sido validado a través de simulaciones en Matlab®/Simulink®.

- ◆ Los resultados de la simulación en Matlab®/Simulink® han mostrado que el control utilizado en la estructura del DVR puede compensar eficazmente las variaciones de voltaje, es decir, depresiones de voltaje en un rango de $0.1p.u$ a $0.9p.u$ y sobrevoltajes con amplitud de $1.1p.u$ a $1.9p.u$; además, tiene la capacidad de poner en fase el voltaje y la corriente presentes en la carga sensible generando un factor de potencia unitario.

- ◆ En esta investigación se ha modificado la técnica de modulación SPWM para el control de VSCs en paralelo, con lo que se ha reducido 3 veces el THD de la corriente de salida del sistema de CA.

- ◆ Se ha encontrado que mediante el uso de un convertidor back to back AFE es posible transferir altas potencia generadas por una MI, mediante VSCs en paralelo, debido a que cada VSC maneja una porción de la corriente total en el sistema. Se considera que la turbina de viento tipo-4 puede representar la mejor opción de operación para el futuro de conversión de energía eléctrica mediante energía eólica, ya que las turbinas de viento están totalmente aisladas de la red de CA por el convertidor back to back.
- ◆ Se ha analizado individualmente cada VSC en modo inversor para calcular la corriente y su respectivo contenido armónico. Se ha encontrado que al desfasar la señal portadora de cada inversor en un ángulo de $\pi/2$, el THD disminuye desde un 1.83% a un 0.678%, es decir, el THD es 3 veces menor.

6.2. Sugerencias de Trabajo de Investigación Futuro

Tomando como referencia el alcance logrado mediante la investigación reportada en la presente tesis, se propone continuar en las siguientes vertientes de investigación:

- ◆ Realizar el control de los dispositivos CUSTOM POWER para que efectuen la compensación del sistema de energía eólica, el cual no solo sea representado por el modelo eléctrico de una MI sino por una turbina de viento o un grupo de ellas.
- ◆ Implementar el control del sistema de energía eólica en lazo cerrado integrando una Turbina de Viento Tipo-4.
- ◆ Implementar el control en lazo cerrado aplicado en los dispositivos CUSTOM POWER utilizando el FPGA, para mantener constante el voltaje e inyectar potencia reactiva en el sistema.
- ◆ Utilizar el simulador en tiempo real OPAL-RT® para analizar el sistema de energía eólica en lazo cerrado al incorporar dispositivos CUSTOM POWER en la compensación de disturbios provocados en la red debido a la integración de turbinas de viento.

Apéndice A. Modelos Implementados en la Plataforma de Matlab®-Simulink®.

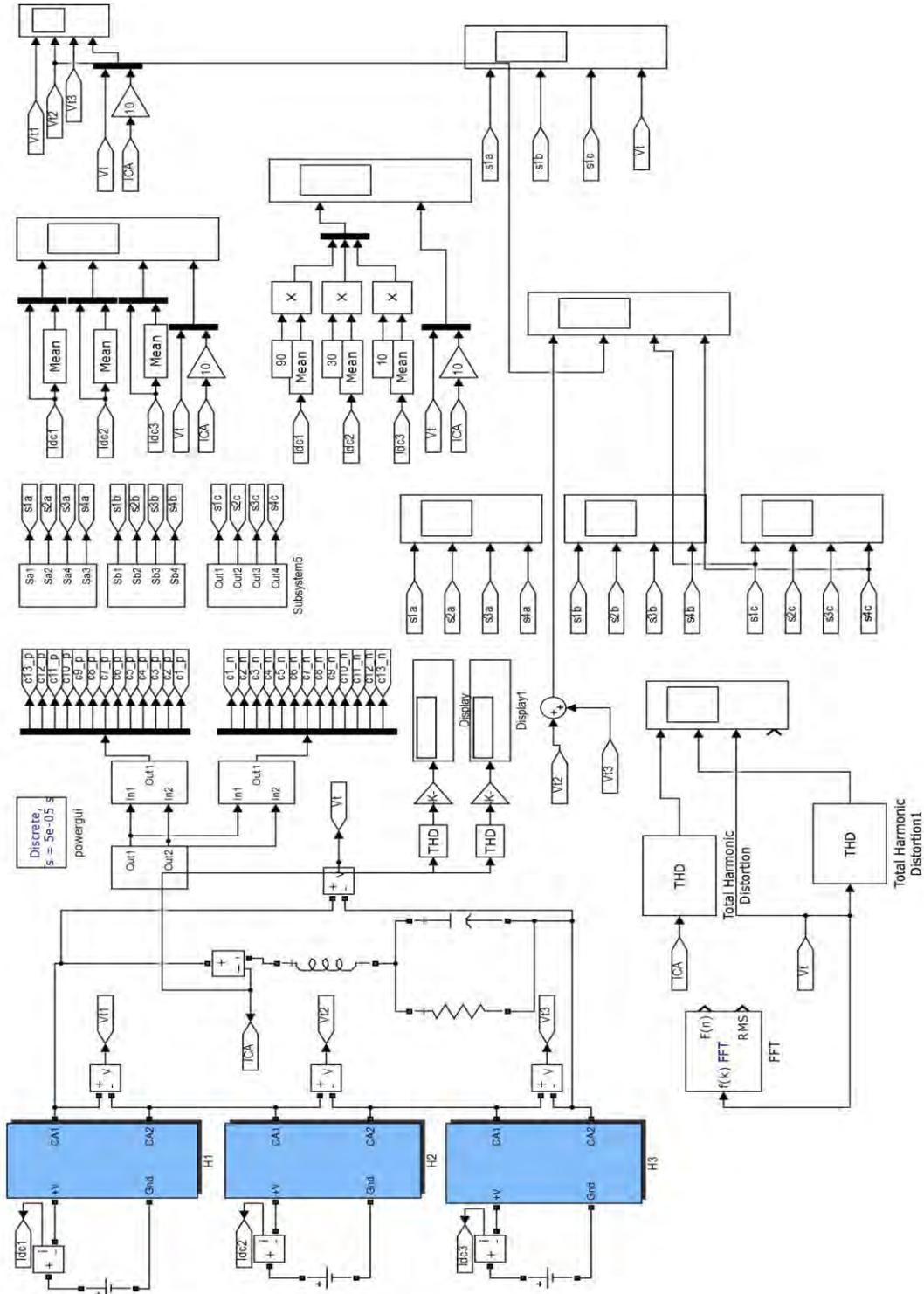


Figura A.1 Configuración de tres puentes-H en cascada y su circuito equivalente.

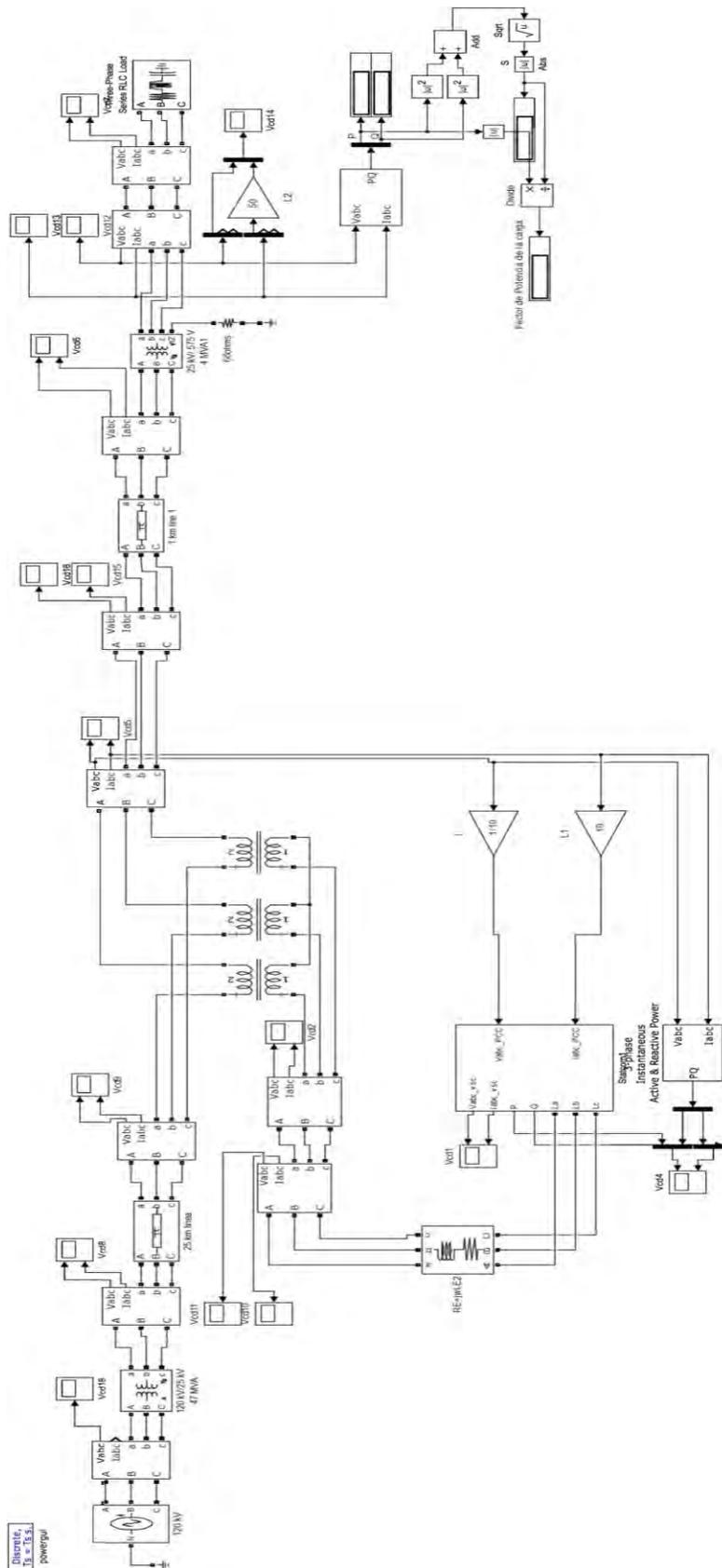


Figura A.2 Red de distribución con integración de un DVR.

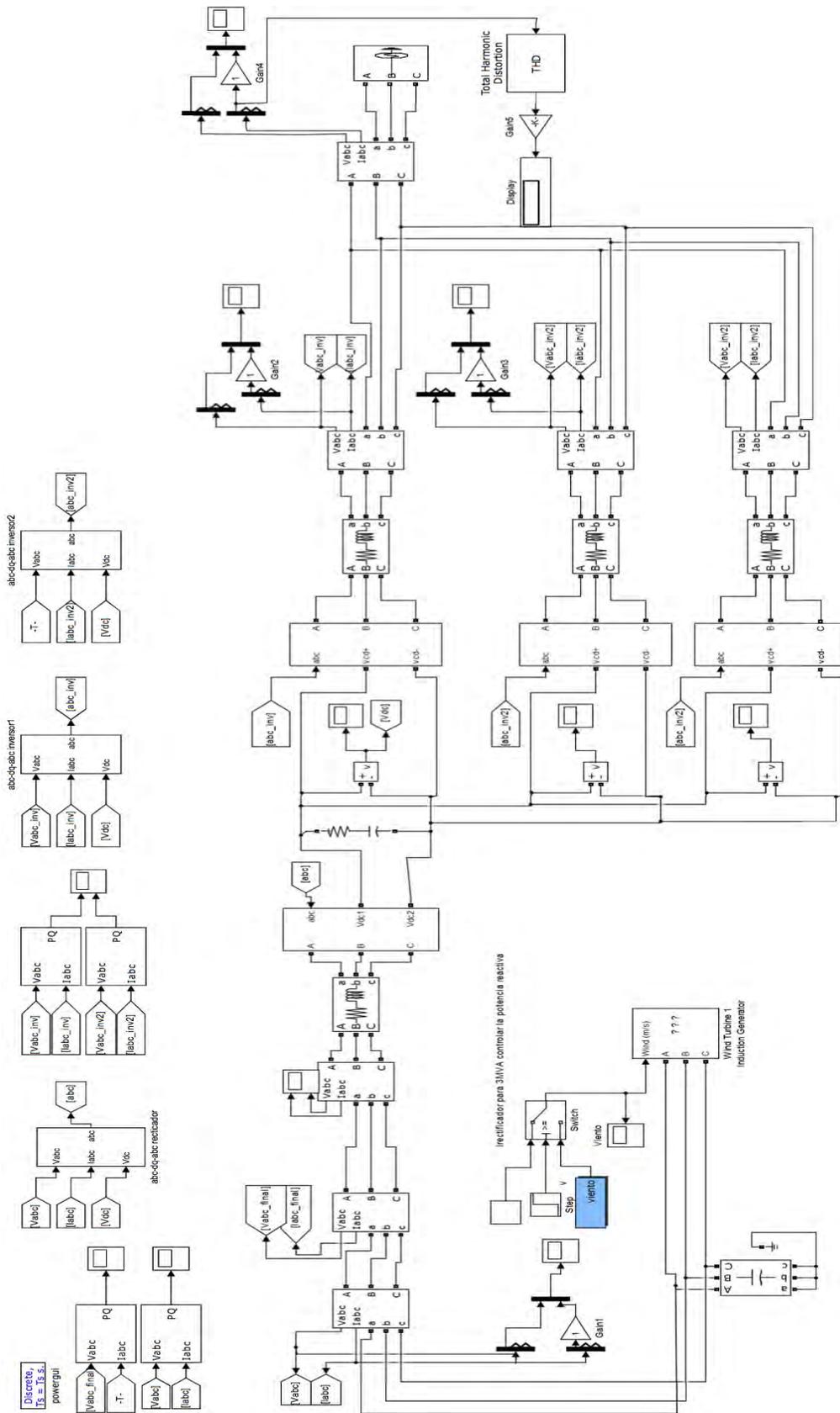


Figura A.4 Estructura paralela de un inversor AFE.

En este Apéndice se muestran los modelos de los diferentes dispositivos CUSTOM POWER simulados en Matlab®/Simulink®.

La Figura A.1 muestra el modelo de la Figura 3.9, sección 3.5 del Capítulo 3.

La Figura A.2 muestra el modelo de la Figura 4.4, sección 4.1.3 del Capítulo 4.

La Figura A.3 muestra el modelo de la Figura 4.15, sección 4.2.3 del Capítulo 4.

La Figura A.4 muestra el modelo de la Figura 5.1, sección 5.1 del Capítulo 5.

Apéndice B. Código VHDL de la Señal SPWM multinivel y arquitectura interna del FPGA.

En este apéndice se muestra el código en VHDL para la generación de una señal SPWM multinivel de n niveles, el cual fue englobado en el diagrama de flujo de la Figura 3.6 del capítulo 3. En la Tabla B.1 se muestra como almacenar en la ROM los datos hexadecimales que forman a la señal moduladora discreta.

Tabla B.1 Datos almacenados de la señal moduladora en la memoria ROM

```
type ROM_Array is array (0 to 499) of std_logic_vector(15 down to 0);
constant Content: ROM_Array :=
  (0  => x"1388",
   1  => x"13C0",
   2  => x"13F9",
   .  .
   .  .
   .  .
  496 => x"12A5",
  497 => x"12DE",
  498 => x"1316",
  499 => x"134F",
  Others => x"ffff");
```

La Tabla B.2 muestra el proceso que hace el conteo de los 1666 ciclos de reloj, dicho conteo es necesario para disminuir la frecuencia a la que opera el FPGA.

Tabla B.2 Formación de la señal moduladora a 60Hz

```
Modulation: process(clk, clr)
begin
  if clr = '1' then
    Modulation_Signal <= (others => '0');
  elsif clk'event and clk = '1' then
    if Modulation_Signal = 1666
      Modulation_Signal <= (others => '0');
    else
      Modulation_Signal <= Modulation_Signal + 1;
    end if;
  end if;
end process Modulation;
```

La Tabla B.3 detalla el proceso para seleccionar el valor asignado en las 500 localidades de la ROM.

Tabla B.3 Proceso de selección de la localidad de la ROM

```
Frequency: process(clr, clk, Modulation_Signal)
begin
    if clr = '1' then
        period <= (others => '0');
    elsif clk'event and clk = '1' and Modulation_Signal = 0 then
        if Modulation_Signal = 0 then
            if period = 499
                period <= (others => '0');
            else
                period <= period + 1 ;
            end if;
        end if;
    end if;
end process Frequency;
```

En la Tabla B.4 se muestra el proceso de asignación de valores para generar la señal sinusoidal.

Tabla B.4 Asignación del valor almacenada en la localidad de la memoria ROM

```
Assignment: process (Read, period)
begin
    if( reset = '1' ) then
        Data_out <= "ZZZZZZZ";
    elsif( reset = '0' ) then
        if( Read = '1' ) then
            Data_out <= Content(conv_integer(period));
        else
            Data_out <= "ZZZZZZZ";
        end if;
    end if;
end process Assignment;
```

La Tabla B.5 define el proceso para la formación de un ciclo de la señal portadora, cuya frecuencia de conmutación fue establecida en la ecuación (3.5) del capítulo 3 y es de $3kHz$.

Tabla B.5 Proceso para formar la frecuencia de la señal portadora

```
Carrier: process(clk, clr)
begin
  if clr = '1' then
    Carrier_signal_frequency<= (others => '0');
  elsif clk'event and clk = '1' then
    if Carrier_signal_frequency = 2999 then
      Carrier_signal_frequency <= (others => '0');
    else
      Carrier_signal_frequency <= Carrier_signal_frequency + 1;
    end if;
  end if;
end process Carrier;
```

La Tabla B.6 contiene el proceso para formar la señal portadora con una frecuencia de *3kHz*.

Tabla B.6 Formación de la señal portadora

```
Triangular: process (clr, clk)
begin
  if clr = '1' then
    rampa<= (others => '0');
  elsif clk'event and clk = '1' then
    if Carrier_signal_frequency < 1500 then
      rampa<= rampa + 1 ;
    else
      rampa<= rampa - 1 ;
    end if;
  end if;
end process Triangular;
```

Una vez que han sido conformadas la moduladora y la portadora de la señal SPWM multinivel, el proceso continúa en la sección 3.4.2 del capítulo 3.

Referencias

[Ahsan, *et al.* 2012]

Ahsan, Shahzad; Anwar Shahzad Siddiqui; Khan, Shagufta; , "Reactive power compensation for integration of wind power in a distribution network," *Power Electronics (IICPE), 2012 IEEE 5th India International Conference on* , vol., no., pp.1-4, 6-8 Dec. 2012.

[Ackermann, 2005]

Ackermann, T. "Wind Power in Power Systems", ed: John Wiley & Sons, Ltd, 2005, pp. 54 – 60. ISBN: 0-470-85508-8.

[Alexa *et al.* 1998]

Alexa, D.; Ionescu, F.; Neacsu, D. O.; Radomirescu, B. (1998), Resonant DC-AC converter with low ripple output voltage. Euro. Trans. Electr. Power, 8: 397–403. doi: 10.1002/etep.4450080511.

[Anaya-Lara *et al.* 2014]

Anaya-Lara, O.; Campos-Gaona, D.; Moreno-Goytia, E; Adam, G., "Offshore Wind Energy Generation: Control, Protection, and Integration to Electrical Systems", ed: John Wiley & Sons, Ltd, 2014, pp. 17 – 26. ISBN: 978-1-118-53962-0.

[Antunes, *et al.* 2007]

Antunes, V. M. E.; Pires, V. F. and Silva, J. F. A. "Narrow Pulse Elimination PWM for Multilevel Digital Audio Power Amplifiers Using Two Cascaded H-Bridges as a Nine-Level Converter," in *IEEE Transactions on Power Electronics*, vol. 22, no. 2, pp. 425-434, March 2007.

[Anuradha *et al.* 2006]

Anuradha K.; Muni B.P.; Raj Kumar A.D., "Simulation of Cascaded H-Bridge Converter based DSTATCOM", Industrial Electronics and Applications, 2006 1ST IEEE Conference on, pp. 1 – 5.

[Aodsup *et al.* 2007]

Aodsup, K.; Boonchiam, P. N.; Sode-Yome, A.; Kongsuk, P.; Mithulanathan, N., "Response of DSTATCOM under Voltage Flicker In Farm Wind," *Power Electronics*

and Drive Systems, 2007. PEDS '07. 7th International Conference on, Bangkok, 2007, pp. 732-735.

[Arrillaga *et al.* 2000]

Arrillaga, J.; Bollen, M. J.; Watson, N. R., "Power quality following deregulation" Proc. IEEE, vol. 88, pp. 246–260, Feb. 2000.

[Arulampalam, *et al* 2006]

Arulampalam, A.; Barnes, M.; Jenkins, N.; Ekanayake, J.B.; , "Power quality and stability improvement of a wind farm using STATCOM supported with hybrid battery energy storage," *Generation, Transmission and Distribution, IEE Proceedings-* , vol.153, no.6, pp.701-710, November 2006.

[Babaei, *et al.* 2013]

Babaei, Ebrahim; Farhadi Kangarlu, Mohammad; Sabahi, Mehran; Reza Alizadeh Pahlavani, Mohammad, Cascaded multilevel inverter using sub-multilevel cells, *Electric Power Systems Research*, Volume 96, March 2013, Pages 101-110, ISSN 0378-7796.

[Babaei, *et al.* 2013]

Babaei Ebrahim, Ali Dehqan, Mehran Sabahi, A new topology for multilevel inverter considering its optimal structures, *Electric Power Systems Research*, Volume 103, October 2013, Pages 145-156.

[Babaei, *et al.* 2014]

Babaei, E.; Kangarlu M.F.; Sabahi, M., "Dynamic voltage restorer based on multilevel inverter with adjustable dc-link voltage," *Power Electronics, IET*, vol.7, no.3, pp.576,590, March 2014.

[Badrkhani, *et al.* 2013]

Badrkhani Ajaei, F.; Farhangi, S.; Iravani, R., "Fault Current Interruption by the Dynamic Voltage Restorer," in *Power Delivery, IEEE Transactions on* , vol.28, no.2, pp.903-910, April 2013.

[Baker y Bannister, 1975]

Baker R. H. and Bannister L. H., "Electric power converter," U.S. Patent 3 867 643, Feb. 18, 1975.

[Beltrán-Valle, 2012]

Beltrán-Valle O., "Modelado y análisis de sistemas Eólicos de Generación con Dispositivos CUSTOM POWER: Referencia a DSTATCOM e Impacto en Calidad de la

Energía”, recibió el grado de Maestro en Ciencias en Ingeniería Eléctrica en de la Universidad Michoacana de San Nicolás de Hidalgo, Morelia, México, 2012.

[Betta *et al.* 2013]

Betta, G.; Ferrigno L. and Laracca, M., "Cost-Effective FPGA Instrument for Harmonic and Interharmonic Monitoring," in *IEEE Transactions on Instrumentation and Measurement*, vol. 62, no. 8, pp. 2161-2170, Aug. 2013.

[Bhim Singh *et al.* 2005]

Bhim Singh, Adya A., Mittal A.P. and Gupta J.R.P., “Modeling and Control of DSTATCOM for Three-Phase, Four-Wire Distribution Systems”, Fourtieth IAS Annual Meeting, Industry Applications Conference, 2005, Vol. 4, pp. 2428 – 2434.

[Bimal y Fellow, 2007]

Bimal K. Bose, Life Fellow, “*Power Electronics – Why the Field is so Exiting*” IEEE Power Electronics Society NEWSLETTER, Fourth Quarter 2007 Pages 11-18.

[Brumsickle *et al.* 2001]

Brumsickle, W.E., Schneider, R.S., Luckjiff, G.A., and Divan, D.M., “Dynamic sag correctors: cost effective industrial power line conditioning”, IEEE Transactions Industry Applications, Vol. 37, issue: 1, pp. 212 – 217, 2001.

[Bull 2001]

Bull, S.R.; “*Renewable energy today and tomorrow*” Proceedings of the IEEE, Vol. 89, Issue 8, Aug. 2001, pp. 1216 – 1226.

[Campbell y McHattie 1999]

Campbell A. and McHattie R., “Backfilling the Sinewave – A Dynamic Voltage Restorer Case Study,” *IEE Power Engineering Journal*, Vol. 13, No. 3, June 1999 pp. 153-158.

[Campos-Gaona *et al.* 2013]

Campos-Gaona, D.; Moreno-Goytia, E.L.; Anaya-Lara, O., "Fault Ride-Through Improvement of DFIG-WT by Integrating a Two-Degrees-of-Freedom Internal Model Control," *Industrial Electronics, IEEE Transactions on*, vol.60, no.3, pp.1133,1145, March 2013.

[Cano *et al.* 2014]

Cano, J.M.; Jatskevich, J.; Norriella, J.G.; Davoudi, A.; Wang, X.; Martinez, J.A.; Mehrizi-Sani, A.; Saeedifard, M.; Aliprantis, D.C., "Dynamic Average-Value Modeling

of Direct Power-Controlled Active Front-End Rectifiers," *Power Delivery, IEEE Transactions on* , vol.29, no.6, pp.2458,2466, Dec. 2014.

[Cardenas *et al.* 2012]

Cardenas, A.; Guzman, C.; Agbossou, K., "Development of a FPGA Based Real-Time Power Analysis and Control for Distributed Generation Interface," *Power Systems, IEEE Transactions on* , vol.27, no.3, pp.1343-1353, Aug. 2012.

[Chen y Dinavahi 2009]

Chen Y. and Dinavahi V., "FPGA-based real-time EMTP," *IEEE Transactions, Power Delivery*, vol. 24, no. 2, pp. 892–902, Apr. 2009.

[Chih-Chiang *et al.* 2006]

Chih-Chiang Hua; Chun-Wei Wu; Chih-Wei Chuang, "Control of Low-Distortion 27-Level Cascade Inverter with Three H-Bridge Inverter Modules," *Industrial Technology, 2006. ICIT 2006. IEEE International Conference on*, pp.277, 282, 15-17, Dec. 2006.

[Chlebis *et al.* 2013]

Chlebis, P.; Odlevak, L.; Hromjak, M.; Oplustil, J. "Dynamic voltage restoration in 3-phase 4-wire system," *Applied Electronics (AE), 2013 International Conference on*, pp.1, 4, 10-12 Sept. 2013.

[Cirstea y Parera-Ruiz 2010]

Cirstea, M.; Parera-Ruiz, A., "An FPGA controller for a combined solar/Wind power system," *Optimization of Electrical and electronic Equipment (OPTIM), 2010 12th International Conference on* , vol., no., pp.1103-1108, 20-22 May 2010.

[Dähler y Affolter 2000]

Dähler P. and Affolter R., "Requirements and Solutions for Dynamic Voltage Restorer, A Case Study," *Proceedings of the 2000 IEEE Winter Meeting*, Singapore, February 2000.

[de Almeida Carlos *et al.* 2016]

de Almeida Carlos, G.A.; Cipriano dos Santos, E.; Brandao Jacobina, C.; Ramos Agra Mello, J.P., "Dynamic Voltage Restorer Based on Three-Phase Inverters Cascaded Through an Open-End Winding Transformer," in *Power Electronics, IEEE Transactions on* , vol.31, no.1, pp.188-199, Jan. 2016

[De Castro *et al.* 2003]

De Castro, A.; Zumel, P.; Garcia, O.; Riesgo, T.; Uceda, J., "Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an FPGA," *Power Electronics, IEEE Transactions on*, vol.18, no.1, pp. 334- 343, Jan 2003.

[De Castro *et al.* 2004]

Castro A., Riesgo T., Garcia O. and Uceda J., "A methodology to design custom hardware digital controllers for switching power converters", *Power Electronics Specialists Conference, PESC 04, 2004*, Vol. 6, pp. 4676 – 4681.

[Divan *et al.* 2004]

Divan D., Luckjiff G. A., Brumsickle W. E., Freeborg J., and Bhadkamkar A., "A grid information resource for nationwide real-time power monitoring," *IEEE Transactions Ind. Appl.*, vol. 40, no. 2, pp. 699–705, 2004.

[Dufour *et al.* 2012]

Dufour, C.; Jalili-Marandi V. and Bélanger, J., "Real-Time Simulation Using Transient Stability, ElectroMagnetic Transient and FPGA-Based High-Resolution Solvers," *High Performance Computing, Networking, Storage and Analysis (SCC), 2012 SC Companion.*, Salt Lake City, UT, 2012, pp. 283-288.

[Edrah *et al.* 2015]

Edrah, M.; Lo K.L.; and Anaya-Lara, O., "Impacts of High Penetration of DFIG Wind Turbines on Rotor Angle Stability of Power Systems," in *IEEE Transactions on Sustainable Energy*, vol. 6, no. 3, pp. 759-766, July 2015.

[Excitation Systems Subcommittee 1997]

Task Force of the Excitation Systems Subcommittee, "Digital excitation technology. A review of features, functions and benefits", *IEEE Transactions on, Energy Conversion*, 1997, Vol. 12, Issue: 3, pp. 255 – 258.

[Feel-Soon *et al.* 2005]

Feel-Soon Kang; Sung-Jun Park; Man-Hyung Lee; Cheul-U Kim, "An efficient multilevel-synthesis approach and its application to a 27-level inverter," *Industrial Electronics, IEEE Transactions on*, vol.52, no.6, pp.1600, 1606, Dec. 2005.

[Fioretto *et al.* 2011]

Fioretto, M.; Ladoux, P.; Marino, P.; Raimondo, G.; Rubino, L.; Serbia, N., "Considerations on boost inductor design in back-to-back converters for renewable

energy," *Clean Electrical Power (ICCEP), 2011 International Conference on* , vol., no., pp.46,50, 14-16 June 2011.

[Foster, I., 1994]

Foster, I., *Designing and Building Parallel Programs. Concepts and Tools for Parallel Software Engineering*. Addison-Wesley Publishing Company, Reading, Massachusetts, 1994. ISBN-13: 978-0201575941

[Fu-Zhuan y Su-ping, 2011]

Fu-Zhuan, Wu; Su-ping, Pei, "The Research and Implementation of Dynamic Voltage Restorer with Power Factor Correction," *Intelligent Systems and Applications (ISA), 2011 3rd International Workshop on* , vol., no., pp.1,4, 28-29 May 2011.

[García y Acha, 2004]

Garcia N, and AchaE., "Periodic Steady-State Analysis of Large-Scale Electric Systems Using Poincaré Map and Parallel Processing", *Power Systems, IEEE Transactions on*, Vol. 19, Issue:4, pp: 1784 – 1793, Nov. 2004.

[Garcia-Vite *et al.* 2009]

Garcia-Vite Pedro M., Ramirez Juan M., Posada J., "DVR's control based on instantaneous power," 6th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE 2009), Toluca, Mexico, Noviembre 2009.

[Gawande *et al.* 2012]

Gawande, S.P.; Kubde, N.A.; Joshi, M.S.; and Sudame, B.S., "Reactive power compensation of wind energy distribution system using Distribution Static Compensator (DSTATCOM)," *Power Electronics (IICPE), 2012 IEEE 5th India International Conference on*, Delhi, 2012, pp. 1-5.

[Gow y Manning, 1999]

Gow J. A. and Manning C.D., "Development of a photovoltaic array model for use in power-electronics simulation studies". *Electric Power Applications, IEEE Proceedings*, 146(2):193–200, 1999.

[Guillaud *et al.* 2001]

Guillaud, X.; Vandecasteele, F.; Wulverick, M.; Hautier, J.P. *New Concept of Corrector for the Control of Alternatives Quantities. Proc. 8th European*, 2001.

[Guzman *et al.* 2013]

Guzman, J.I.; Melin, P.E.; Espinoza, J.R.; Moran, L.A.; Baier, C.R.; Munoz, J.A.; Guinez, G.A., "Digital Implementation of Selective Harmonic Elimination Techniques in Modular Current Source Rectifiers," *Industrial Informatics, IEEE Transactions on* , vol.9, no.2, pp.1167,1177, May 2013.

[Hsu y Chen, 2009]

Hsu C. L. and Chen, T. H., "Built-in Self-Test Design for Fault Detection and Fault Diagnosis in SRAM-Based FPGA," in *IEEE Transactions on Instrumentation and Measurement*, vol. 58, no. 7, pp. 2300-2315, July 2009.

[Idkhajine *et al.* 2009]

Idkhajine L., Monmasson E., Naouar M. W., Prata A. and Bouallaga K., "Fully integrated FPGA-based controller for synchronous motor drive," *IEEE Transactions Ind. Electron.*, vol. 56, no. 10, pp. 4006–4017, Oct. 2009.

[Iman-Eini *et al.* 2009]

Iman-Eini, H.; Farhangi, Sh.; Schanen, J.L.; Khakbazan-Fard, M., A modular power electronic transformer based on a cascaded H-bridge multilevel converter, *Electric Power Systems Research*, Volume 79, Issue 12, December 2009, Pages 1625-1637.

[Jamshidpour *et al.* 2014]

Jamshidpour, E.; Shahbazi, M.; Saadate, S.; Poure P. and Gholipour, E., "FPGA based fault detection and fault tolerance operation in DC-DC converters," *Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM), 2014 International Symposium on*, Ischia, 2014, pp. 37-42.

[Jayam *et al.* 2008]

Jayam, A.P.; Ardeshta, N.K.; Chowdhury, B.H.; , "Application of STATCOM for improved reliability of power grid containing a wind turbine," *Power and Energy Society General Meeting - Conversion and Delivery of Electrical Energy in the 21st Century, 2008 IEEE* , vol., no., pp.1-7, 20-24 July 2008.

[Jayaprakash *et al.* 2014]

Jayaprakash, P.; Singh, B.; Kothari, D.P.; Chandraand A.; Al-Haddad, K., "Control of Reduced-Rating Dynamic Voltage Restorer With a Battery Energy Storage System," *Industry Applications, IEEE Transactions on* , vol. 50, no.2, pp. 1295,1303, March-April 2014.

[Jaza y Fendereski, 2007]

Jazayeri, M.; Fendereski, M., "Stabilization of grid connected wind generator during power network disturbances by STATCOM," *Universities Power Engineering Conference, 2007. UPEC 2007. 42nd International* , vol., no., pp.1182-1186, 4-6 Sept. 2007.

[June-Seok *et al.* 2015]

June-Seok, Lee; Kyo-Beum, Lee; Blaabjerg, F., "Open-Switch Fault Detection Method of a Back-to-Back Converter Using NPC Topology for Wind Turbine Systems," *Industry Applications, IEEE Transactions on* , vol.51, no.1, pp.325,335, Jan.-Feb. 2015.

[Kapoor, 1979]

Kapoor, S.C. "Dynamic Stability of Long Transmission Systems with Static Compensators and Synchronous Machines," *Power Apparatus and Systems, IEEE Transactions on*, vol. PAS-98, no.1, pp.124,134, Jan. 1979.

[Karimi *et al.* 2008]

Karimi, S.; Gaillard, A.; Poure, P.; Saadate, S., "FPGA-Based Real-Time Power Converter Failure Diagnosis for Wind Energy Conversion Systems", *IEEE Transactions on, Industrial Electronics*, 2008, Vol. 55, Issue: 12, pp. 4299 – 4308.

[Kasikci, 2000]

Kasikci, I., "A new method for power factor correction and harmonic elimination in power systems," *Harmonics and Quality of Power, 2000. Proceedings. Ninth International Conference on* , vol.3, pp.810,815 vol.3, 2000.

[Khoshkbar y Smedley, 2016]

Khoshkbar Sadigh, A.; Smedley, K.M., "Fast and precise voltage sag detection method for dynamic voltage restorer (DVR) application", *Electric Power Systems Research*, Volume 130, January 2016, Pages 192-207, ISSN 0378-7796.

[Kim *et al.* 2013]

Kim, Y.-S.; Chung, I.-Y.; Moon, S.-I. An Analysis of Variable-Speed Wind Turbine Power-Control Methods with Fluctuating Wind Speed. *Energies* 2013, 6, 3323-3338.

[Krause *et al.* 2013]

Krause, P., Wasynczuk, O., Sudhoff, S. & Pekarek, S., 2013. *Analysis of Electric Machinery and Drive Systems*. 3rd ed. s.l.:Wiley-IEEE Press.

[Kumar *et al.* 2008]

Kumar, P.; Anjaneyulu, K.S.R.; Krishna, T.M.; "A New Technique for Improving the Power Quality in Power Transformers by FPGA," *Computer and Electrical Engineering*, 2008. *ICCEE 2008. International Conference on* , vol., no., pp.767-772, 20-22 Dec. 2008

[Lan Jin, 1995]

Lan Jin, "Parallel processing: Exploring the architectures 'and algorithms' close relationship", *IEEE potentials*, pp. 17-20, January 1995.

[La Scala *et al.* 1991]

La Scala, M.; Sbrizzai R. and Torelli, F., "A pipelined-in-time parallel algorithm for transient stability analysis," in *IEEE Transactions on Power Systems*, vol. 6, no. 2, pp. 715-722, May 1991.

[Le-Huy *et al.* 2006]

Le-Huy, P.; Guerette, S.; Dessaint, L.A.; Hoang Le-Huy;, "Dual-Step Real-Time Simulation of Power Electronic Converters Using an FPGA," *Industrial Electronics*, 2006 *IEEE International Symposium on* , vol.2, no., pp.1548-1553, 9-13 July 2006.

[Lopez de Heredia *et al.* 2006]

Lopez de Heredia, A.; Gaztañaga, H.; Etxeberria-Otadui, I.; Bacha, S.; Guillaud, X., "Analysis of Multi-Resonant Current Control Structure and Tuning Methods". *IEEE Industrial Electronics*, IECOM 2006, pp. 2156-2161. 2006.

[Lou *et al.* 2003]

Lou Shuqin, Sheng Xinzhi, Su Fulin, Liu Xuelian and Luo Raoguo, "A novel scheme to measure the power of AC system with FPGA", *ASIC*, 2003. *Proceedings. 5th International Conference on*, Vol.2 , pp. 1151 – 1154, Oct. 2003.

[Majumder, 2013]

Majumder, R., "Reactive Power Compensation in Single-Phase Operation of Microgrid," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1403-1416, April 2013.

[Matar e Iravani, 2011]

Matar, M. and Iravani, R., "Massively Parallel Implementation of AC Machine Models for FPGA-Based Real-Time Simulation of Electromagnetic Transients," in *IEEE Transactions on Power Delivery*, vol. 26, no. 2, pp. 830-840, April 2011.

[Medina *et al.* 2003].

Medina A., Ramos-Paz A., and Fuerte-Esquivel C. R., "Periodic Steady State Solution of Electric Systems With Nonlinear Components Using Parallel Processing", *Power Systems, IEEE Transactions on*, Vol. 18, no. 2, pp. 963 – 965, May 2003.

[Medina *et al.* 2006]

Medina A., Ramos-Paz A., and Fuerte-Esquivel C. R., "Efficient computation of the periodic steady state solution of nonlinear electric systems applying parallel processing techniques", *COMPEL: The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, Vol. 25, No. 4, pp. 900-915, 2006.

[Mishra *et al.* 2003]

Mishra M.K., Ghosh A. and Joshi A., "Operation of a DSTATCOM in Voltage Control Mode", *IEEE Transactions on, Power Delivery*, 2003, Vol. 18, issue 1, pp. 258 – 264.

[Monmasson y Cristea 2007]

Monmasson E. and Cristea M. N., "FPGA design methodology for industrial control systems—A review," *IEEE Trans. Ind. Electron.*, vol. 54, no. 4, pp. 824–1842, Aug. 2007.

[Murach *et al.* 2005]

Murach, M.; Nagvajara, P.; Johnson, J.; Nwankpa, C., "Optimal power flow utilizing FPGA technology," *Proceedings of the 37th Annual North American Power Symposium, 2005.*, 2005, pp. 97-101.

[Naouar *et al.* 2007]

Naouar M.W.; Monmasson E.; Naassani A. A.; Slama-Belkhodja I.; and Patin N., "FPGA-based current controllers for ac machine drives—A review," *IEEE Transactions, Ind. Electron.*, vol. 54, no. 4, pp. 1907–1925, Aug. 2007.

[Nascimento *et al.* 2013]

Nascimento, P. S. B.; de Souza, H. E. P.; Neves F. A. S. and Limongi, L. R., "FPGA Implementation of the Generalized Delayed Signal Cancellation—Phase Locked Loop Method for Detecting Harmonic Sequence Components in Three-Phase Signals," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 2, pp. 645-658, Feb. 2013.

[Nathan *et al.* 2012]

Nathan, L.S.; Karthik, S.; Krishna, S.R., "The 27-level multilevel inverter for solar PV applications," *Power Electronics (IICPE), 2012 IEEE 5th India International Conference on*, pp.1, 6, 6-8, Dec. 2012.

[Noureldeen *et al.* 2011]

Noureldeen, Omar; Rihan, Mahmoud; Hasanin, Barkat Stability improvement of fixed speed induction generator wind farm using STATCOM during different fault locations and durations, *Ain Shams Engineering Journal*, Volume 2, Issue 1, March 2011, Pages 1-10, ISSN 2090-4479.

[Ozturk y Dosoglu 2009]

Ozturk, A.; Dosoglu, K., "Investigation of the control voltage and reactive power in wind farm load bus by STATCOM and SVC," *Electrical and Electronics Engineering, 2009. ELECO 2009. International Conference on*, vol., no., pp.I-60-I-64, 5-8 Nov. 2009.

[Palanivel y Dash, 2011]

Palanivel P. and Dash, S. S. "Analysis of THD and output voltage performance for cascaded multilevel inverter using carrier pulse width modulation techniques," in *IET Power Electronics*, vol. 4, no. 8, pp. 951-958, September 2011.

[Parma y Dinavahi 2007]

Parma G. G. and Dinavahi V., "Real-time digital hardware simulation of power electronics and drives," *IEEE Transactions, Power Delivery*, vol. 22, no. 2, pp. 1235–1246, Apr. 2007.

[Pathan Abrarkhan *et al.* 2014]

Pathan Abrarkhan, I.; Vanamane, S S.; Chile, R.H., "Different control techniques of Dynamic Voltage Restorer for power quality problems," *Automation, Control, Energy and Systems (ACES), 2014 First International Conference on*, pp.1,6, 1-2 Feb. 2014.

[Paulsson *et al.* 2008]

Paulsson, K.; Hubner, M.; Becker, J.; , "Cost-and Power Optimized FPGA based System Integration: Methodologies and Integration of a Low-Power Capacity-based Measurement Application on Xilinx FPGAs," *Design, Automation and Test in Europe, 2008. DATE '08*, vol., no., pp.50-55, 10-14 March 2008.

[Prakash y Sankar, 2014]

Prakash Y.; Sankar, S., "Power quality improvement using DVR in power system," *Power and Energy Systems Conference: Towards Sustainable Energy, 2014*, vol., no., pp.1,6, 13-15 March 2014.

[Rajesh y Manjesh, 2016]

Rajesh, B. and Manjesh, "Comparison of harmonics and THD suppression with three and 5 level multilevel inverter-cascaded H-bridge," *2016 International Conference on Circuit, Power and Computing Technologies (ICCPCT)*, Nagercoil, India, 2016, pp. 1-6.

[Rakesh *et al.* 1990]

Rakesh J.; Bhavesh N.; Hemnag P., "Parallel Processing: an overview", IEEE potentials, 1990, pp. 40-42.

[Ramos-Paz, 2007]

Ramos-Paz A., "Technique for the automatic generation of non-autonomous differential equations to represent the dynamic behavior of nonlinear power systems by incorporating advanced computer tools", Ph.D. Thesis (in Spanish), Universidad Michoacana de San Nicolás de Hidalgo, Morelia, México, 2007.

[Rauf y Khadkikar, 2015]

Rauf, A.M.; Khadkikar, V., "An Enhanced Voltage Sag Compensation Scheme for Dynamic Voltage Restorer," in *Industrial Electronics, IEEE Transactions on*, vol.62, no.5, pp.2683-2692, May 2015.

[Roberge *et al.* 2016]

Roberge, Vincent; Tarbouchi, Mohammed; Okou, Francis, Optimal power flow based on parallel metaheuristics for graphics processing units, *Electric Power Systems Research*, 23 June 2016, ISSN 0378-7796.

[Rodríguez, *et al.* 1994]

Rodrigues, M.; Saavedra O. R. and Monticelli, A., "Asynchronous programming model for the concurrent solution of the security constrained optimal power flow problem," in *IEEE Transactions on Power Systems*, vol. 9, no. 4, pp. 2021-2027, Nov 1994.

[Rodríguez-Rodríguez, *et al.* 2010]

Rodríguez-Rodríguez, J.R.; Moreno-Goytia, E.L.; Martínez-Cárdenas, F., "Arbitrary waveform power source for testing purposes in real-time using an H-cascaded multilevel converters and FPGA-based control" *Power Electronics Congress (CIEP), 2010 12th International*, pp.167-171, 22-25 Aug. 2010.

[Roncero-Sánchez y Acha, 2014]

Roncero-Sánchez, P.; Acha, E. "Design of a Control Scheme for Distribution Static Synchronous Compensators with Power-Quality Improvement Capability." *Energies* 7, no. 4: 2476-2497, 2014.

[Salgado-Herrera, *et al.* 2013]

Salgado-Herrera, N.M.; Medina-Rios, A.; Ramos-Paz, A.; Rodriguez-Rodriguez, J.R., "Generation of a multilevel SPWM technique of 3, 9 and 21 levels with FPGAs," in *North American Power Symposium (NAPS), 2013*, pp.1-5, 22-24, Sept. 2013.

[Salgado-Herrera, *et al.* 2015]

Salgado-Herrera, N.M.; Medina-Rios, A.; and Tapia-Sanchez, R., "Reactive power regulation and voltage compensation through DSTATCOM with wind turbine integration," *2015 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC), Ixtapa, 2015*, pp. 1-6.

[Sánchez, *et al.* 2010]

Sánchez, Roberto; Dauphin-Tanguy, Genevieve; Guillaud, Xavier; Colas, Frederic, "Bond graph based control of a three-phase inverter with LC filter – Connection to passive and active loads". *Simulation Modelling Practice and Theory* 18 (2010). 1185 – 1198.

[Sannino, *et al.* 2003]

Sannino Ambra; Svensson Jan; Larsson Tomas, Power-electronic solutions to power quality problems, *Electric Power Systems Research*, Volume 66, Issue 1, July 2003, Pages 71-82, ISSN 0378-7796, [http://dx.doi.org/10.1016/S0378-7796\(03\)00073-7](http://dx.doi.org/10.1016/S0378-7796(03)00073-7).

[Sass y Schmidt, 2010]

Sass Ron; Schmidt Andrew G., *Embedded System Design with Platform FPGAs: principles and practices*. Morgan Kaufmann, Elsevier, 2010, pp. 29-40. ISBN: 978-0-12-374333-6

[Sass y Schmidt, 2010]

Sass Ron and Schmidt A.G., *Embedden Systems Desing with Platform FPGAs: Principles and Practices*, Morgan Kaufmann, Elsevier, 2010, p. 248 – 252. 978-0-12-374333-6.

[Sato *et al.* 1998]

Sato, Y.; Ishizuka, T.; Nezu, K.; Kataoka, T. A new control strategy for voltage-type PWM rectifiers to realize zero steady-state control error in input current, *IEEE Transaction on Industry Applications* 32 (3) (1998) 480–486.

[Sharaf *et al.* 2007]

Sharaf, A.M.; WeiHua Wang; Altas, I.H.; , "Novel STATCOM Controller for Reactive Power Compensation in Distribution Networks with Dispersed Renewable Wind Energy," *Electrical and Computer Engineering, 2007. CCECE 2007. Canadian Conference on* , vol., no., pp.1582-1585, 22-26 April 2007.

[Sintamarean *et al.* 2012]

Sintamarean, C.; Cantarellas, A.; Miranda, H.; Rodriguez, P.; Teodorescu, R.; , "Smart — STATCOM control strategy implementation in wind power plants," *Power Electronics for Distributed Generation Systems (PEDG), 2012 3rd IEEE International Symposium on* , vol., no., pp.315-322, 25-28 June 2012.

[Sternberger y Jovcic. 2006]

Sternberger, R.; Jovcic, D. "Small signal multi-level STATCOM model," *Power Engineering Society General Meeting, 2006. IEEE.*

[Stig Nilsson, 1999]

Stig Nilsson, "Special Application Considerations for Custom Power Systems", Power Engineering Society 1999 Winter Meeting, IEEE, Vol. 2, pp. 1127 – 1131, Feb 1999.

[Stump *et al.* 1998]

Stump M.D., Keane G.J. and Leong F.K.S., "The role of custom power products in enhancing power quality at industrial facilities", International Conference on Energy Management and Power Delivery, Proceedings of EMPD '98, Vol. 2, pp. 507 – 517, 1998.

[Subramanian y Mishra 2010]

Subramanian, S. and Mishra, M.K., "Interphase AC–AC Topology for Voltage Sag Supporter", IEEE Transactions, Power Electronics, Vol. 25, issue: 2, pp. 514 – 518, 2010.

[Suja y Raglend 2012]

Suja, K.R.; Raglend, I.J., "Power quality improvement in grid connected wind energy system using STATCOM," *Computing, Electronics and Electrical Technologies (ICCEET), 2012 International Conference on* , vol., no., pp.259-266, 21-22 March 2012.

[Sumathy y Prakash 2012]

Sumathy, N.; Prakash, S.L.; , "A novel STATCOM control scheme for grid connected wind driven Induction Generator for power quality improvement," *Advances in Power Conversion and Energy Technologies (APCET), 2012 International Conference on* , vol., no., pp.1-6, 2-4 Aug. 2012.

[Suvire y Mercado 2010]

Suvire, G.O.; Mercado, P.E., DSTATCOM with Flywheel Energy Storage System for wind energy applications: Control design and simulation, *Electric Power Systems Research*, Volume 80, Issue 3, March 2010, Pages 345-353, ISSN 0378-7796, <http://dx.doi.org/10.1016/j.epsr.2009.09.020>.

[Swamy *et al.* 1995]

Swamy, S.; Molin A. and Covnot, B., "OO-VHDL. Object-oriented extensions to VHDL," in *Computer*, vol. 28, no. 10, pp. 18-26, Oct 1995.

[Torres *et al.* 2011]

Torres, A.P.; Roncero-Sanchez, P.; del Toro Garciaand, X.; Batlle, V.F., "Generalized Proportional-Integral control for voltage-sag compensation in Dynamic Voltage Restorers," *Compatibility and Power Electronics (CPE), 2011 7th International Conference-Workshop*, vol., no., pp.92,97, 1-3 June 2011.

[Vairamohan *et al.* 2011]

Vairamohan, askar; Komatsu, Wilson; Galassi, Mauricio; Costa Monteiro, Thiago; de Oliveira, Marco Antonio; Un Ahn, Se; Matakas Jr., Lourenço; Pinhabel Marafão, Fernando; Bormio Jr., Edison; de Camargo, Josué; McGranaghan, Mark F.; Jardini, José Antonio;, "Technology assessment for power quality mitigation devices – Micro-DVR case study", *Electric Power Systems Research*, Volume 81, Issue 6, June 2011, Pages 1215-1226, ISSN 0378-7796.

[Valtierra-Rodriguez *et al.* 2013]

Valtierra-Rodriguez, Martin; Osornio-Rios, Roque Alfredo; Garcia-Perez, Arturo; Romero-Troncoso, Rene de Jesus;, FPGA-based neural network harmonic estimation for continuous monitoring of the power line in industrial applications, *Electric Power Systems Research*, Volume 98, May 2013, Pages 51-57, ISSN 0378-7796.

[Vazquez, *et al.* 2009]

Vazquez, S.; Leon, J. I.; Franquelo, L. G.; Padilla, J. J. and Carrasco, J. M., "DC-Voltage-Ratio Control Strategy for Multilevel Cascaded Converters Fed With a Single DC Source," in *IEEE Transactions on Industrial Electronics*, vol. 56, no. 7, pp. 2513-2521, July 2009.

[Wang *et al.* 2008]

Wang, Hongsheng; Zhang, Wei; Hu, Jiabing; He, Yikang. "Design and optimization of proportional resonant controller for rotor current of a wind turbine driven DFIG," *Electrical Machines and Systems, 2008. ICEMS 2008. International Conference on*, pp. 2502, 2506, 17-20 Oct. 2008.

[Ward and Hale, 1956]

Ward, J.B. and Hale, H.W., "Digital Computer Solution of Power-Flow Problems [includes discussion]," in *Transactions of the American Institute of Electrical Engineers. Part III: Power Apparatus and Systems*, vol. 75, no. 3, pp. , Jan. 1956.

[Whisenant, 1997]

S.G., "DVRs Provide Quality Power to Critical Customers," *Transmission & Distribution World*, Vol. 49, No. 13, December 1997, pp. 35-38.

[Woodley, 2000]

Woodley N.H., "Field Experience with Dynamic Voltage Restorer (DVR™ MV) Systems," *Proceedings of the IEEE Power Engineering Society 2000 Winter Meeting*, Singapore, January 2000.

[Woodley *et al.* 1999]

Woodley N.H., Morgan L., and Sundaram A., "Experience with an Inverter-Based Dynamic Voltage Restorer," *IEEE Trans. on Power Delivery*, Vol. 14, No. 3, July 1999, pp. 1181-1186.

[Wu *et al.* 2006]

Wu, F.; Zhang, X.p.; Godfrey, K.; and Ju, P., "Modeling and Control of Wind Turbine with Doubly Fed Induction Generator," *Power Systems Conference and Exposition, 2006. PSCE '06. 2006 IEEE PES*, Atlanta, GA, 2006, pp. 1404-1409.

[Yajuan Chen, 2011]

Yajuan Chen , "Design and Implementation of PID Controller Based on FPGA and Genetic algorithm", *Electronics and Optoelectronics (ICEOE)*, 2011 International Conference on, vol. 4, pp. V4-308 - V4-311, July 2011.

[Yazdani e Iravani, 2010]

Yazdani Amirnaser and Iravani Reza, "Voltage-Source Converters in Power Systems: Modeling, Control and Applications", New Jersey: John Wiley and Son, 2010, pp. 204 – 230. ISBN 978 0 470 52156 4.

[Ying-Yu *et al.* 1996]

Ying-Yu Tzou, Hau-Jean Hsu and Tien-Sung Kuo, "FPGA-Based SVPWM Control IC for 3-Phase PWM Inverters", *Industrial Electronics, Control, and Instrumentation*, 1996., Proceedings of the 1996 IEEE IECON 22nd International Conference on, Vol. 1, pp. 138 – 143, Aug 1996.

[Yousefpoor *et al.* 2012]

Yousefpoor, N.; Fathi, S. H.; Farokhnia N. and Abyaneh, H. A., "THD Minimization Applied Directly on the Line-to-Line Voltage of Multilevel Inverters," in *IEEE Transactions on Industrial Electronics*, vol. 59, no. 1, pp. 373-380, Jan. 2012.

[Yun-Su *et al.* 2013]

Yun-Su, Kim; Il-Yop, Chung; Seung-Il, Moon, 2013. "An Analysis of Variable-Speed Wind Turbine Power-Control Methods with Fluctuating Wind Speed." *Energies* 6, no. 7: 3323-3338, 2013.

[YunWei Li *et al.* 2007]

Yun Wei Li; Mahinda D.; Vilathgamuwa, Poh; Chiang Lohand; Blaabjerg F., "A Dual-Functional Medium Voltage Level DVR to Limit Downstream Fault Currents" *Power Electronics, IEEE Transactions on*, Vol. 22, Issue 4, July 2007, pp. 1330 – 1340.

[Zeliang *et al.* 2007]

Zeliang Shu, Yuhua Guo, Na Ding, and Jisan Lian, "FPGA-based Control of STATCOM using a Compact SVPWM Algorithm", *Industrial Electronics*, 2007. ISIE 2007. IEEE International Symposium on, pp. 2348 – 2352, June 2007.

[Zeliang *et al.* 2008]

Zeliang Shu; Yuhua Guo; Jisan Lian;, "Steady-State and Dynamic Study of Active Power Filter With Efficient FPGA-Based Control Algorithm," *Industrial Electronics, IEEE Transactions on* , vol.55, no.4, pp.1527-1536, April 2008.