



**UNIVERSIDAD MICHOACANA DE
SAN NICOLÁS DE HIDALGO**



**DIVISIÓN DE ESTUDIOS DE POSGRADO
DE LA FACULTAD DE INGENIERÍA ELÉCTRICA**

**“DISEÑO DEL SISTEMA DE MEDICIÓN Y CONTROL DE UN
PROTOTIPO DE STATCOM BASADO EN UN DSC”**

**TESIS QUE PARA OBTENER EL GRADO DE:
MAESTRO EN CIENCIAS
EN INGENIERÍA ELÉCTRICA**

Presenta:

Oswaldo Ramos Banderas

Director de Tesis:

Dr. Edmundo Barrera Cardiel

Morelia, Mich.

Agosto de 2009

Quiero dedicar este trabajo
a las personas que me han
apoyado a lo largo de mi vida
y a quienes les debo todo:

A MI PADRE:

Sr. Francisco Ramos Estrada.

A MI MADRE:

Sra. Serapia Banderas Tovar.

A mis Hermanos:

Sergio, Rosalba, Armando,
José Ángel, Eva María, Bertha,
y Marisol.

A la señora Bertha Ramos Fitz, Clau, Ale y Vivi

Quiero agradecer:

A Dios por permitirme mantenerme con vida hasta este momento.

A mi familia por apoyarme totalmente, además de ser un ejemplo de superación.

A la UMSNH por el apoyo económico para la realización de este proyecto.

A mi asesor el Dr. Edmundo Barrera Cardiel por su apoyo, por compartir sus conocimientos conmigo, y lo que es mejor tenerme la paciencia y la confianza.

A la señora Yolanda Pacheco por su apoyo y disposición para la realización de los trámites además de su amistad.

Al M.C. Alberto Avalos Gonzáles, Jefe del Laboratorio de Máquinas Eléctricas, por su apoyo en la etapa de pruebas de este proyecto.

A los profesores revisores de este trabajo Dr. Claudio Fuerte Esquivel, Dr. Juan Anzures Marín, Dr. J Aurelio Medina Ríos, Dr. Edgar Lenymirko Moreno Goytia por contribuir a mejorarlo.

A Luis Eduardo Ugalde Caballero por su contribución a este proyecto y por sus buenos consejos.

Al Dr. Gilberto Gonzáles, Jefe del Laboratorio de Instrumentación, por el apoyo en el préstamo del equipo e instalaciones para la construcción de los circuitos impresos.

A todos mis amigos del posgrado en ingeniería eléctrica de la UMSNH.

A todos muchas gracias por hacer esto posible.

ÍNDICE

Resumen	Pág. iv
Abstract	v
Lista de Figuras	x
Lista de Tablas	xii
Lista de Acrónimos	xiii

CAPÍTULO 1 INTRODUCCIÓN

1.1 Introducción.	1
1.2 Revisión del Estado del Arte(Compensadores Estáticos de Potencia Reactiva)	3
1.3 Objetivos	13
1.4 Justificación del Proyecto	13
1.5 Metodología	14
1.6 Descripción de los Capítulos.	14

CAPÍTULO 2 PRINCIPIOS BÁSICOS DE LA COMPENSACIÓN DE POTENCIA REACTIVA

2.1 Introducción	16
2.2 Definiciones Básicas de Potencia	17
2.2.1 Potencia Instantánea	18
2.2.2 Potencia Activa	18
2.2.3 Potencia Compleja	18
2.2.4 Potencia Reactiva	20
2.3 Triangulo de Potencia	21
2.4 Factor de Potencia (F.P.)	21
2.5 Corrección del Factor de Potencia	23
2.6 Compensadores de Potencia Reactiva con Dispositivos de Electrónica de Potencia	25
2.6.1 Compensación Serie	27
2.6.2 Compensación Paralela	27
2.7 Compensadores Estáticos de Var (SVC)	28
2.7.1 Reactor Controlado por Tiristor (TCR)	28
2.7.2 Transformador Controlado por Tiristor (TCT)	29
2.7.3 Reactor Controlado por Tiristor con Capacitor Fijo (FC-TCR)	30
2.7.4 Capacitor Conmutado Mecánicamente con Reactor Controlado por Tiristor (MSC-TCR)	31
2.7.5 Capacitor Conmutado por Tiristor (TSC)	32

2.7.6 Capacitor Conmutado por Tiristor – Reactor Controlado por Tiristor	32
2.8 Compensador Síncrono Estático (STATCOM)	33
2.8.1 Principio de operación del STATCOM	35

CAPÍTULO 3 ESTRUCTURA Y PRINCIPIOS DE OPERACIÓN DE UN STATCOM

3.1 Introducción	39
3.2 Estructura del STATCOM	39
3.3 Convertidor de Modo de Conmutación	40
3.3.1 Convertidor en Modo Inversor	42
3.3.2 Convertidor en Modo Inversor Trifásico	45
3.4 Modelo Matemático del STATCOM	48
3.4.1 Potencia Real Instantánea y Potencia Reactiva Instantánea	49
3.4.2 Circuito Equivalente y Ecuaciones del STATCOM	53
3.4.3 Modelo Discreto del STATCOM	56

CAPÍTULO 4 DISEÑO DEL HARDWARE DEL SISTEMA DE MEDICIÓN Y CONTROL

4.1 Introducción	58
4.2 Estructura del Convertidor	58
4.2.1 Puente de IGBTs	59
4.2.2 Tarjeta Controladora del Puente de IGBTs	59
4.2.3 Controlador Digital de Señales	60
4.2.4 Tarjeta de Medición	61
4.3 Medición de la Señal de Voltaje de CA	61
4.3.1 Filtro Pasa Banda	62
4.3.2 Acondicionador de Rango	62
4.4 Medición de la Señal de Corriente de CA	63
4.4.1 Sensor de Corriente	64
4.4.2 Acondicionador del Rango de la Señal de Corriente de CA	65
4.5 Medición de la Señal de Voltaje de CD del Capacitor	66
4.6 Circuito de Sincronización	70
4.6.1 Detector de Cruce por Cero	70
4.6.2 Filtro de Rebotes	71
4.7 Protección de Sobrecorriente en el Puente Convertidor	72
4.8 Módulo ADC	73
4.8.1 Características del ADC	74
4.8.2 Configuración de la Frecuencia de Operación del ADC	76
4.8.3 Modo de Muestreo Simultaneo	76
4.8.4 Principio de Operación del Secuenciador en Modo de Autoconversión	76

4.9 Módulo de Captura Mejorado (eCAP)	78
4.9.1 Operación en Modo Delta con Disparo en el Flanco Positivo	80
4.10 Generación de las Señales PWM	81
4.10.1 Generación de la Señal Portadora Triangular	82
4.10.2 Generación de la Señal de Referencia Sinusoidal	83
4.11 Estructura del Programa a implementar en el DSC	86

CAPÍTULO 5 DISEÑO DEL SISTEMA DE CONTROL DEL COMPENSADOR ESTÁTICO DE POTENCIA REACTIVA

5.1 Introducción	88
5.2 Estructura del Sistema de Control del STATCOM	88
5.3 Diseño del Controlador de Retroalimentación de Estado para el Control Desacoplado de p y q	89
5.3.1 Determinación de las Ganancias de los Controladores de Potencia	92
5.4 Diseño del Controlador de Voltaje del Capacitor	96

CAPÍTULO 6 PRUEBAS Y RESULTADOS

6.1 Introducción	105
6.2 Simulación de los Controladores de Potencia Reactiva y Potencia Real	105
6.3 Simulación del Controlador de voltaje del Capacitor	106
6.4 Simulación de la Operación del STATCOM	108
6.4.1 Caso de Estudio 1	108
6.4.2 Caso de Estudio 2	113
6.5 Pruebas del Circuito Impreso de Acondicionamiento de Señales	116
6.5.1 Acondicionamiento de la Señal de Voltaje de CA	117
6.5.2 Acondicionamiento de la Señal de Corriente de CA	119
6.5.3 Protección de Sobrecorriente	120
6.5.4 Procesamiento de la Señal de Voltaje del Capacitor	122
6.6 Pruebas del Circuito Impreso de la Controlador del Puente Convertidor	123

CAPÍTULO 7 CONCLUSIONES Y TRABAJOS FUTUROS

7.1 Introducción	126
7.2 Conclusiones	126
7.3 Trabajos Futuros	127

APÉNDICES

A.1 Código fuente de la simulación de los controladores desacoplados de potencia real y potencia reactiva.	128
A.2 Código fuente del controlador de voltaje del capacitor	129
A.3 Código fuente para el caso de estudio 1 que se presenta en el Capítulo 6	133
A.4 Código fuente para el caso de estudio 2 que se presenta en el Capítulo 6	136
A.5 Tarjetas de la etapa de acondicionamiento de señales	139
A.6 Tarjeta controladora del puente convertidor y tarjeta del puente convertidor	142

REFERENCIAS	146
--------------------	------------

RESUMEN

DISEÑO DEL SISTEMA DE MEDICIÓN Y CONTROL DE UN PROTOTIPO DE STATCOM BASADO EN UN DSC

El presente trabajo se enfoca al diseño del sistema de medición y control de un STATCOM, así como la construcción del prototipo. Para realizar el control se ha puesto especial atención en el modelado matemático del STATCOM. Apoyados en la transformación de Park se diseñaron controladores desacoplados para la potencia real y reactiva, los cuales fueron diseñados en el dominio discreto usando retroalimentación de estado. Integrando estos controladores se diseñó un controlador PI para regular el voltaje del capacitor. El hardware construido básicamente se compone de dos etapas: la etapa de procesamiento de las señales que proporciona información del STATCOM y del sistema eléctrico esta etapa está constituida por dos tarjetas una para los transductores y otra para el filtrado y acondicionamiento de nivel de las señales provenientes de los transductores, la otra etapa se encarga de suministrar las señales de control al puente convertidor trifásico en el cual basa su operación el STATCOM. Esta etapa se compone de dos partes, una que se denomina controladora del puente convertidor (la cual fue dividida en tres tarjetas una para cada fase) y la otra parte es la tarjeta del puente convertidor trifásico la cual se construyó con transistores IGBTs como dispositivo de conmutación. La construcción del hardware se realizó con un enfoque para que en un futuro se implemente el sistema de control en un controlador digital de señales *TMS320F28335* fabricado por *Texas Instruments*. Las aportaciones de este trabajo son importantes debido a que el hardware construido servirá para validar modelos matemáticos simulados digitalmente, también para experimentar diferentes esquemas de control. Como aportación inmediata el hardware diseñado servirá en la construcción de un sistema de transmisión HVDC Light. Más adelante se presenta la simulación de dos casos de estudio, los cuales sirven para validar el sistema de control implementado. Estos casos de estudio pueden servir para comparar los resultados del STATCOM con otros compensadores de potencia reactiva.

ABSTRACT

DESIGN OF A MEASUREMENT AND CONTROL

SYSTEM OF A STATCOM PROTOTYPE BASED ON A DSC

This project is focused on the measurement and control system of a STATCOM, and the prototype construction. For achieving that, it was necessary to analyze the mathematical model of a STATCOM. This model was helpful for designing a control system and finally for developing a simulation. The control system design was made step by step, firstly with the use of Park's transformation; two decoupled controllers were designed in the discrete time domain, one for the active power and the other for the reactive one. Those controllers were designed using state feedback. After that, by joining the controllers as a part of the plant a PI control was designed which has the chore of controlling the capacitor voltage. In this project it was designed and built the hardware of a STATCOM and also its own control. The hardware was divided in two important stages: the signal processing stage and the converter one. The first stage provides information of the STATCOM and the electric system to the control system. This stage is formed by two boards, one for the transducers and the other for filtering and conditioning the voltage level. The second stage is the hardware of the STATCOM. This stage is formed by two parts, one is called the controller of the converter bridge (which is divided in three boards -one per phase-) whose function is to condition and to provide the PWM control signals to the three-phase converter. The other board is the three-phase converter bridge which was built using IGBTs as commutation devices. All the hardware was designed and built towards the implementation of the control system using a Digital Signal Controller DSC *TMS320F28335*. The hardware building is important because it will be useful to validate digitally simulated mathematical models and for proving different control schemes. This project will be used in an HVDC Light implementation too. In this thesis is presented a simulation of two study cases that are used to validate the implemented control system. These cases could be used for comparing the STATCOM to different reactive power compensators.

LISTA DE FIGURAS

	Pág.
1.1 Proyectos de Compensadores Estáticos de Potencia Reactiva Instalados en el Mundo por ABB.	4
2.1 Estado estable sinusoidal. (a) Circuito RL con fuente de voltaje sinusoidal. (b) Formas de onda en estado estable. (c) Representación fasorial	19
2.2 Aplicación del Triángulo de Potencia a un sistema. (a) Circuito con cargas inductivas capacitivas y resistivas. (b) Representación fasorial usando el triángulo de potencia	22
2.3 Distorsión de la corriente de línea.	22
2.4 Significado del factor de potencia. (a) Circuito con carga inductiva-resistiva. (b) Diagrama fasorial de (a)	24
2.5 Corrección del factor de potencia. (a) Circuito compensado. (b) Diagrama fasorial de (a)	25
2.6 Línea de transmisión sin pérdidas que alimenta a una carga	26
2.7 Control de potencia reactiva para regulación de voltaje	27
2.8 Diagrama esquemático de un TCR	29
2.9 Reactores conectados en delta controlados por tiristor.	30
2.10 Configuración de un FC-TCR	30
2.11 Diferentes configuraciones de un compensador MSC-TCR	31
2.12 (a) TSC monofásico (b) Esquema general de TSC.	32
2.13 Diagrama general de un SVC TSC-TCR	33
2.14 Configuraciones de compensadores (a) Compensador síncrono estático basado en convertidor de fuente de voltaje y (b) Compensador síncrono estático basado en convertidor de fuente de corriente	34
2.15 Diagrama del STATCOM (a) Circuito de potencia;(b) Circuito equivalente: y (c) Intercambio de potencia	36
2.16 Característica V-I del STATCOM	37
2.17 Intercambio de potencia entre el STATCOM y el sistema de CA	38
3.1 Diagrama de un STATCOM de 6 pulsos basado en un VSC	39
3.2 Modos de operación del convertidor: (a) Circuito; (b) Modo inversor; (c) Modo rectificador; (d) Corriente constante.	41
3.3 Inversor monofásico en modo de conmutación	43
3.4 Pierna del inversor en modo de conmutación	43
3.5 Generación básica PWM	45
3.6 Modulación de ancho de pulso sinusoidal	46
3.7 Convertidor trifásico	47
3.8 Formas de onda de PWM y espectro armónico para un sistema trifásico	48
3.9 (a) Representación de un punto en el plano asociado a tres variables de fase que suman cero. (b) Transformación de variables de fase a coordenadas ds y qs	50
3.10 Representación de los vectores de voltaje y de corriente en los ejes ds y qs	52
3.11 Sistema de coordenadas que facilitan la separación de variables	52
3.12 Diagrama esquemático básico del STATCOM	54
4.1 Diagrama a bloques del convertidor	58
4.2 Puente Trifásico de IGBTs	59
4.3 Diagrama a bloques de la tarjeta controladora de IGBTs	60
4.4 Diagrama a bloques del transductor de voltaje en terminales del sistema	62
4.5 Ajuste de nivel de la señal de voltaje del sistema que se introduce al ADC	63

4.6 Diagrama esquemático del circuito de medición de la señal de voltaje del sistema	63
4.7 Diagrama a bloques del acondicionamiento de la señal de corriente de CA	64
4.8 Diagrama funcional del sensor de corriente ACS754-PFF	65
4.9 Ajuste de nivel de la señal de corriente del sistema que se introduce al ADC	66
4.10 Diagrama esquemático del circuito de medición de la señal de corriente de CA	66
4.11 Símbolo esquemático del amplificador con aislamiento electromagnético	68
4.12 Diagrama general del amplificador de aislamiento electromagnético 3656	68
4.13 Diagrama a bloques del medidor de voltaje de CD del capacitor	69
4.14 Conexión del amplificador de aislamiento 3656HG en modo diferencial	69
4.15 Diagrama del circuito de acondicionamiento de la señal del capacitor	70
4.16 Diagrama a bloques del circuito de sincronización	70
4.17 Diagrama esquemático del circuito de sincronización	71
4.18 Diagrama a bloques de protección de sobrecorriente	72
4.19 Diagrama de Protección de Sobrecorriente del DSC	73
4.20 Diagrama a bloques del ADC	75
4.21 Diagrama a bloques de configuración de la frecuencia del ADC	76
4.22 Diagrama a bloques del ADC autosecuenciado en modo cascada	77
4.23 Diagrama a bloques de la función captura	79
4.24 Secuencia de captura en el modo delta y detección de flanco positivo	81
4.25 Operación del software que genera la señal PWM	85
4.26 Lazo principal del software a implementar en el DSC TMS320F28335	86
4.27 Diagrama de flujo de la interrupción del ADC	87
5.1 Estructura del sistema de control del STATCOM	88
5.2 Diagrama ilustrativo de los polos complejos en el dominio continuo	94
5.3 Diagrama de bloques del sistema de control de voltaje del capacitor	96
5.4 Diagrama a bloques del controlador del voltaje del capacitor	97
5.5 Diagrama a bloques del sistema de control de lazo cerrado	99
5.6 Margen de fase y de ganancia con el controlador PI incluido	103
5.7 Respuesta al escalón de la planta con el controlador PI incluido	103
5.8 Acercamiento de la respuesta escalón de la planta con el controlador PI incluido	104
6.1 Respuesta de los controladores de las corrientes de los ejes d y q	106
6.2. (a) Máximo sobreimpulso (b) Tiempo de asentamiento de la respuesta del controlador de i_d	106
6.3 Respuesta del controlador PI del voltaje del capacitor al cargarse	107
6.4 Corriente i_d necesaria para cargar el capacitor a un valor de 480 V	107
6.5 Respuesta del controlador PI a un cambio del voltaje del capacitor	108
6.6 Corrientes en el convertidor (a) Corrientes en el eje d . (b) Corriente en el eje q	110
6.7 Señal de voltaje en el capacitor (Caso de estudio 1)	110
6.8 Voltaje en el convertidor (a) Voltaje en el eje d . (b) Voltaje en el eje q	111
6.9 (a) Potencia real que entrega el bus. (b) Potencia reactiva que entrega el bus	111
6.10 (a) Potencia en el convertidor. (b) Potencia real que absorbe el convertidor	112
6.11 (a) Corriente en el eje d . (b) Corriente en el eje q	113
6.12 Señal de voltaje en el capacitor. (Caso de estudio 2)	114
6.13 (a) Voltaje del convertidor en el eje d . (b) Voltaje del convertidor en el eje q	114
6.14 (a) Potencia real que entrega el bus. (b) Potencia reactiva que absorbe el bus	115

6.15 (a) Potencia activa que absorbe el convertidor. (b) Potencia reactiva que entrega el convertidor	115
6.16 Procesamiento de la señal de voltaje (voffset)	117
6.17 Procesamiento de la señal de voltaje ($V_{min} - V_{max}$)	118
6.18 (a), (b) Procesamiento de la señal de voltaje (defasamiento)	118
6.19 (a), (b) Detector de cruce por cero del voltaje en la fase A	119
6.20 (a), (b) Procesamiento de la señal de corriente	120
6.21 Protección de sobrecorriente cuando aun no hay sobrecorriente $I = 7.96$ A	121
6.22 Protección de sobrecorriente cuando existe sobrecorriente $I = 8.01$ A	121
6.23 Medición del voltaje de CD del capacitor	122
6.24 Señales PWM generadas en el DSC F28335	123
6.25 Tiempo muerto entre la señal PWM de una fase y su complemento	124
6.26 Señal PWM en la salida de la tarjeta controladora (HO)	124
6.27 Señal PWM en la salida de la tarjeta controladora (LO)	125
A.5.1 Lado de componentes de la tarjeta de transductores	140
A.5.2 Lado de componentes de la tarjeta de acondicionamiento de señales	141
A.6.1 Tarjetas controladoras donde el CI 74HCT245 es comun para las tres tarjetas	143
A.6.2 Tarjeta del puente convertidor basado en IGBTs	144
A.6.3 Puente convertidor con las tarjetas controladoras incluidas	145

LISTA DE TABLAS

2.1 Aplicaciones Prácticas de Compensadores Estáticos en Sistemas Eléctricos de Potencia	Pág. 17
--	------------

LISTA DE ACRÓNIMOS

CA:	Corriente Alterna
CD:	Corriente Directa
STATCOM:	Compensador Estático Síncrono
IGBT:	Transistor Bipolar de Compuerta Aislada
DSC:	Controlador Digital de Señales
MOSFET:	Transistor de Efecto de Campo
FACTS:	Sistemas de Transmisión Flexibles de Corriente Alterna
HVDC:	Corriente Directa de Alto Voltaje
F.P.:	Factor de Potencia
GTO:	Transistores de apagado por Compuerta
PWM:	Modulación de Ancho de Pulso
ADC:	Convertidor Analógico Digital
eCAP:	Módulo de Captura mejorado
p.u.:	Por Unidad

CAPÍTULO 1

INTRODUCCIÓN

1.1 Introducción

En este capítulo se explica la importancia que ha tenido la compensación de potencia reactiva a través del tiempo en diferentes ramas del sector eléctrico. Las aplicaciones que requieren de esta importante acción son variadas, desde hornos de arco eléctrico, hornos de inducción, soldadoras de arco, soldadoras de inducción, motores de inducción muy grandes (particularmente los que se deben arrancar y detener constantemente) hasta experimentos físicos de alta energía (por ejemplo los sincrotrones). Además, en este capítulo se presenta el estado del arte, el cual se constituye de una remembranza de los orígenes de la compensación de potencia reactiva, así como la evolución que ha tenido en los últimos 40 años. En esta tesis se presenta el diseño y simulación de los controladores de potencia reactiva y potencia real de un Compensador Estático de Potencia Reactiva (STATCOM).

El avance de la tecnología se aplica a las redes eléctricas para mejorar su funcionamiento. El común de los retos en estas redes es la variación de voltaje, entonces algunas aplicaciones de electrónica de potencia se enfocan en mantener los niveles de voltaje en un rango alrededor de su valor nominal. Por otra parte es deseable tener las cargas balanceadas en sistemas trifásicos con la intención de evitar corrientes de secuencia negativa y de secuencia cero que puedan tener consecuencias indeseables como calentamiento adicional en el equipo eléctrico. También la fluctuación de carga puede provocar variaciones en el voltaje en un nodo dado, el cual podría salirse de los límites establecidos. Debido a que la impedancia vista desde la carga es generalmente inductiva (líneas de transmisión y distribución, transformadores, generadores, etc.) es entonces, el cambio de potencia reactiva en la carga el que tiene el mayor efecto adverso en la regulación de voltaje. Las variaciones de voltaje como consecuencia de los cambios en el consumo y generación de potencia reactiva están relacionadas por el factor de potencia [Mohan et al, 2003].

Los compensadores estáticos de volts-amperes reactivos (vars), SVC (por sus siglas en inglés: *Static Var Compensators*) construidos con elementos reactivos controlados por tiristores, han sido instalados en las redes eléctricas desde la década de los 70's con la idea de entregar una compensación rápida de potencia reactiva en atraso o adelanto. Las instalaciones individuales y los beneficios específicos de los SVC pueden variar considerablemente, ya que cada aplicación de SVC representa un arreglo único dentro de un ambiente eléctrico dado [Rashid, 2004].

Con el paso de los años la electrónica de potencia ha avanzado de tal forma que las configuraciones y los modelos se han presentado como una amplia variedad de soluciones en diversas áreas, entre ellas la de Sistemas Eléctricos de Potencia, así se desarrolló el STATCOM o compensador estático síncrono basado en un convertidor de fuente de voltaje, el cual, después de numerosas pruebas, ha mostrado ventajas importantes sobre los SVC basados en tiristores.

El flujo de potencia en una línea de transmisión está limitado generalmente por uno o más parámetros de la red eléctrica, tal como la impedancia de la línea, y variables de operación tales como voltajes y corrientes. Como resultado, si se sobrepasan estos límites, la línea de potencia es incapaz de dirigir flujo de potencia entre las estaciones generadoras. En consecuencia, otras líneas paralelas que tienen una capacidad adecuada de transmisión adicional de cantidades de potencia podrían ser incapaces de suministrar la demanda. La tecnología FACTS (por sus siglas en inglés: *Flexible AC Transmission Systems*) es relativamente reciente y su tarea principal es mejorar la controlabilidad y la capacidad de transmisión de potencia en sistemas de CA. La tecnología FACTS utiliza dispositivos de conmutación de electrónica de potencia con el objetivo de controlar el flujo de potencia en el rango de las decenas a las centenas de Megawatts [Hingorani, Gyugyi, 2000].

Los dispositivos FACTS que tienen una acción de control integrada son conocidos como controladores FACTS. A continuación se muestra una lista de los dispositivos controladores FACTS más usados en la optimización del flujo de potencia:

- Compensadores estáticos de vars (SVC) basados en tiristores
- Compensador estático síncrono (STATCOM)
- Controlador unificado de flujo de Potencia (UPFC)
- Compensador serie convertible (CSC)
- Controlador de interfase de flujo de potencia (IPFC)
- Controlador estático serie síncrono (SSSC)
- Capacitor serie controlado por tiristor (TCSC)
- Transformador de cambio de fase (PST)
- Transformador de cambio de fase asistido (APST)

1.2 Revisión del Estado del Arte (Compensadores de Potencia Reactiva)

Los compensadores de potencia reactiva SVC son los dispositivos de electrónica de potencia *FACTS* más utilizados a nivel mundial. La compañía *ABB* (por sus siglas en inglés *Asea Brown Boveri*) ha sido pionera en la compensación de potencia reactiva. *ABB* reporta que desde 1978, que entró en operación su primer *SVC* comercial, al 2007, existen numerosos proyectos de compensadores que están en servicio o en construcción en todo el mundo. Esto representa en porcentaje una cantidad cercana al 54% del total mundial. Las aplicaciones de estos convertidores son en hornos de arco eléctrico, laminadoras, calidad de la energía y en el sector eléctrico [ABB, 2007].

Entre los países con más proyectos de compensación instalados por *ABB* está *EUA* con 34 proyectos y una capacidad instalada de 8415 Mvar, también figuran: *Canadá* con 19 proyectos que suman 6020 Mvar, *México* con 21 proyectos que suman 5777 Mvar, *Australia* con 20 proyectos para un total de 2671 Mvar, *Noruega* con 6 proyectos y 2220 Mvar, y en el país que se ha instalado la menor capacidad es en *Sri-Lanka* con sólo 1 proyecto de 20 Mvar.

En la Figura 1.1 se muestra la capacidad de SVC instalada por la empresa ABB en distintas partes del mundo, esto desde el año 1978 hasta el 2007, el número representa la capacidad instalada en cada país. Como se puede apreciar es en el continente americano donde esta empresa ha instalado la mayor parte de sus compensadores.

Desde 1978, Gyugyi ha presentado las bases teóricas de la compensación de potencia reactiva por medio de los compensadores controlados por tiristores en derivación y sus controles para su aplicación en compensación del balanceo de fases y estabilización de voltaje [Gyugyi et al, 1978, a] [Gyugyi et al, 1978, b] [Gyugyi, 1980]. Por su parte, En 1982, Miller publicó un extenso estudio de la compensación de potencia reactiva por medio de SVC [Miller, 1982]. En 1993 Hingorani publicó un documento en el cual presenta las ventajas y expectativas de los FACTS [Hingorani, 1993]. Hingorani y Gyugyi son considerados investigadores pioneros en el área de FACTS.

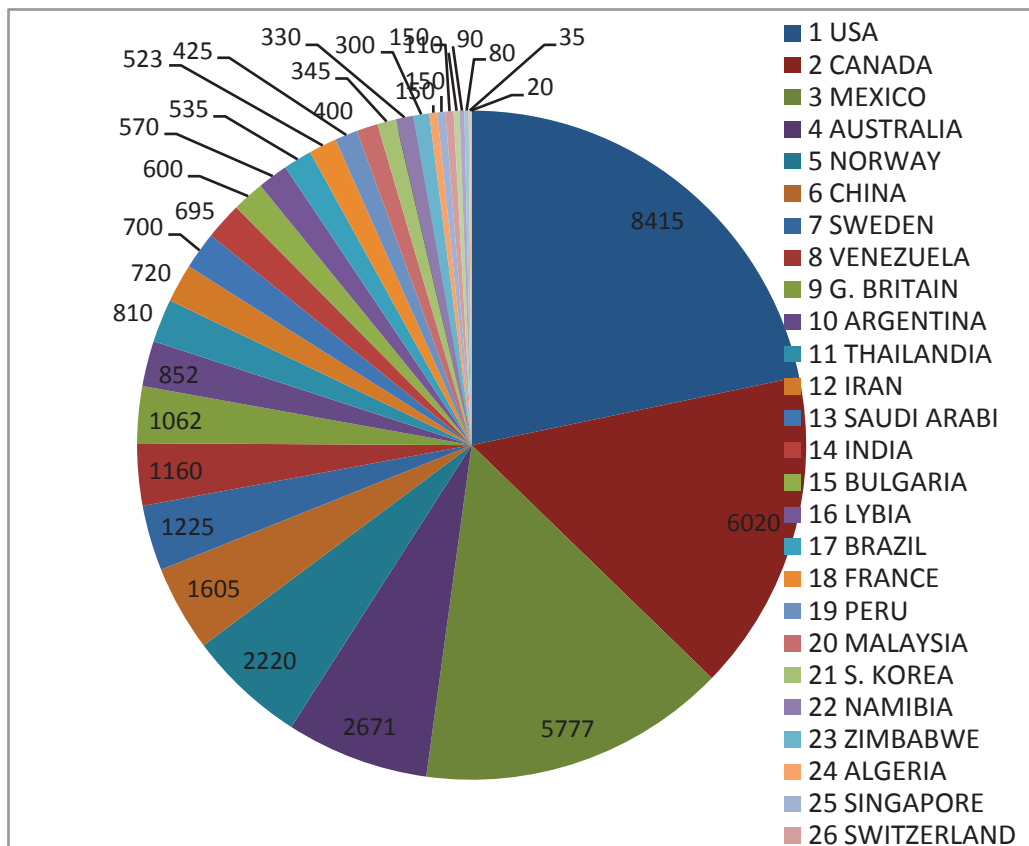


Figura 1.1 Proyectos de Compensadores de Potencia Reactiva Instalados en el Mundo por ABB.

En 1978, Hauth publicó estudios de ingeniería para la selección de la capacidad nominal y ubicación de un SVC de -10MVAR/+30MVAR, en la subestación de *Victory Hill* en el sistema de transmisión *Western Nebraska* [Hauth et al, 1978]. Se hace énfasis en la importancia de realizar simulaciones computacionales para predecir el comportamiento dinámico y de estado estable del SVC antes de instalarlo.

En 1992 Dickmader publicó los resultados de los extensos estudios que se realizaron durante la fase de diseño para verificar y optimizar el comportamiento en estado estable y transitorio de un SVC de -125MVAR/+425MVAR, instalado en la subestación *Chester* en el área de *Maine*, dichos estudios consistieron en validar el software y el hardware del sistema de control utilizando un simulador analógico *TNA* [Dickmader et al, 1992].

Los trabajos desarrollados entre 1990 y 1993 por Vasconcelos, Lee, Gole y Lefebvre, se enfocaron en modelar algunos tipos de SVCs para simularlos digitalmente en programas computacionales de transitorios electromagnéticos (*EMTP* o *EMTDC*) [Vasconcelos et al, 1992] [Lee et al, 1992] [Gole et al, 1990] [Lefebvre et al, 1992]. Dichos modelos son de gran ayuda para realizar pruebas considerando transitorios en el sistema, tales como fallas a tierra y rechazos de carga. Vasconcelos y Lee, validan sus modelos al comparar los resultados de la simulación digital con los datos aportados por la implementación de los modelos en un simulador *TNA*. Estos estudios permiten tener información suficiente del comportamiento de un SVC real, bajo condiciones de operación transitorias.

Reichert en 1992, hace una revisión del equipo utilizado para la compensación de la potencia reactiva. Incluyendo principios básicos y problemas asociados, con el control de potencia reactiva y los sistemas de control de potencia reactiva estáticos. También considera algunas técnicas de modelado y simulación [Reichert, 1992].

En 1992, Paul presentó el desarrollo de un SVC controlado por un sistema de evaluación de Intel para auxiliar a los alumnos del departamento de Ingeniería Eléctrica de

la Universidad *Jadavpur* de Calcuta India en los experimentos de laboratorio orientados a sistemas de potencia. Es importante mencionar que el diseño se realizó con circuitos electrónicos básicos [Paul et al, 1992].

En 1993, Welsh y Bergmann describen los estudios realizados antes de la instalación de un *SVC* en las subestaciones de *Pelham* cerca de Londres y *Eddy County* cerca de Artesia, Nuevo México, respectivamente. Los estudios y pruebas se llevan a cabo en un simulador de transitorios analógico (*TNA*) en conjunto con modelos digitales para simular el sistema de control utilizado. Los resultados de las pruebas se validan con las pruebas de campo realizadas en el período de pruebas del *SVC* [Welsh et al, 1993].

En 1993 Schauder y Mehta presentaron un modelo matemático simplificado del *ASVC* (por sus siglas en inglés *Advanced Static VAR Compensator*) también conocido como *STATCON* (por sus siglas en inglés *Static Condenser*) el cual hizo posible derivar las funciones de transferencia necesarias para sintetizar el sistema de control [Schauder, Mehta, 1993]].

En 1995 Kosterev, Kolodziej, Mohler y Mittelstadt, hicieron un estudio para mejorar la estabilidad transitoria en un sistema de potencia en Montana usando un *TCSC*. En este proyecto se incluyó el diseño de un controlador de estabilidad transitoria para maximizar la efectividad del *TCSC* desde el primer intento de mejora de la estabilidad. También se propone una ley de control robusta para poder proporcionar los requerimientos del sistema [Kosterev et al, 1995].

En 1995, Chang presentó el diseño de un *SVC* didáctico que se incorporó a un simulador analógico de sistemas de potencia, para auxiliar a los estudiantes del *National Taiwan Institute of Technology*, en el estudio y comprensión del funcionamiento de los *SVC* en aplicaciones de corrección de factor de potencia, regulación de voltaje y balance de fases. Las estrategias de control se implementaron en una microcomputadora personal [Chang et al, 1995].

Ekanayake en 1996, presentó las expresiones matemáticas que rigen el comportamiento de un compensador estático avanzado (*ASVC*) y su validación con un modelo de laboratorio a pequeña escala [Ekanayake et al, 1996].

En 1996 Jalali & Hedin, Pereira & Sadek presentaron un artículo en el cual explican el desarrollo de un modelo de estabilidad preciso para un ASC (por sus siglas en inglés *Advanced Series Compensator*) el modelo se validó para ambas regiones capacitiva e inductiva del ASC [Jalali et al, 1996].

Larsson en 1998 presentó un interesante trabajo, en el cual se describe el uso de un STATCOM de 60MVA para compensar la potencia reactiva demandada por un horno de arco eléctrico. Se modeló el sistema completo (compensador-horno) en el marco de referencia rotativo síncrono dq , evaluándolo en el paquete computacional *EMTDC*. Para validar los resultados de estas simulaciones se implementó un modelo analógico del sistema, emulando el funcionamiento del horno por medio de amplificadores de potencia analógicos y el algoritmo de control, el cual se implementó en un *DSP 6500X* de *Motorola* [Larsson et al, 1998].

En 1998, Schauder presentó los antecedentes del proyecto y describió la primera fase de la instalación del primer *UPFC* en el mundo, en la subestación de Inez al este de Kentucky. Esta fase consistió en la instalación y puesta en marcha de un STATCOM de ± 160 MVA, la cual se terminó en Julio de 1997 [Schauder et al, 1998].

En 1998, Bijlenga presentó la aplicación de la tecnología *SVC Light* para el mejoramiento de la calidad de la energía. El *SVC Light* es una tecnología patentada por *ABB*, que básicamente es un *STATCOM* [Bijlenga et al, 1998].

En 1998, Hochgraf propone un regulador de voltaje en el marco de referencia síncrono para el *STATCOM*, que es capaz de operar satisfactoriamente bajo condiciones

desbalanceadas de alimentación. La condición de desbalance generalmente no es abordada en la mayoría de los trabajos [Hochgraf et al, 1998].

En 1998, Ainsworth presenta el desarrollo de un convertidor alternativo al *SVC* y *STATCOM* convencionales, con ventajas significativas en términos del costo y desempeño. Este nuevo arreglo está formado de un número de convertidores a base de *GTOs* conectados en serie para formar una cadena. El convertidor de circuito en cadena (Chain Circuit Converter) es utilizado para la compensación de Vars. Se presentan las ventajas técnicas de este convertidor sobre los *STATCOM* convencionales, dentro de las cuales se incluyen el desempeño armónico y la velocidad de respuesta. Es importante resaltar que es una configuración atractiva, sin embargo no se encontraron trabajos posteriores [Ainsworth et al, 1998].

Liang en 1998, propone un nuevo tipo de *STATCOM* que está construido de varios inversores de fuente de voltaje de puente completo (o puente H) idénticos en cascada. Los inversores incluyen capacitores de almacenamiento de energía que también son todos iguales. Una característica importante es que todos los interruptores y los diodos tienen los mismos rangos nominales, lo cual resulta en un diseño y mantenimiento del sistema más sencillo [Liang et al, 1998].

En 1998 Lehn e Iravani presentan una propuesta para el control dinámico de dispositivos FACTS basados en VSI tales como el UPFC y el *STATCOM*. En el control se parte del desacoplamiento de los ejes d y q . La propuesta se basa en la linealización del modelo del inversor dq . [Lehn, Iravani 1998].

Schauder en 1999, concluye que el equipo electrónico de alta potencia, desarrollado para la compensación de potencia reactiva en sistemas de transmisión, puede ser exitosamente aplicado para la compensación del efecto *flicker* en grandes hornos de arco industriales. Schauder presentó como ejemplo un *STATCOM* $\pm 80\text{MVA}$ con un

transformador de acoplamiento en derivación conectándolo al bus del horno de arco de 15 kVA, instalado en *Structural Metals Inc* en *Seguin, Texas* [Schauder, 1999].

En 1999 Gama, realizó estudios para ver los beneficios que se podrían obtener al incluir un equipo de TCSC en una línea de interconexión eléctrica del norte al sur de Brasil, las pruebas realizadas durante el estudio confirmaron claramente la efectividad del TCSC en el amortiguamiento de las oscilaciones de potencia [Gama et al, 1999].

En 1999, P. García y A. García propusieron un sistema de control para un STATCOM basado en PWM. Como primera parte presentaron un modelo lineal equivalente del STATCOM y después explicaron a detalle el sistema de control el cual logró un control rápido del intercambio de potencia reactiva del compensador y mantuvo constante el voltaje de la conexión CD del inversor [García et al, 1999].

El Dr. Mwinyiwiwa, es una de las personas que han trabajado en el área de *FACTS*. Los trabajos presentados por él, tienen una relación teórico-práctica interesante, es decir presenta las bases teóricas, simulaciones computacionales y compara los resultados de las simulaciones con resultados experimentales de laboratorio. En 1997, presentó un artículo enfocado a la eliminación de la tercera y la sexta armónica que se presenta en el voltaje de CA de los capacitores de enlace de CD de los convertidores multinivel, utilizando configuraciones de STATCOM multinivel en derivación de seis y doce pulsos [Mwinyiwiwa et al, 1997]. En 1998, presentó un trabajo que describe un *UPFC* (por sus siglas en inglés *Unified Power Flow Controller*) utilizando multiconvertidores operados mediante modulación de ancho de pulso sinusoidal con portadora triangular desplazada en fase [Mwinyiwiwa et al, 1998]. En el 2000 presentó un *UPFC* multiterminal [Mwinyiwiwa et al, 2000, a y b].

En el 2000 Li, Wu, Wang, Zhou presentaron un método para analizar el rendimiento dinámico de un sistema eléctrico de potencia tomando en cuenta los procesos transitorios de un TCSC (Thyristor Controlled Series Capacitor) y un MOV (Metal Oxidized Varistor)

siendo este último un componente altamente no lineal. El MOV es una parte indispensable del TCSC que es usado para proteger los bancos de capacitores pero al mismo tiempo afecta en gran medida las características del TCSC y el rendimiento dinámico del sistema de potencia [Li et al, 2000].

En 2000, Fuerte-Esquivel, Acha, Ambriz-Perez propusieron un nuevo modelo de flujo de carga para el TCSC, en dicho modelo la variable de estado es el ángulo de disparo de los TCSC's el cual es combinado con las magnitudes del voltaje nodal y los ángulos de toda la red en un sólo marco de referencia para una solución iterativa unificada usando el método de Newton-Raphson. A diferencia de otros modelos, éste toma en cuenta el lazo de corriente que existe en el TCSC, en ambos momentos: modo de conducción parcial y modo de conducción completo [Fuerte-Esquivel et al, 2000].

En el año 2001 Escobar & Stankovic, Matavelli, Ortega propusieron tres controladores no lineales para un TCSC (por sus siglas en inglés *Thyristor Controlled Series Capacitor*) el primero basado en un control aproximado con linealización en la retroalimentación, el segundo es un diseño de superficie deslizante el cual consiste en una superficie en el espacio de estado la cual es una combinación lineal de los estados, y el tercero es un control en coordenadas (polares) transformadas [Escobar et al, 2001].

En 2001, Reed describe el proyecto del STATCOM instalado en la subestación *Essex* de la compañía *Vermont Electric Power Company* en *Burlington, Vermont*. El STATCOM tiene una capacidad nominal de +133/-41MVA a 115 kV [Reed et al, 2001].

En 2001 Chan y Madrigal presentaron una comparación de resultados obtenidos al solucionar el problema de caída de voltaje producida en el arranque de un motor de inducción y un generador síncrono usando modelos del SVC y del STATCOM los resultados mostraron que el STATCOM reacciona mejor que el SVC bajo condiciones de bajo voltaje [Chan et al, 2001].

En el 2001, Yang presenta un STATCOM con Elemento de Almacenamiento de Energía (*ESS*, por sus siglas en inglés *Energy Storage Systems*), que permite al convertidor trabajar en los cuatro cuadrantes. Yang expone las ecuaciones matemáticas que son simuladas en *PSCAD* y compara los resultados con un hardware construido en la Universidad de Missouri-Rolla. Validando la configuración propuesta y las ecuaciones matemáticas. Las pruebas realizadas verificaron el funcionamiento del *STATCOM/ESS* en aplicaciones tales como: control de la capacidad de transmisión, control de voltaje y amortiguamiento de oscilaciones [Yang et al, 2001].

Más recientemente, en el 2003, Pourbeik explica la metodología y los estudios técnicos que se realizaron para garantizar el apropiado funcionamiento de un *SVC* instalado en Potrero en las cercanías de la ciudad de San Francisco. Se plantean dos modelos uno de ellos se implementó en el *PSCAD/EMTDC* y el otro en el *GE PSLF/PSDS* [Pourbeik et al, 2003].

Kalyan en el 2003 presentó la familia de transformadores “*Sen*” (*ST* por sus siglas en inglés *Sen Transformer*), que están basados en la tecnología tradicional de transformadores y cambiadores de *taps*, los cuales pueden operar en forma similar a un *UPFC*. Estableciendo que el *ST* es más económico y eficiente que el *UPFC* cuyo funcionamiento está basado en la tecnología de *VSC* [Kalyan et al, 2003 b y c]. También en el 2003, Kalyan presenta el modelo de un *UPFC* el cual es probado en el *EMTP* y validado con las mediciones realizadas del *UPFC* instalado en la subestación de Inez [Kalyan et al, 2003].

En el 2004, Wang presenta un *UPFC* basado en el concepto de inversores multinivel en cascada, en el cual propone un enlace de *CA* para los inversores, a diferencia de los conceptos teóricos convencionales, donde el enlace de los dos inversores es a través del enlace de *CD* [Wang, et al, 2004].

En 2004, Dong explicó un sistema de *FACTS* reconfigurable para su uso en laboratorios universitarios. El sistema puede operar como: *STATCOM*, *SSSC* o como

UPFC con la finalidad de poder implementar y evaluar nuevas estrategias de control [Dong et al, 2004].

En el 2005, El-Moursi, presentó esquemas de control para *VSC* de 48 pulsos a base de *GTO* para la implementación de *STATCOM* y *SSSC* (por sus siglas en inglés *Static Series Synchronous Compensator*) para aplicaciones de regulación de voltaje y compensación de potencia reactiva. Las simulaciones fueron desarrolladas en *MATLAB/SIMULINK*, con las cuales se verificó el funcionamiento dinámico de los dos tipos de *FACTS* [El-Moursi, et al, 2005].

En el 2006, Alfonso Alzate presentó una estrategia de control para un *STATCOM* de seis pulsos conectado a un sistema de potencia. Esta estrategia se basa en un sistema de inferencia neuro-difuso adaptivo (*ANFIS*) [Alzate, et al, 2006]

En el 2008, Alfonso Alzate, presentó el diseño de un control para un *STATCOM* instalado en un sistema de potencia para el estudio de pequeña señal, usando los métodos de reubicación de polos y regulador cuadrático lineal (*LQR*). [Alzate, et al, 2008]

En el 2009, Qiuhan Song, presentó un esquema de control para *STATCOMs* en cascada conectados en estrella bajo condiciones de desbalance usando un algoritmo de control propuesto para el control del balance de la potencia activa promedio. El control del voltaje del enlace de *CD* y el control de la referencia de corriente puede ser implementado simultáneamente en condiciones de carga desbalanceadas y para condiciones de voltaje desbalanceados. [Song, et al, 2009]

En el trabajo presentado en esta tesis se propone el diseño y simulación de un control para un *STATCOM*, basado en un convertidor de fuente de voltaje el cual utiliza *IGBT's* como dispositivos de conmutación. Se propone realizar el control del *STATCOM* por medio de un Controlador Digital de Señales *DSC* (de sus siglas en inglés; Digital

Signal Controller) utilizando la técnica de Modulación de Ancho de Pulso (PWM). Se presenta el diseño y la construcción del hardware necesario para su operación.

1.3 Objetivos

El objetivo general de este proyecto de tesis es

- Diseñar el sistema de medición y control para un prototipo de laboratorio de un STATCOM.

Como objetivos particulares se plantean los siguientes:

- a) Diseñar y construir el hardware del sistema de medición y control de un prototipo de laboratorio de un STATCOM.
- b) Diseñar y simular los controladores de potencia real, de potencia reactiva y del voltaje del capacitor para su aplicación en el prototipo de STATCOM.
- c) Simular la operación del STATCOM.
- d) Realizar pruebas al hardware diseñado y construido del sistema de medición y control para verificar su funcionamiento.

1.4 Justificación del Proyecto

La construcción de un prototipo compensador de potencia reactiva a nivel de laboratorio es de vital importancia ya que éste podrá ser utilizado para validación de modelos matemáticos simulados digitalmente y para experimentar diferentes esquemas de control.

Por otro lado, el método de diseño del sistema de control permite comparar resultados, como velocidad de respuesta y tiempo de establecimiento con otros proyectos existentes de STATCOM.

1.5 Metodología

Para la realización de este proyecto se plantearon los siguientes pasos:

- 1.- Revisión del estado del arte
- 2.- Estudio de la teoría de operación de los compensadores de potencia reactiva.
- 3.- Estudio general del STATCOM el cual incluye: funcionamiento y modelado matemático.
- 4.- Diseño y construcción del hardware del STATCOM
- 5.- Diseño del sistema de control del STATCOM
- 6.- Análisis de resultados de simulación y construcción.

1.6 Descripción de Capítulos

CAPÍTULO 1

En este capítulo se proporciona una introducción en la que se explica la importancia que tiene la compensación de potencia reactiva en los sistemas eléctricos. Por otro lado, también en este capítulo se incluye la revisión del estado del arte en materia de compensación de potencia reactiva. Finalmente en esta sección se incluye la descripción de los capítulos.

CAPÍTULO 2

En este capítulo se explican algunos conceptos fundamentales en el área de energía eléctrica que son necesarios para la comprensión de la compensación de potencia reactiva. También en este capítulo se presentan las configuraciones más importantes que se han utilizado para la compensación de potencia reactiva.

CAPÍTULO 3

En este capítulo se explica la estructura y los principios de operación de un STATCOM, en el cual, se incluye la explicación de un convertidor estático de potencia por ser la parte fundamental de un STATCOM. Al final de este capítulo se presenta también el modelado matemático del STATCOM.

CAPÍTULO 4

En este capítulo se presenta el convertidor en modo de conmutación y se explica cada etapa que lo conforma, desde el diseño hasta la puesta en operación, es decir en este capítulo es detallado el diseño del hardware del STATCOM simulado en este proyecto de tesis.

CAPÍTULO 5

En este capítulo se presenta el diseño de los controladores de potencia real, potencia reactiva y voltaje del capacitor. Asimismo se explica la configuración del software a implementarse en el DSC 320F28335 *Texas Instruments* para la puesta en operación del STATCOM. Esta información será de gran utilidad para la sección de trabajos futuros. Esta configuración se realizó en la plataforma del *Code Composer Studio*, que permite programar en lenguaje ensamblador, C o una mezcla de ellos. Básicamente el software incluye la configuración del módulo ADC, la unidad eCAP y el módulo ePWM.

CAPÍTULO 6

En este capítulo se muestran las simulaciones de los controladores de potencia real, reactiva y del voltaje del capacitor, también se muestra la simulación del STATCOM y las pruebas realizadas al hardware construido en este proyecto de tesis. Estas pruebas fueron hechas en el laboratorio de Máquinas Eléctricas de la División de Estudios de Posgrado de la Facultad de Ingeniería Eléctrica de la Universidad Michoacana de San Nicolás de Hidalgo.

CAPÍTULO 7

En este capítulo se muestran las conclusiones a las que se llegaron al término de este proyecto de tesis. Finalmente en este capítulo se proponen algunos trabajos futuros que servirán para hacer un estudio más completo del STATCOM.

CAPÍTULO 2

PRINCIPIOS BÁSICOS DE LA COMPENSACIÓN DE POTENCIA REACTIVA

2.1 Introducción

En el presente capítulo se explican los principios básicos en los que basan su operación los compensadores estáticos de vars. Para la correcta comprensión de estos principios es necesaria la revisión de algunos conceptos básicos de ingeniería eléctrica, además se presenta el principio y las características de operación de varios compensadores de potencia reactiva basados en dispositivos de electrónica de potencia.

Actualmente, los dispositivos FACTS han cobrado una importancia mayor debido a que proporcionan una solución para cada necesidad, en la que destacan características como rapidez y flexibilidad para atacar cualquier contingencia para la que han sido diseñados. El proyecto presentado en esta tesis está enfocado al diseño y simulación de un compensador de potencia reactiva en derivación.

La aplicación de los compensadores estáticos de potencia reactiva es vasta, algunas de ellas se encuentran listadas en la Tabla 2.1 Aunque existen otras no menos importantes como el control de voltaje de CA cerca de las terminales de los convertidores en los sistemas de transmisión de CD en alto voltaje (HVDC), la minimización de pérdidas de transmisión resultantes de generación local o absorción de potencia, y la supresión de resonancia subsíncrona [Miller, 1982].

La propiedad más importante de los compensadores estáticos es la habilidad de mantener constante el voltaje en sus terminales por medio del ajuste continuo de potencia reactiva que estos intercambian con el sistema de potencia. Esta propiedad de voltaje constante es el primer requerimiento en la compensación dinámica paralela o compensación por seccionamiento, y es igualmente importante en la reducción de parpadeos y otras fluctuaciones de voltaje causadas por cargas variables. Una segunda propiedad importante es la velocidad de respuesta. La potencia reactiva del compensador debe cambiar

suficientemente rápido en respuesta a un pequeño cambio en el voltaje en sus terminales [Miller, 1982].

Tabla 2.1
Aplicaciones Prácticas de Compensadores Estáticos en
Sistemas Eléctricos de Potencia [Miller, 1982]

<i>Mantener el nivel de voltaje constante o muy cercano a constante.</i>	
✓	Bajo condiciones de variaciones pequeñas debido a cambios en la carga
✓	Corregir cambios de voltaje causados por eventos inesperados (Por ejemplo rechazos de carga, interrupciones de líneas y generadores)
✓	Reducir parpadeos de voltaje causados por cargas rápidamente fluctuantes (Por ejemplo, hornos de arco)
<i>Mejorar la estabilidad de los sistemas de potencia</i>	
✓	Manteniendo el voltaje en puntos clave (Por ejemplo el punto medio de una línea larga)
✓	Ayudando a mejorar el amortiguamiento de las variaciones de voltaje
<i>Mejorar el Factor de Potencia</i>	
<i>Corregir el desbalance de fase</i>	

2.2 Definiciones Básicas de Potencia

Los conceptos de potencia activa, reactiva y aparente son muy importantes en la industria eléctrica. Estos conceptos se revisan enseguida.

2.2.1 Potencia Instantánea.

La potencia instantánea administrada a un dispositivo es simplemente el producto del voltaje instantáneo entre sus terminales y la corriente instantánea que fluye a través de éste. La potencia instantánea es siempre expresada en Watts, independientemente del tipo de circuito usado. Ésta a su vez puede ser positiva o negativa. Un valor positivo significa que la potencia fluye hacia el dispositivo. Por el contrario un valor negativo indica que la potencia fluye desde el dispositivo [Wildi, 2006].

2.2.2 Potencia Activa.

Si tanto la forma de onda del voltaje como la de corriente son periódicas respecto al tiempo, al promedio con respecto al tiempo de la potencia instantánea, tomado sobre un número entero de periodos se le llama potencia activa [Fink et al, 1996]. Para entender de una forma más clara los diferentes tipos de potencia y sus ecuaciones, se puede partir de la definición general. Para ello consideremos al circuito de CA mostrado en la Figura 2.1(a), el cual tiene las formas de onda mostradas en la Figura 2.1 (b) [Mohan et al, 2003].

Donde:

$$v = \sqrt{2}V \cos \omega t \qquad i = \sqrt{2}I \cos(\omega t - \phi) \qquad (2.1)$$

V e I son los valores rms.

Debido a que el voltaje y la corriente varían sinusoidalmente con el tiempo a la misma frecuencia, éstos pueden ser representados en un plano complejo por medio de la proyección de fasores rotatorios sobre el eje horizontal real como se muestra en la Figura 2.1(c).

2.2.3 Potencia Compleja.

La potencia compleja S se define como:

$$S = VI^* = Ve^{j0}Ie^{j\phi} = VIe^{j\phi} = Se^{j\phi} \qquad (2.2)$$

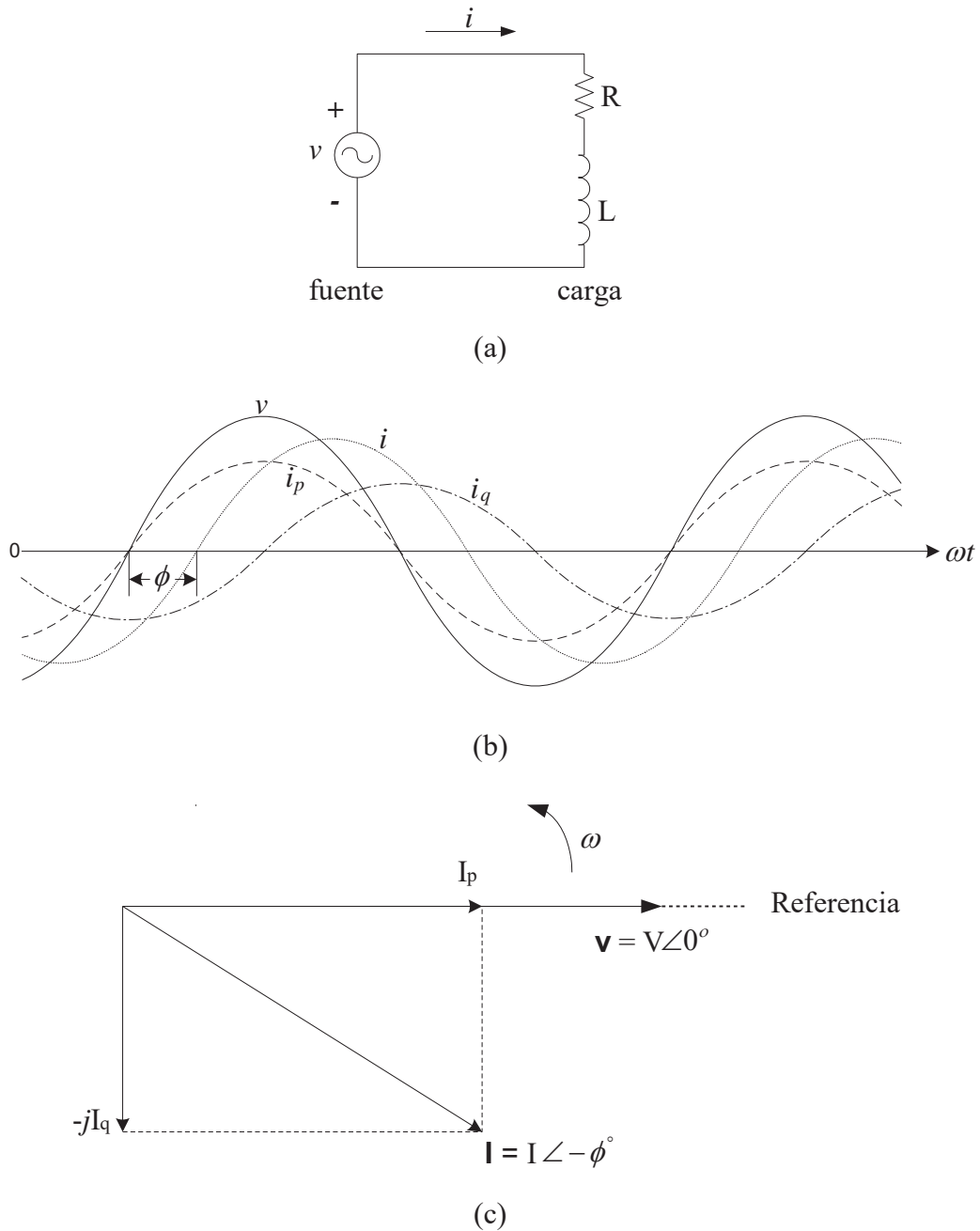


Figura 2.1 Estado estable sinusoidal. (a) Circuito RL con fuente de voltaje sinusoidal. (b) Formas de onda en estado estable. (c) Representación fasorial [Mohan et al, 2003]

De esta forma, la magnitud de la potencia compleja, la cual es llamada potencia aparente y su unidad es el volt-ampere es:

$$S = VI \tag{2.3}$$

La potencia activa promedio es

$$P = \text{Re}[\mathbf{S}] = VI \cos \phi \quad (2.4)$$

La cual es expresada como el producto de V y la componente de corriente $I_p = I \cos \phi$, que está en fase con el voltaje en el diagrama fasorial de la Figura 2.1(c). La componente fuera de fase es $I_q = I \sin \phi$. [Mohan et al, 2003]

2.2.4 Potencia Reactiva

En el diagrama fasorial de la Figura 2.1(c) sólo I_p es responsable de la transferencia de potencia. Es común definir una cantidad llamada *potencia reactiva* Q que tiene por unidad el var (volt-ampere-reactivo) y que involucra a I_q . Definiendo la potencia compleja $\mathbf{S} = P + jQ$ y usando las ecuaciones (2.2) y (2.3) se tiene que

$$Q = VI \sin \phi = VI_q = \sqrt{S^2 - P^2} \quad (2.5)$$

La carga inductiva mostrada en la Figura 2.1(a) tiene un valor positivo de ϕ , donde la corriente atrasa al voltaje. De acuerdo con la ecuación 2.5 una carga inductiva ocasiona vars positivos llamados vars de atraso. Opuestamente, una carga capacitiva ocasiona vars negativos, también llamados vars de adelanto (en otras palabras, la carga capacitiva aporta vars positivos al sistema eléctrico) [Mohan et al, 2003].

La potencia reactiva tiene una importancia relevante en los circuitos eléctricos debido a que, por ejemplo, se le atribuye la acción de producir campos magnéticos, por lo cual la asociamos con los motores, generadores, transformadores, etc.; sin embargo, algunas veces se encuentran cargas que absorben potencia reactiva y no necesariamente para crear dichos campos. Esto pasa en circuitos de electrónica de potencia en donde el flujo de corriente es retardado por medio de un circuito de conmutación rápida, como un tiristor. El conmutador se enciende y se apaga de tal forma que la corriente sólo fluye durante un tiempo corto en cada ciclo. [Wildi, 2006]

2.3 Triángulo de Potencia

Se puede mostrar la relación entre S, P, y Q gráficamente por medio del *triángulo de potencia*. Para trazar dicho triángulo, se aplican las siguientes reglas: [Wildi, 2006]

1. La potencia activa P absorbida por un circuito o dispositivo se considera positiva y se dibuja horizontalmente hacia la derecha.
2. La potencia activa P que es entregada por un circuito o dispositivo se considera negativa y se dibuja horizontalmente hacia la izquierda.
3. La potencia reactiva Q absorbida por un circuito o dispositivo se considera positiva y se dibuja verticalmente hacia arriba.
4. La potencia reactiva Q que es entregada por un circuito o dispositivo se considera negativa y se dibuja verticalmente hacia abajo.

Como ilustración de la representación vectorial de las potencias, en la Figura 2.2 (b) se representa la potencia aparente resultante que entrega la fuente en el circuito que se muestra en la Figura 2.2 (a)

2.4 Factor de Potencia (F.P.)

S, P y Q tienen un significado físico. El costo de la mayoría del equipo eléctrico tal como generadores, transformadores y líneas de transmisión se incrementa con $S = VI$, esto debido a que el nivel de aislamiento eléctrico y el tamaño del núcleo magnético depende de V y la dimensión del conductor depende de I. La potencia P representa la cantidad de trabajo útil que se ejecuta más las pérdidas de potencia. En la mayoría de las situaciones es deseable tener una potencia reactiva Q igual a cero.

La forma de medir la efectividad con la que la carga consume la potencia activa es por medio del concepto de *factor de potencia*, el cual se define mediante la ecuación (2.6)

$$\text{factor de potencia} = \frac{P}{S} = \frac{P}{VI} = \cos \phi \quad (2.6)$$

El factor de potencia no tiene dimensiones. Idealmente el factor de potencia debería ser 1.0 (esto es, Q debe ser cero) para transportar potencia con una magnitud de corriente

mínima y así reducir las pérdidas en el equipo eléctrico y posiblemente en la carga [Mohan et al, 2003].

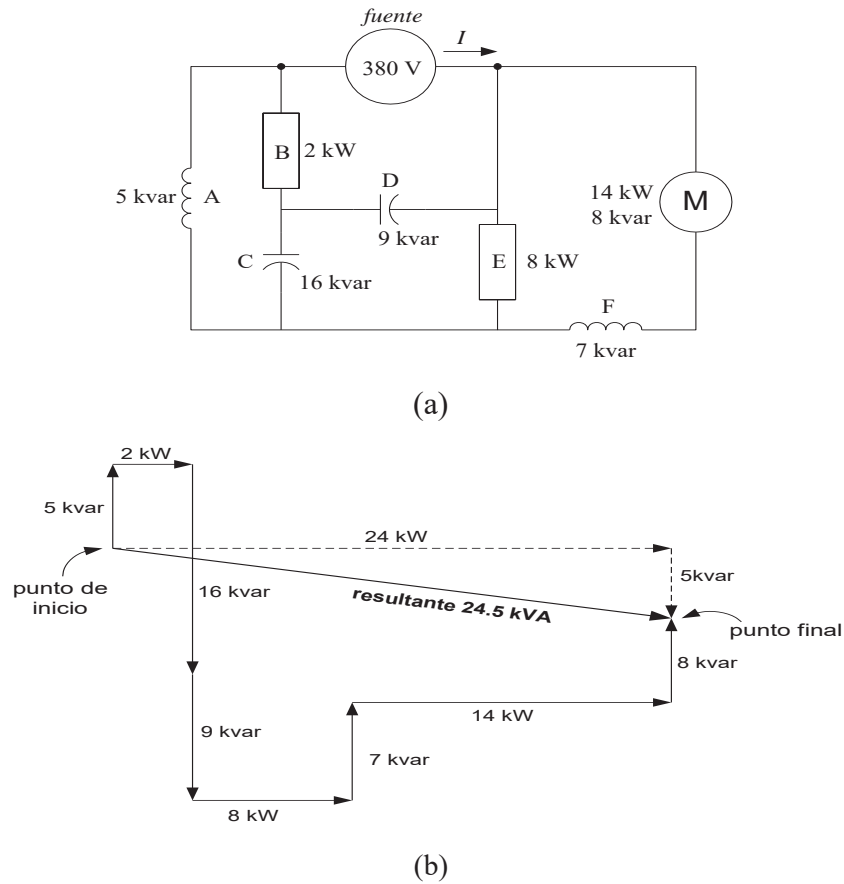


Figura 2.2 Aplicación del Triángulo de Potencia a un sistema. (a) Circuito con cargas inductivas capacitivas y resistivas. (b) Representación fasorial usando el triángulo de potencia. [Wildi, 2006]

La definición de factor de potencia mencionada arriba funciona perfectamente cuando no se tiene distorsión de la corriente de línea. Cuando esta distorsión se presenta como se ilustra en la Figura 2.3, existe una expresión para calcular el factor de potencia. A continuación se presenta un análisis para obtenerla.

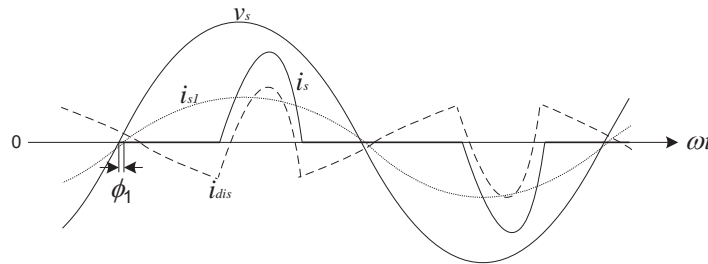


Figura 2.3 Distorsión de la corriente de línea. [Mohan et al, 2003]

Con la finalidad de simplificar el análisis se asume que el voltaje de entrada útil es puramente sinusoidal a la frecuencia fundamental. [Mohan et al, 2003]

$$v_s = \sqrt{2}V_s \sin \omega_1 t \quad (2.7)$$

La corriente en estado estable es la suma de sus componentes (armónicas) de Fourier y se define como:

$$i_s(t) = i_{s1}(t) + \sum_{h \neq 1} i_{sh}(t) \quad (2.8)$$

Donde i_{s1} es la componente de frecuencia fundamental e i_{sh} es la componente a la frecuencia armónica $f_h (= h f_1)$. Esas componentes de corriente en la ecuación (2.8) pueden expresarse como:

$$i_s(t) = \sqrt{2}I_{s1} \sin(\omega_1 t - \phi_1) + \sum_{h \neq 1} \sqrt{2}I_{sh} \sin(\omega_h t - \phi_h) \quad (2.9)$$

Recordemos la definición básica de potencia promedio

$$P = \frac{1}{T_1} \int_0^{T_1} p(t) dt = \frac{1}{T_1} \int_0^{T_1} v_s(t) i_s(t) dt \quad (2.10)$$

Usando v_s de la ecuación (2.7) e i_s de la ecuación (2.9)

$$P = \frac{1}{T_1} \int_0^{T_1} \sqrt{2}v_s \sin \omega_1 t \cdot \sqrt{2}I_{s1} \sin(\omega_1 t - \phi_1) dt = V_s I_{s1} \cos \phi_1 \quad (2.11)$$

La potencia aparente es el producto del voltaje rms V_s y la corriente rms I_s

$$S = V_s I_s \quad (2.12)$$

Utilizando las ecuaciones (2.11) y (2.12), el factor de potencia para el caso de distorsión armónica está dado por

$$F.P. = \frac{P}{S} = \frac{V_s I_{s1} \cos \phi_1}{V_s I_s} = \frac{I_{s1}}{I_s} \cos \phi_1 \quad (2.13)$$

2.5 Corrección del Factor de Potencia

La corrección del factor de potencia es económicamente conveniente siempre y cuando el decremento en el costo anual de electricidad exceda el costo amortizado de instalar el equipo encargado de dicha corrección. En algunos casos el cliente no tiene

elección y debe cumplir con el mínimo factor de potencia especificado por la compañía de suministro.

El factor de potencia podría ser corregido instalando capacitores en la entrada de suministro de la fábrica o empresa. En otros casos podría ser factible corregirlo localmente en el dispositivo o máquina que lo necesite, esto cuando el FP es particularmente bajo.

En la Figura 2.4 se muestra un circuito en el cual, una carga consume potencia real y reactiva, las potencias involucradas en este circuito se representan en el diagrama fasorial que se muestra en la Figura 2.4 (b), el factor de potencia se puede ver del triángulo de la Figura 2.4 (b) y es equivalente al cálculo del $\cos \theta_1$ cuando se consideran voltajes y corrientes a la frecuencia fundamental. En esta ilustración al no existir compensación de potencia reactiva la fuente entrega la potencia que requiere la carga.

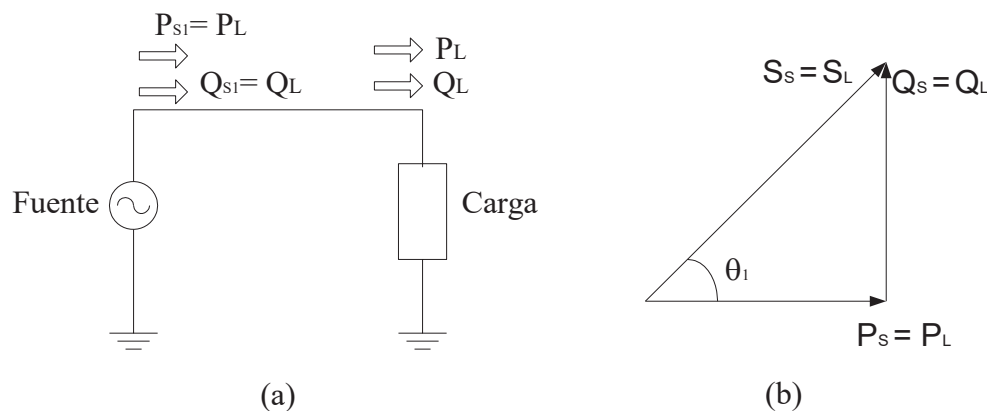


Figura 2.4 Significado del factor de potencia. (a) Circuito con carga inductiva-resistiva.
(b) Diagrama fasorial de (a).

La potencia real que la fuente debe suministrar se puede calcular de la siguiente ecuación

$$P_{S1} = P_L = S_L \cos \theta_1 \tag{2.14}$$

Sin embargo tenemos un problema ya que la fuente además de proporcionar la potencia real que consume la carga debe también proveer la potencia reactiva. Este problema se puede solucionar corrigiendo el factor de potencia localmente. La Figura 2.5 muestra un circuito donde se corrige el factor de potencia de F.P. = $\cos \theta_1$ a F.P. = $\cos \theta_2$ por medio de un banco de capacitores. La Figura 2.5 (b) ilustra el correspondiente diagrama fasorial.

Las ecuaciones que ilustran el comportamiento de las potencias involucradas en el circuito de la Figura 2.5 se muestran a continuación.

La fuente sigue suministrando toda la potencia activa.

$$P_{S2} = P_L \quad (2.15)$$

La potencia aparente suministrada por la carga disminuye al valor dado por la ecuación (2.16)

$$S_{S2} = \frac{P_L}{\cos \theta_2} \quad (2.16)$$

La potencia reactiva que suministra la fuente se disminuye al valor dado por la ecuación (2.17)

$$Q_{S2} = \sqrt{S_{S2}^2 - P_L^2} \quad (2.17)$$

Así la potencia que debe suministrar el banco de capacitores.

$$Q_C = Q_L - Q_{S2} \quad (2.18)$$

Si se requiere un factor de potencia unitario ($\theta_2 = 0$) $Q_C = Q_L$, para esta condición el diagrama fasorial de potencias es una línea recta.

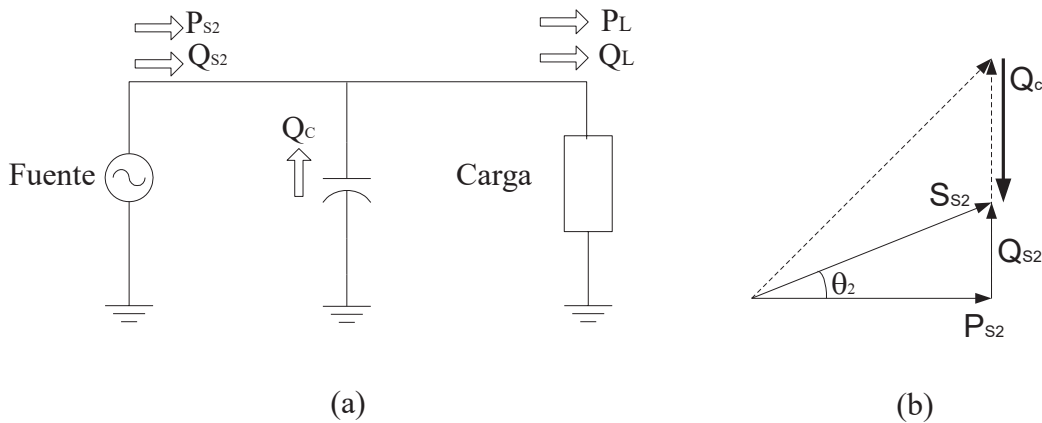


Figura 2.5 Corrección del factor de potencia. (a) Circuito compensado. (b) Diagrama fasorial de (a)

2.6 Compensadores de Potencia Reactiva con Dispositivos de Electrónica de Potencia.

Para entender la necesidad de controlar la potencia reactiva, consideremos un caso simple de una línea de transmisión sin pérdidas, la cual conecta una fuente V_s a una carga $Z \angle \phi$ (por simplicidad la línea es representada sólo por su reactancia inductiva), el diagrama

se muestra en la Figura 2.6 (a). La Figura 2.6 (b) muestra un diagrama fasorial que relaciona los voltajes y las corrientes y en ésta también se puede ver una variación entre los voltajes de envío y de recepción. La parte más significativa de la caída de voltaje en la reactancia de la línea se debe a la componente reactiva de la corriente de la carga, I_x . [R. Mohan, Rajiv, 2002]

Es posible compensar la corriente reactiva I_x de la carga agregando una carga capacitiva en paralelo tal que $I_c = -I_x$. Con esta acción el factor de potencia de la combinación se convierte en la unidad. Esta acción es llamada *compensación de carga*, esto disminuye la caída de voltaje en la línea pero no la elimina; aun existe una caída de voltaje ΔV_2 . Para igualar los voltajes de envío y recepción a un valor dado se debe instalar un compensador de potencia reactiva como se muestra en la Figura 2.7

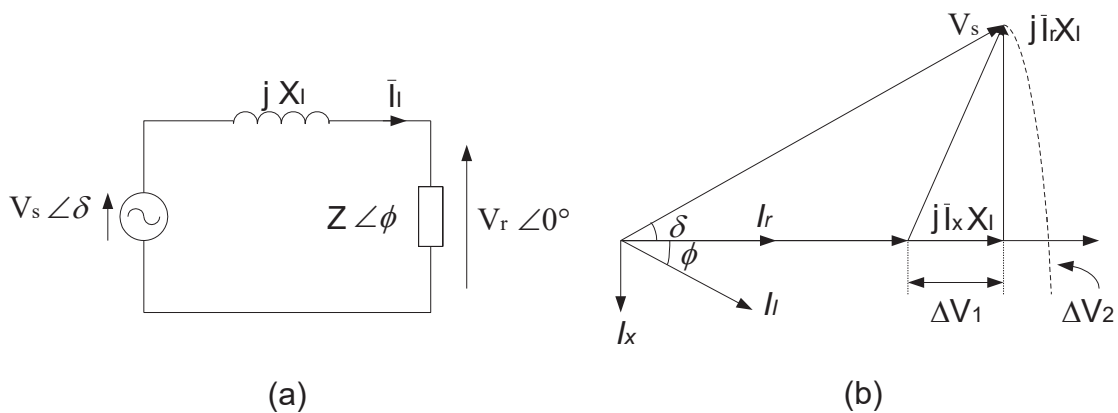


Figura 2.6 Línea de transmisión sin pérdidas que alimenta a una carga [R. Mohan, Rajiv, 2002]

Debido a que la compensación de potencia reactiva cambia la capacidad de transmisión de potencia de la línea conectada, la compensación controlada puede ser usada para mejorar la estabilidad del sistema (cambiando la capacidad máxima de transmisión de potencia), así como los demás componentes del sistema los compensadores de potencia reactiva son dimensionados, y la selección de estos se hace en base a su efectividad técnica y su costo. [R.Mohan, Rajiv, 2002]

La compensación de potencia reactiva se clasifica en función del arreglo de los dispositivos que realizan esta función. Este arreglo puede ser serie, paralelo o una combinación.

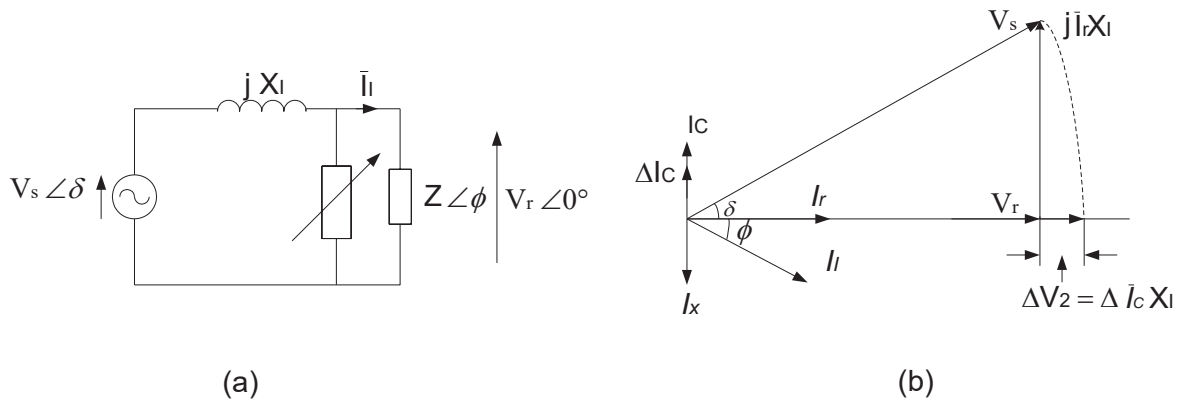


Figura 2.7 Control de potencia reactiva para regulación de voltaje

2.6.1 Compensación Serie

La compensación serie mejora la capacidad de transmisión de potencia de la línea. El efecto neto es ocasionar un ángulo de carga más bajo para una nivel dado de transmisión de potencia, y de esta forma proporcionar un margen de estabilidad mayor. La absorción de potencia reactiva de una línea depende de la corriente de transmisión. Así, cuando se utilizan capacitores serie, automáticamente la compensación de potencia reactiva resultante es ajustada proporcionalmente. Además debido a que la compensación serie efectivamente reduce la reactancia total de la línea, se espera que la caída neta del voltaje de la línea sea menos susceptible a las condiciones de carga. [R. Mohan, Rajiv, 2002]

2.6.2 Compensación Paralela

En la compensación paralela, una corriente es inyectada al sistema en el punto de conexión. Esto se puede implementar variando una impedancia paralela, una fuente de voltaje o una fuente de corriente. Tanto como la corriente inyectada esté en cuadratura de fase con el voltaje de línea, el compensador paralelo sólo suministra o consume potencia reactiva variable. Se pueden usar convertidores de potencia basados en tiristores con apagado por compuerta, GTO's (de sus siglas en inglés; Gate Turn Off), MCT's (de sus siglas en inglés; MOS Controlled Thyristor), IGBT's (de sus siglas en inglés; Insulated

Gate Bipolar Transistor) para controlar la corriente inyectada o el voltaje de compensación. [Rashid, 2004]

Existe una gran variedad de compensadores en paralelo, a continuación se mencionan algunos de ellos.

2.7 Compensadores Estáticos de Var (SVC)

Se define como un generador o succionador estático de var que se conecta en paralelo y del cual la salida es ajustada para intercambiar corriente capacitiva o inductiva para mantener o controlar parámetros específicos del sistema eléctrico de potencia (típicamente voltaje de bus). [Hingorani, Gyugyi, 2000]

Este es un término general para un reactor controlado o conmutado por tiristor y/o un capacitor conmutado por tiristor o una combinación. Los SVC se basan en tiristores sin capacidad de apagado de compuerta. Éstos incluyen equipo separado para adelantar o atrasar vars. [Hingorani, Gyugyi, 2000]

A continuación se describen diferentes compensadores del tipo SVC

2.7.1 Reactor Controlado por Tiristor (TCR)

Esta estructura tiene un inductor conectado en serie con un tiristor que ayuda a controlar la corriente que circula en el conjunto, variando el ángulo de conducción del tiristor la reactancia efectiva es variada en una forma continua [Hingorani, Gyugyi, 2000].

El TCR es uno de los más importantes arreglos para construir SVC. Es común utilizarlo en conjunto con capacitores fijos o conmutados por tiristor para proporcionar control rápido y continuo de potencia reactiva en un amplio rango de atraso-adelanto.

El rango controlable del ángulo de disparo de un TCR, α , se extiende desde 90° a 180° . Un ángulo de disparo de 90° provoca una conducción total del tiristor con un flujo

continuo de corriente sinusoidal en el TCR. A medida que el ángulo se varía desde 90° hasta acercarse a 180° , se recorta la conducción y la corriente fluye en forma de pulsos discontinuos simétricamente posicionados en los semiciclos positivo y negativo. Una vez que los tiristores son disparados, el cese de corriente ocurre en el cruce natural por cero, un proceso conocido como *conmutación de línea*. La corriente se reduce cercana a cero para un ángulo de disparo de 180° . La Figura 2.8 muestra la conexión monofásica de un TCR

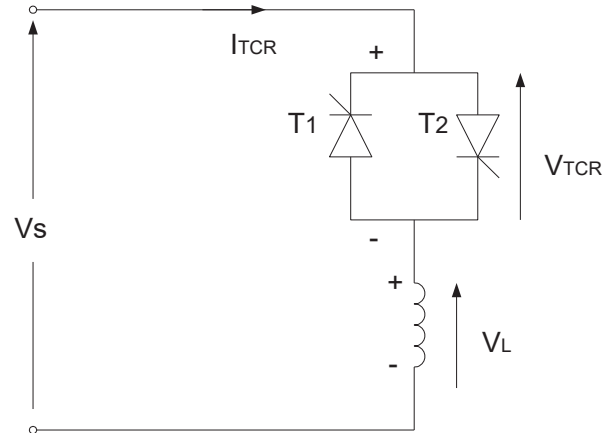


Figura 2.8 Diagrama esquemático de un TCR

2.7.2 Transformador Controlado por Tiristor (TCT)

El TCT es un tipo de transformador especial diseñado con un valor alto de reactancia de dispersión (típicamente 100%). Los devanados secundarios de este transformador son cerrados a través de pares de tiristores conectados en antiparalelo, el control del ángulo de disparo de esos tiristores proporciona una variación continua de potencia reactiva.

Para ángulos de disparo entre 150° y 180° no existen traslapes entre los intervalos de conducción de las dos válvulas, lo mismo ocurre si el ángulo de disparo se encuentra en el rango de 120° a 150° . La conducción total sinusoidal se logra para un ángulo de disparo de 120° a diferencia del TCR en el cual ésta se ocurre a un ángulo de 90° . Así el rango total controlable para un TCT es $120^\circ \leq \alpha \leq 180^\circ$. La Figura 2.9 muestra un compensador TCT en arreglo delta.

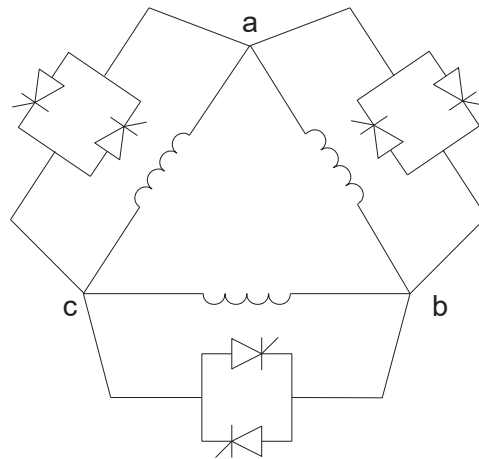


Figura 2.9 Reactores conectados en delta controlados por tiristor [R. Mohan, Rajiv, 2002]

2.7.3 Reactor Controlado por Tiristor con Capacitor Fijo (FC-TCR)

El TCR proporciona potencia reactiva controlable continua, sólo en un rango de Factor de Potencia en atraso. Para extender el rango dinámico controlable a un dominio de Factor de Potencia en adelante se debe conectar un banco de capacitores fijo en paralelo con el TCR. Dichos bancos usualmente se conectan en estrella. Cada capacitor contiene un pequeño inductor que se conecta en serie y se diseña de tal forma que se comporte como un filtro para armónicos específicos. La Figura 2.10 muestra un FC-TCR.

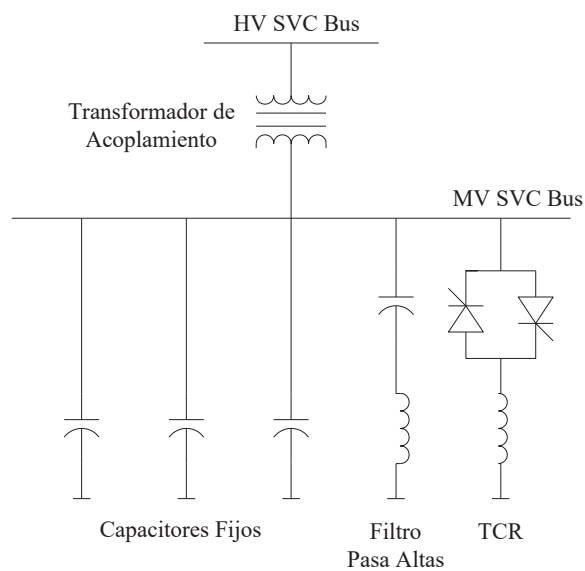


Figura 2.10 Configuración de un FC-TCR [R. Mohan, Rajiv, 2002]

2.7.4 Capacitor Conmutado Mecánicamente con Reactor Controlado por Tiristor (MSC-TCR)

En algunas aplicaciones, especialmente las que involucran la conmutación de pocos capacitores se ha demostrado que un MSC-TCR ofrece un rendimiento aceptable de compensación a un costo considerablemente menor que un TSC-TCR.

Las diferentes configuraciones de MSC-TCR se muestran en la Figura 2.11. Los capacitores conmutados mecánicamente pueden ser instalados en el bus de alto voltaje, sin embargo, los filtros de armónicos fijos deben ser colocados en paralelo con el TCR en el secundario del transformador para reducir la carga armónica del transformador.

La desventaja del MSC-TCR es una velocidad de respuesta más lenta. Los interruptores mecánicos pueden cerrar en dos ciclos y abrir en aproximadamente ocho, comparado con los que son conmutados por tiristor los cuales sólo tardan medio ciclo.

El TCR en un MSC-TCR es diseñado para tener una inductancia menor a la de un TCR en un SVC del tipo TSC-TCR de características similares. Este diseño permite incrementar su capacidad de sobrecarga para balancear transitoriamente la potencia reactiva capacitiva de salida.

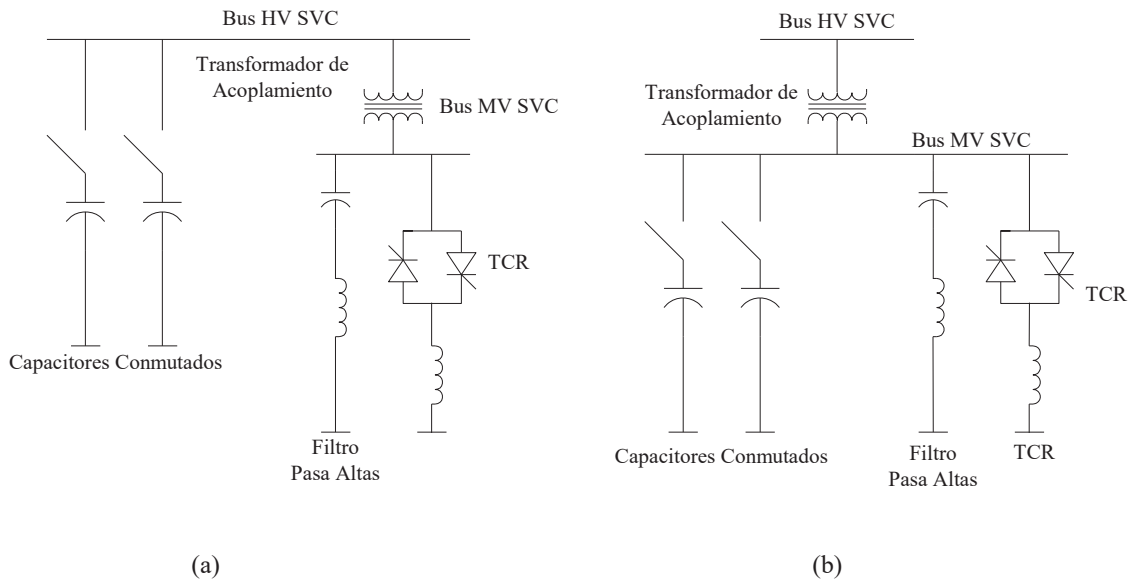


Figura 2.11 Diferentes configuraciones de un compensador MSC-TCR [R. Mohan, Rajiv, 2002]

2.7.5 Capacitor Conmutado por Tiristor (TSC)

Un diagrama básico de un TSC monofásico consiste de un par de tiristores conectados en antiparalelo que actúan como un interruptor bidireccional en serie con un capacitor y un pequeño reactor limitador de corriente como se muestra en la Figura 2.12 (a).

Un diagrama práctico de TSC involucra n bancos trifásicos de TSC con especificaciones iguales y además conectados en paralelo. La susceptancia total del TSC en cada instante es la suma de las susceptancias de los TSC que están conduciendo. En algunos casos las condiciones de los diferentes escalonamientos de los TSC podrían seleccionarse en base al sistema binario. En este esquema, $n-1$ capacitores son condicionados a una susceptancia B y un capacitor es condicionado a $B/2$. Así el número total de posibles escalonamientos se extiende a $2n$. Un ejemplo de este TSC se muestra en la Figura 2.12 (b).

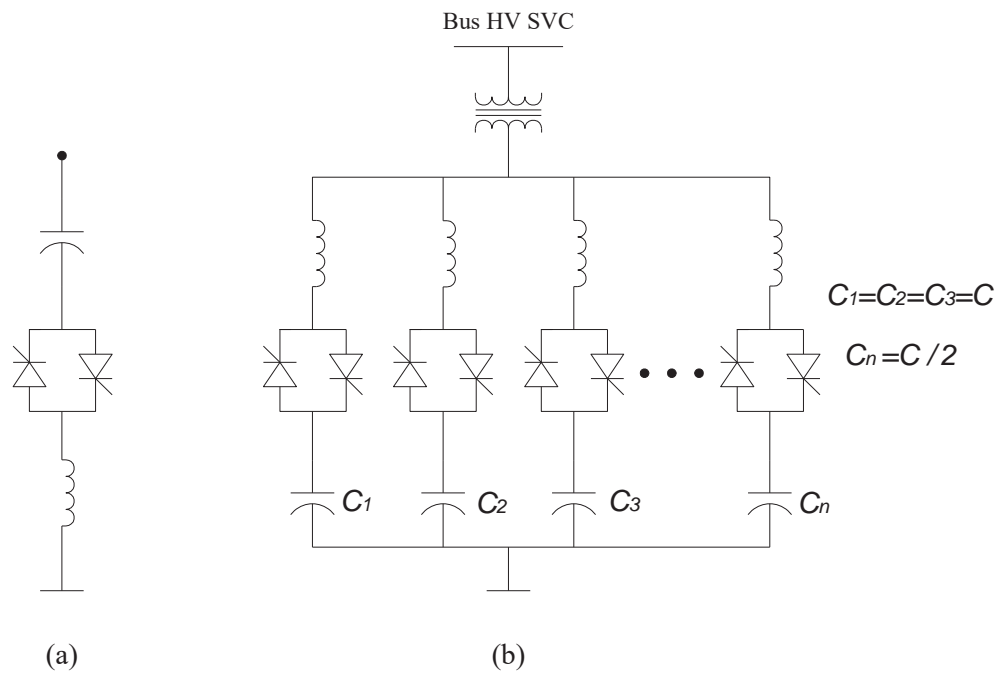


Figura 2.12 (a) TSC monofásico (b) Esquema general de TSC [R. Mohan, Rajiv, 2002]

2.7.6 Capacitor Conmutado por Tiristor – Reactor Controlado por Tiristor

El compensador TSC-TCR que se muestra en la Figura 2.13 usualmente comprende n bancos TSC y un sólo banco TCR que son conectados en paralelo. Los capacitores

pueden ser conmutados en pasos discretos donde el control continuo de la potencia reactiva en el lapso de tiempo entre cada paso es proporcionado por el TCR.

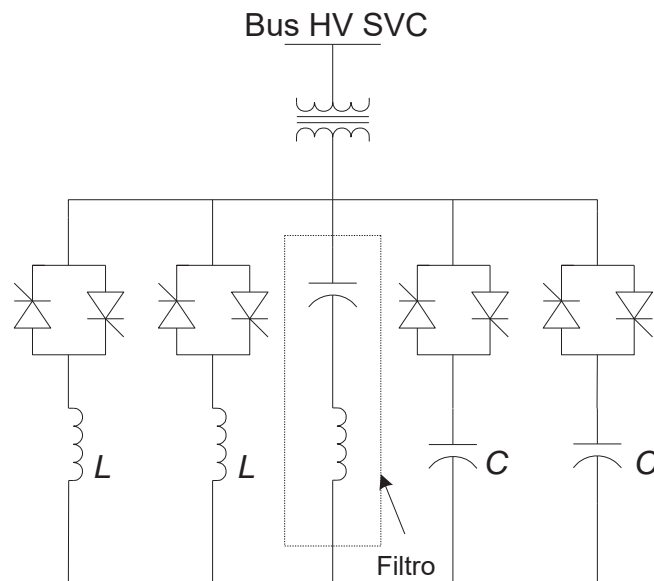


Figura 2.13 Diagrama general de un SVC TSC-TCR [R. Mohan, Rajiv, 2002]

2.8 Compensador Síncrono Estático (STATCOM)

También conocido como compensador estático avanzado, el cual pertenece a la segunda generación de SVC, es definido como un generador estático síncrono operado como un compensador estático de var conectado en paralelo, del cual la corriente de salida capacitiva o inductiva puede ser controlada independientemente del sistema de voltaje CA [Hingorani, Gyugyi, 2000]

El STATCOM es uno de los controladores clave del concepto FACTS este puede construirse en base a un convertidor alimentado por una fuente de voltaje o por uno de fuente de corriente. En la Figura 2.14 se pueden ver los diagramas simplificados de STATCOM basados en (a) un convertidor de fuente de voltaje y (b) un convertidor de fuente de corriente, respectivamente.

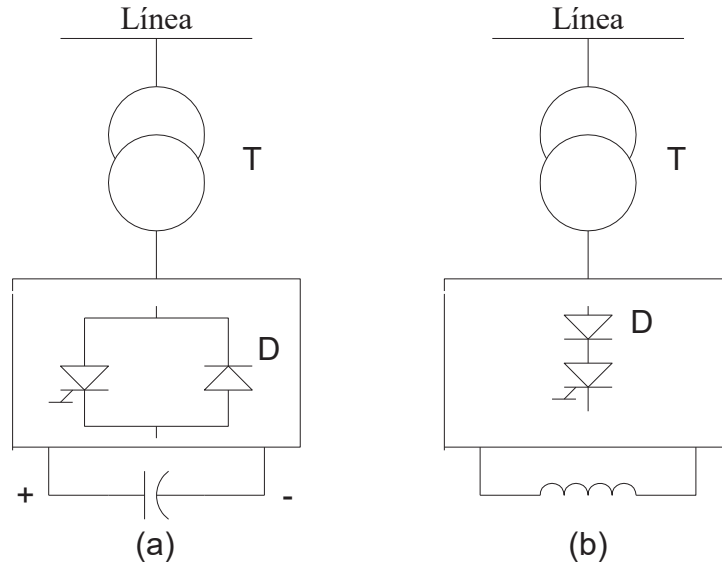


Figura 2.14 Configuraciones de compensadores. (a) Compensador síncrono estático basado en VSC y (b) Compensador síncrono estático basado en CSC[Hingorani, Gyugyi, 2000].

El voltaje de salida del VSC es controlado para obtener el flujo de corriente necesario para controlar el voltaje de CA en el bus, el voltaje de CD del capacitor es automáticamente ajustado para servir como fuente de voltaje para el convertidor. El STATCOM puede incluso diseñarse para actuar también como un filtro activo.

Las principales características de un STATCOM son: [Rashid, 2004], [R. Mohan, Rajiv, 2002]

- 1) Amplio rango de operación entregando una alta reactancia capacitiva aún a bajos voltajes.
- 2) Parámetros más bajos que su contraparte convencional SVC para alcanzar la misma estabilidad.
- 3) Mejor comportamiento ante transitorios, capacidad superior para manejar disturbios.
- 4) Ocupa un espacio relativamente pequeño, reemplaza bancos pasivos de elementos de circuitos por convertidores electrónicos compactos.
- 5) Ofrece equipo de construcción modular, de esta forma se reduce el sitio de trabajo.
- 6) Usa convertidores electrónicos encapsulados, por consiguiente minimiza su impacto ambiental.

Un STATCOM es análogo a una máquina síncrona ideal, la cual genera un grupo de tres voltajes sinusoidales a la frecuencia fundamental, con amplitud y ángulo de fase controlable. Esta máquina ideal no tiene inercia, es prácticamente instantánea, no altera significativamente la impedancia del sistema existente y puede generar internamente potencia reactiva (ambas capacitiva e inductiva).

2.8.1 Principio de Operación del STACOM

Un STATCOM es una fuente de potencia reactiva controlada, el cual genera o absorbe potencia reactiva por medio del procesamiento electrónico de las formas de onda de voltaje y de corriente en un convertidor alimentado por fuente de voltaje (VSC de sus siglas en inglés; *Voltage Source Converter*). En la Figura 2.15 (a) se muestra un circuito unifilar de potencia de un STATCOM donde un VSC se conecta a la red eléctrica por medio de un transformador. En la Figura 2.15 (b) un STATCOM es visto como una fuente de voltaje ajustable atrás de una reactancia, lo que significa que los bancos de capacitores y los reactores en paralelo no se necesitan para la generación y absorción de potencia reactiva.

El intercambio de potencia reactiva entre el convertidor y el sistema de CA puede controlarse variando la amplitud del voltaje de salida trifásico del convertidor, E_s , como lo muestra la Figura 2.15 (c). Esto es, si la amplitud del voltaje de salida del convertidor, E_s , se incrementa por encima del voltaje del bus, E_{bus} , entonces una corriente fluye a través de la reactancia desde el convertidor hacia el sistema de CA y el convertidor genera y entrega potencia reactiva capacitiva al sistema. Si la amplitud del voltaje de salida se decrementa por debajo del voltaje de bus, entonces una corriente fluye desde el sistema de CA hacia el convertidor y éste absorbe potencia reactiva inductiva del sistema. Si la salida del voltaje del convertidor es igual al voltaje del bus el intercambio de potencia reactiva es cero, en tal caso se dice que el STATCOM se encuentra en estado flotante.

El VSC tiene la misma capacidad de índice de corriente cuando opera con la corriente reactiva capacitiva o con la corriente reactiva inductiva. De esta forma, teniendo un cierto índice de MVA, el VSC proporciona al STATCOM el doble del rango dinámico

en MVAR (esto contribuye a un diseño compacto). Se usa un banco de capacitores para mantener el voltaje CD controlado necesario para la operación del VSC.

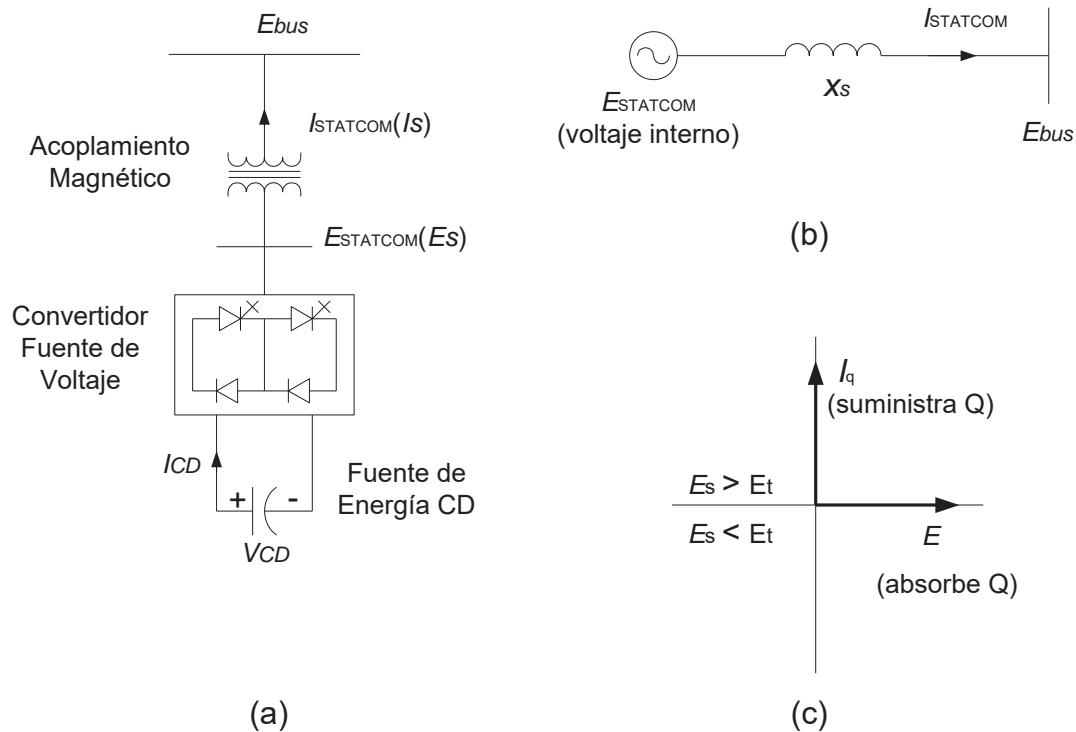


Figura 2.15 Diagrama del STATCOM (a) Circuito de potencia;(b) Circuito equivalente: y (c) Intercambio de potencia [R. Mohan, Rajiv, 2002]

Característica V-I

La característica típica V-I de un STATCOM se muestra en la Figura 2.16. Como se puede ver, el STATCOM puede realizar ambas compensaciones, capacitiva e inductiva y es capaz de controlar independientemente su corriente de salida sobre el índice máximo del rango capacitivo o inductivo sin importar la cantidad del voltaje del sistema. Esto es, el STATCOM puede proporcionar máxima potencia reactiva capacitiva a cualquier valor de voltaje del sistema incluso para un valor tan bajo como 0.15 p.u. [R. Mohan, Rajiv, 2002]

La característica del STATCOM de ser capaz de llevar a la salida una generación de potencia reactiva capacitiva casi independiente del voltaje del sistema es particularmente útil en situaciones en las cuales el STATCOM se necesita para mantener constante el voltaje del sistema durante y después de las fallas cuando el voltaje colapsa.

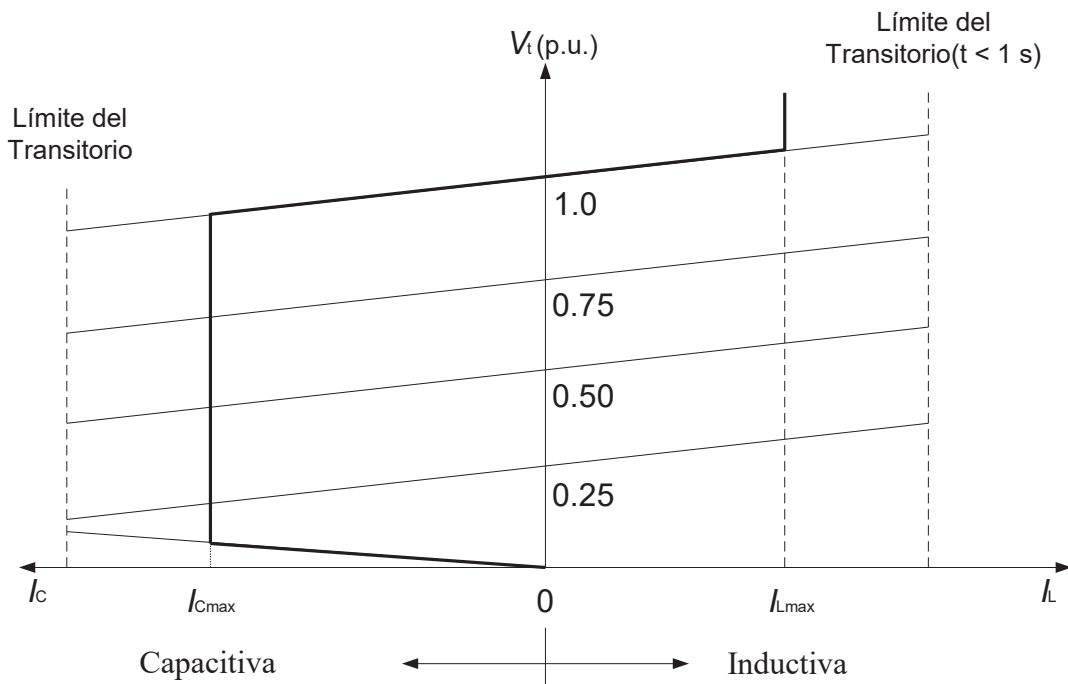


Figura 2.16 Característica V-I del STATCOM [R. Mohan, Rajiv, 2002]

En la Figura 2.16 se muestran los límites transitorios en ambas regiones; capacitiva e inductiva. La máxima sobrecorriente transitoria alcanzable en la región capacitiva es determinada por la capacidad máxima de corriente de apagado de los interruptores del convertidor. En la región inductiva los interruptores del convertidor son naturalmente conmutados; por lo tanto, el cambio en la corriente transitoria del STATCOM se limita por la máxima temperatura de unión permitida por los interruptores del convertidor.

En la práctica, los interruptores del convertidor tienen pérdidas, así la energía almacenada en el capacitor de CD es eventualmente utilizada para alimentar esas pérdidas internas del convertidor. Sin embargo, cuando el STATCOM es usado para generar potencia reactiva, el convertidor puede mantener el capacitor cargado a un nivel de voltaje requerido. Esto se realiza haciendo que el voltaje del convertidor esté atrasado con respecto al voltaje del sistema de CA por un pequeño ángulo (usualmente en el rango 0.1° - 0.2°). De esta forma, el convertidor absorbe una pequeña cantidad de potencia real del sistema de CA para satisfacer sus pérdidas internas y para mantener el voltaje del capacitor a un nivel deseado. [R. Mohan, Rajiv, 2002]

El intercambio de potencia real y reactiva entre el STATCOM y el sistema de CA puede ser controlado independientemente uno del otro. Cualquier combinación de generación o absorción de potencia real con generación o absorción de vars es realizable si el STATCOM es equipado con un dispositivo de almacenamiento de energía de capacidad adecuada, como se muestra en la Figura 2.17. Con esta capacidad, se pueden planear estrategias extremadamente efectivas para la modulación de potencia de salida real o reactiva, ésto para mejorar los límites de estabilidad dinámica y transitoria del sistema. [R. Mohan, Rajiv, 2002]

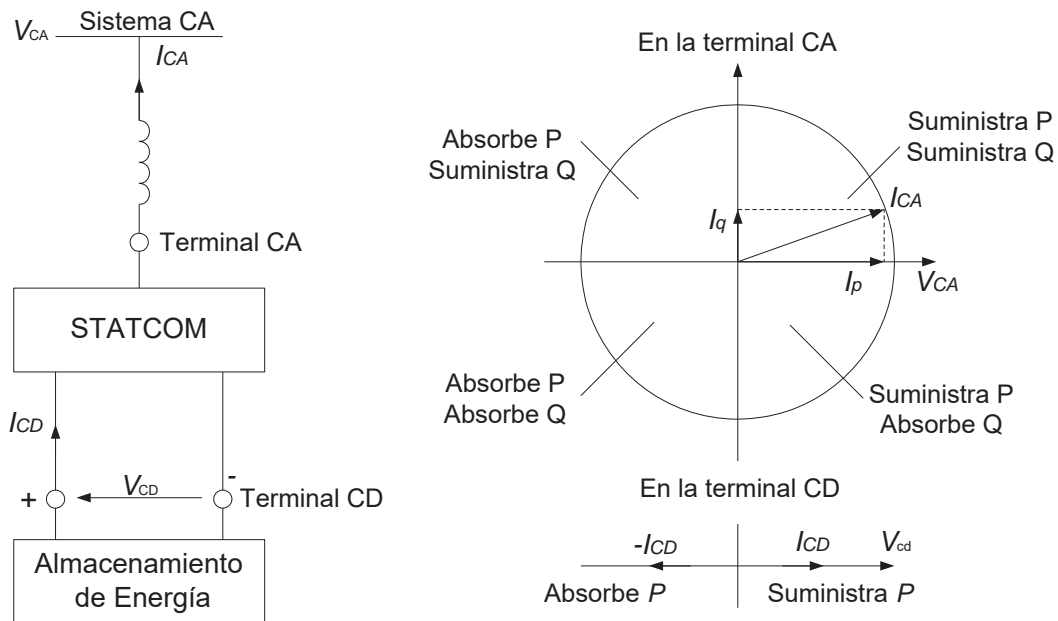


Figura 2.17 Intercambio de potencia entre el STATCOM y el sistema de CA [R. Mohan, Rajiv, 2002]

3.3 El Convertidor de Modo de Conmutación.

Los convertidores tienen una gran importancia en la industria eléctrica debido a que proporcionan flexibilidad en la administración y suministro de energía. La conversión puede ser de corriente alterna a corriente directa (modo rectificador) o viceversa, de corriente directa a corriente alterna (modo inversor). La aplicación de los convertidores es vasta, y el diseño se realiza de acuerdo a cada necesidad. La configuración de un convertidor puede ser monofásica o trifásica. Las piezas clave en un convertidor son los dispositivos de conmutación, así como la técnica utilizada para la propia conmutación. Dispositivos de conmutación más complejos, tal como los GTOs o IGBTs, pueden ser operados a frecuencias muy altas respecto a los tiristores, lo que hace posible un mejor rendimiento dinámico en aplicaciones como los compensadores de potencia reactiva. Aunque la información contenida en este capítulo se enfoca al convertidor en modo de conmutación (modo de conmutación se refiere a que utiliza interruptores con capacidad de apagado por compuerta) operando como inversor, estos principios se aplican también en la operación del convertidor como rectificador. La Figura 3.2, muestra sólo una rama del convertidor e ilustra dos modos de operación del convertidor. La Figura 3.2 (a) muestra el circuito del convertidor con voltaje E_a conectado a una carga con voltaje V_{sa} . En la Figura 3.2 (b) se muestra un diagrama fasorial donde el voltaje del convertidor E_a adelanta al voltaje de la carga V_{sa} por un ángulo δ . La componente activa (real) $(I_a)_p$ de I_a está en fase con V_{sa} , y de esta forma el convertidor está funcionando como inversor [Mohan et al, 2003].

El ángulo de fase y la magnitud del voltaje de CA del convertidor pueden ser controlados. Si el voltaje del convertidor E_a atrasa al voltaje de la carga V_{sa} por el mismo ángulo δ (manteniendo V_{sa} constante), el diagrama fasorial en la Figura 3.2 (c) muestra esa componente activa $(I_a)_p$ de I_a , la cual está 180° fuera de fase respecto a V_{sa} , lo cual resulta en un modo de operación como rectificador donde la potencia activa fluye desde la carga hacia el lado de CD del convertidor.

De hecho, E_a puede ser controlado en magnitud y fase, permitiendo un control sobre la magnitud de corriente y el nivel de potencia. Asumiendo que V_{sa} no cambia instantáneamente, la Figura 3.2 (d) muestra el fasor de referencia E_{as} , el cual conserva constante la magnitud de la corriente.

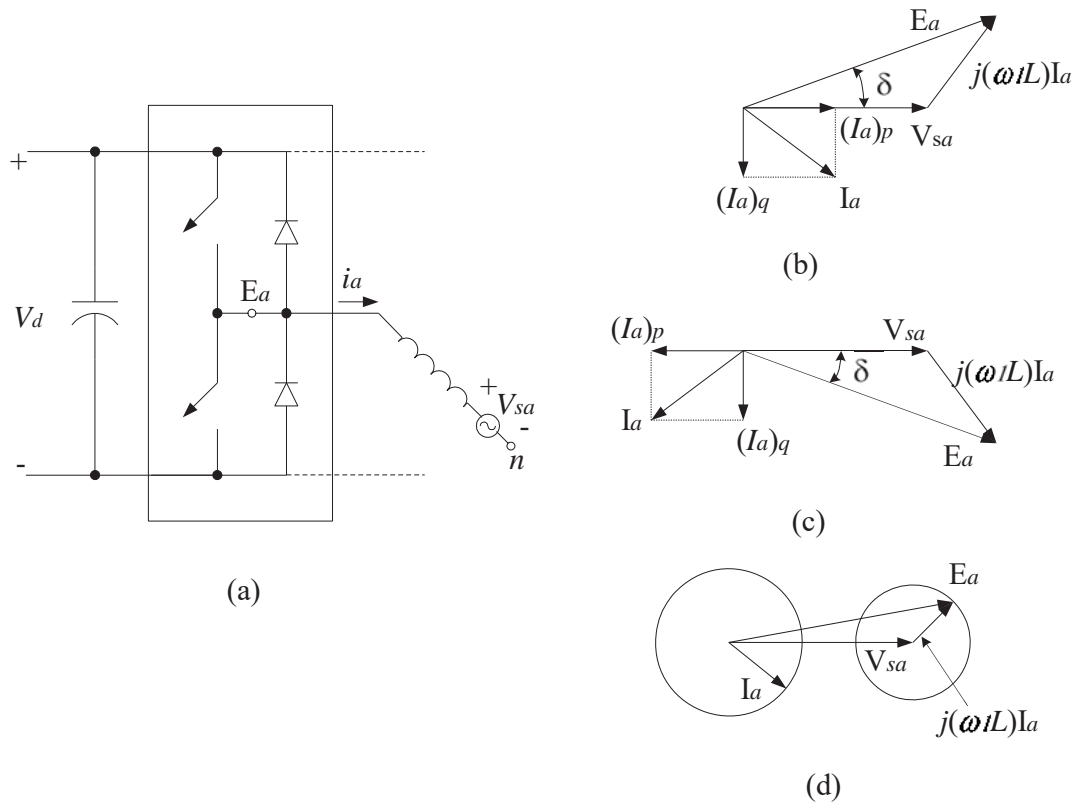


Figura 3.2 Modos de operación del convertidor: (a) Circuito; (b) Modo inversor; (c) Modo rectificador; (d) Corriente constante. [Mohan et al, 2003]

En la actualidad un gran número de los convertidores que se encuentran instalados en aplicaciones de compensación de potencia reactiva y en sistemas de transmisión de CD en alto voltaje se basan en tiristores; esto debido a que las aplicaciones con dispositivos de conmutación a alta frecuencia son tecnología reciente, con todo lo que eso implica (costo, disponibilidad, etc.).

Contrariamente a la forma tradicional de controlar el flujo de potencia usando tiristores, con el uso de dispositivos de conmutación a alta frecuencia no es necesario telecomunicar continuamente el estado de los dos convertidores en los extremos de la línea de transmisión de CD, además el costo de los filtros es reducido significativamente ya que las frecuencias armónicas mas bajas son aproximadamente de cuarenta veces la frecuencia fundamental del sistema. Así para sistemas que funcionan a 60 Hz el armónico mas bajo sería aproximadamente de 2400 Hz, los filtros para altas frecuencias son más pequeños y económicos. [Wildi, 2006]

Los convertidores basados en Modulación de Ancho de Pulso PWM (de sus siglas en ingles; Pulse Width Modulation) ofrecen numerosas ventajas sobre los convertidores basados en

tiristores los cuales son conmutados naturalmente a la frecuencia de la línea. En los enlaces de CD cuando se incluye la ventaja de usar cable subterráneo protegido de las inclemencias del clima y de los derechos de paso, los convertidores PWM resultan una opción más atractiva, sin embargo los IGBTs no pueden manejar potencias tan grandes como los tiristores. [Wildi, 2006]

3.3.1 Convertidor en Modo Inversor.

Los inversores en modo de conmutación son muy usados en manejadores de motores de CD y fuentes de potencia de CA ininterrumpibles donde el objetivo es producir una salida sinusoidal de CA, de la cual pueda controlarse la frecuencia y la magnitud. [Mohan et al, 2003]

Para entender el funcionamiento básico de un inversor, es recomendable iniciar con la configuración monofásica, de esta forma se puede considerar la Figura 3.3 (a), donde el voltaje de salida del inversor es filtrado, por lo que se asume que dicho voltaje v_o es sinusoidal. Debido a que se supone que el inversor alimenta a una carga inductiva, la corriente atrasa al voltaje como se muestra en la Figura 3.3 (b), las formas de onda están divididas en cuatro intervalos que definen el funcionamiento como rectificador o como inversor, esto se determina a partir del producto instantáneo de voltaje y de corriente, las gráficas muestran que el inversor es capaz de operar en los cuatro cuadrantes del plano $v_o i_o$ el cual se muestra en la Figura 3.3 (c). [Mohan et al, 2003]

La configuración monofásica del inversor puede ser de medio puente o de puente completo. En la Figura 3.4 se muestra una pierna del inversor de puente completo. Esta figura sirve para introducir el convertidor. En ésta, se asume que V_d es constante.

Modulación de Ancho de Pulso (PWM)

Para entrar en detalle con cada configuración de inversor a continuación se explica el esquema PWM el cual, tiene como objetivo modificar el ciclo de trabajo de una señal periódica para portar información, la cual se utiliza para controlar el convertidor.

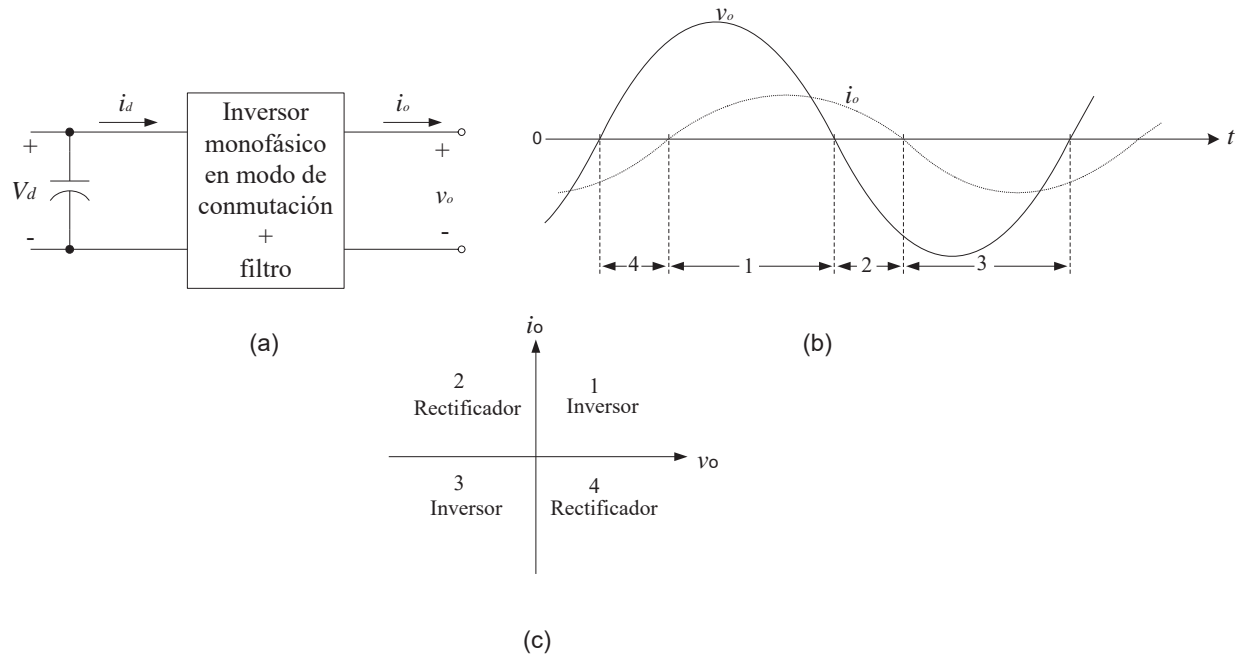


Figura 3.3 Inversor monofásico en modo de conmutación[Mohan et al, 2003]

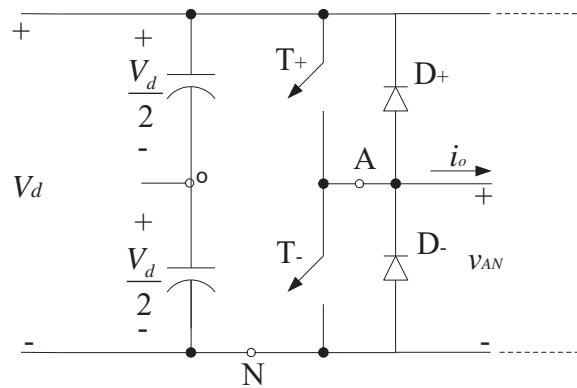


Figura 3.4 Pierna del inversor en modo de conmutación [Mohan et al, 2003]

Una de las formas más comunes de generar una señal de control PWM es partiendo de dos señales, de las cuales una generalmente es triangular y la otra, en el caso de control de voltaje de CD, es una señal constante (ver Figura 3.5) las cuales son comparadas, para de esta forma generar una señal en forma de pulsos, la cual es llamada PWM, sin embargo, en el caso de control de voltaje de CA, la generación de la señal PWM se vuelve un poco más compleja debido

a que en lugar de comparar la señal triangular con una señal constante, se compara con una señal sinusoidal (ver Figura 3.6) [Mohan et al, 2003].

Antes de entrar en detalle en la generación de la señal PWM, es necesario definir algunos términos. Uno de ellos es la forma de onda triangular V_{tri} la cual se encuentra a una frecuencia de conmutación f_s , llamada frecuencia portadora. La señal de control (sinusoidal o constante) es usada para modular la razón del ciclo de conmutación y tiene una frecuencia f_l la cual es llamada frecuencia de modulación. Cuando esta señal de control PWM se utiliza para manejar un inversor es por medio de la frecuencia f_l que podemos controlar la frecuencia del voltaje de salida del inversor y por medio de la frecuencia f_s es posible controlar la frecuencia de conmutación de los interruptores del inversor. Si éste es el caso, se sabe que el voltaje en la salida del inversor no va a ser una onda sinusoidal pura y estará contaminada con algunas componentes armónicas a la frecuencia f_l . [Mohan et al, 2003]

La razón o índice de modulación de la amplitud m_a se define como:

$$m_a = \frac{\hat{V}_{control}}{\hat{V}_{tri}} \quad (3.1)$$

Donde $\hat{V}_{control}$ es la magnitud del pico de la señal de control, la amplitud de la señal triangular \hat{V}_{tri} generalmente se mantiene constante.

La razón o índice de modulación de frecuencia m_f se define como:

$$m_f = \frac{f_s}{f_l} \quad (3.2)$$

En el inversor de la Figura 3.4 los interruptores T_{A+} y T_{A-} se controlan en base a la comparación de $v_{control}$ y v_{tri} y el resultado se muestra a continuación independientemente de la dirección de i_o

$$\begin{array}{lll} v_{control} > v_{tri} & T_{A+} \text{ está encendido} & v_{AO} = (1/2)V_d \\ \text{o} & & \\ v_{control} < v_{tri} & T_{A-} \text{ está encendido} & v_{AO} = -(1/2)V_d \end{array}$$

El voltaje v_{AO} y su componente de frecuencia fundamental (curva punteada) se muestran en la Figura 3.6 (b) las cuales son graficadas para $m_f = 15$ y $m_a = 0.8$. La Figura 3.6 (c) muestra el espectro armónico de v_{AO} para las condiciones de la Figura 3.6 (a) y 3.6 (b)

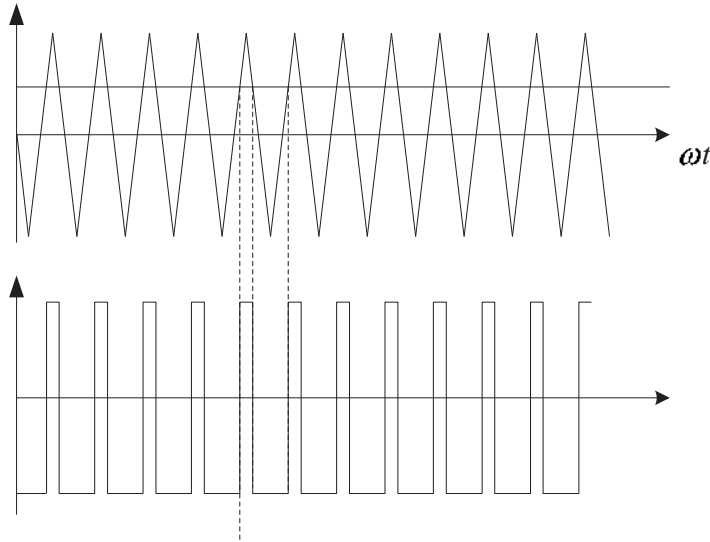


Figura 3.5 Generación básica PWM

3.3.2 Convertidor en Modo Inversor Trifásico.

Los inversores trifásicos se utilizan en diferentes aplicaciones, en las que se requiere alimentar cargas trifásicas, cabe mencionar que es posible alimentar dichas cargas con tres inversores monofásicos separados, donde cada inversor produce una salida desplazada 120° .

El circuito inversor trifásico más usado consiste en tres piernas, una para cada fase como se muestra en la Figura 3.7. En este circuito la salida de cada pierna, por ejemplo v_{AN} , depende sólo de V_d y del estado del interruptor.

PWM en Inversores de Fuente de Voltaje Trifásicas

Para obtener voltajes de salida trifásicos en este trabajo se hace uso de la técnica SPWM. En esta se compara una onda triangular con tres señales sinusoidales de control que están

desplazadas 120°. La Figura 3.8 ilustra las formas de onda para el caso trifásico con un $m_f = 15$ [Mohan et al, 2003].

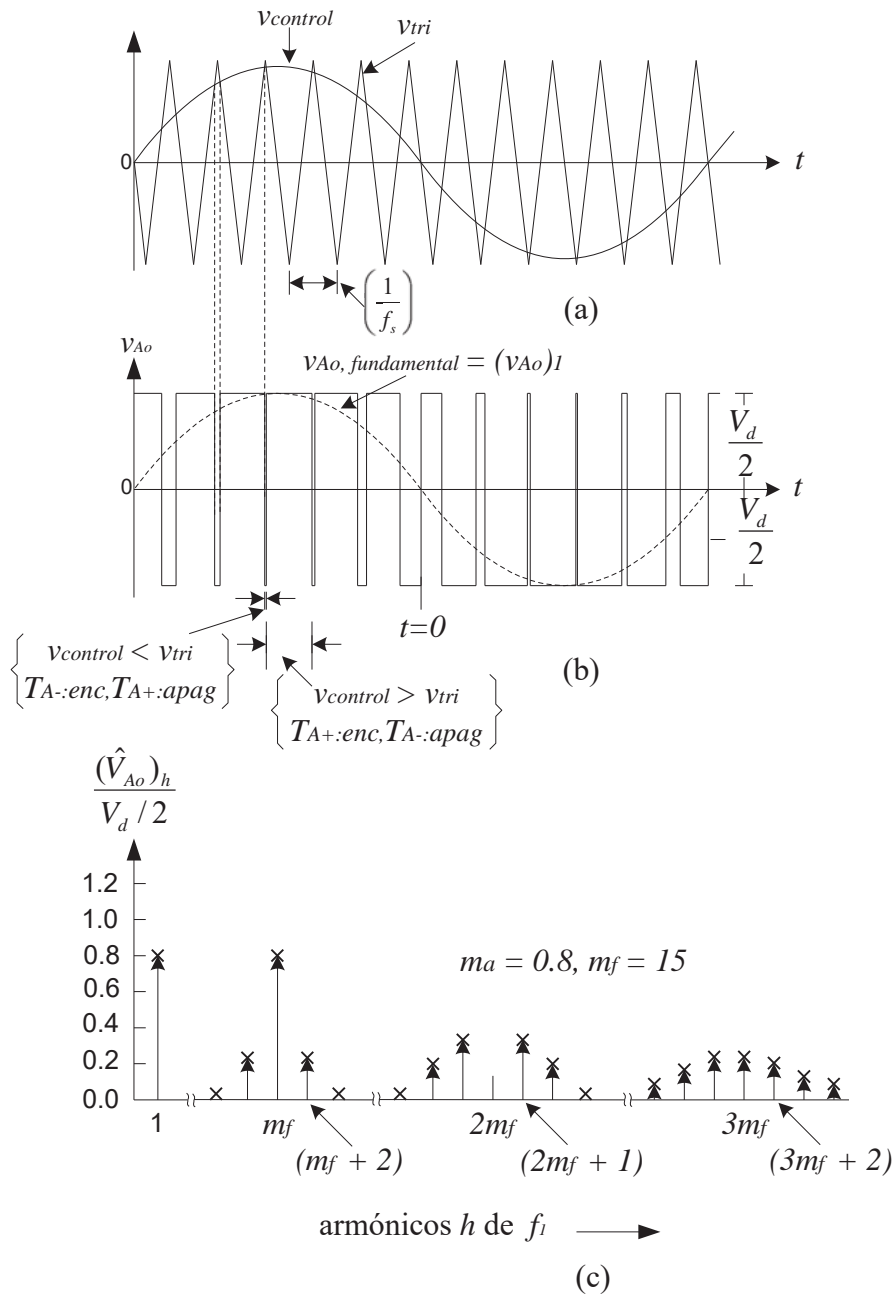


Figura 3.6 Modulación de ancho de pulso sinusoidal [Mohan et al, 2003].

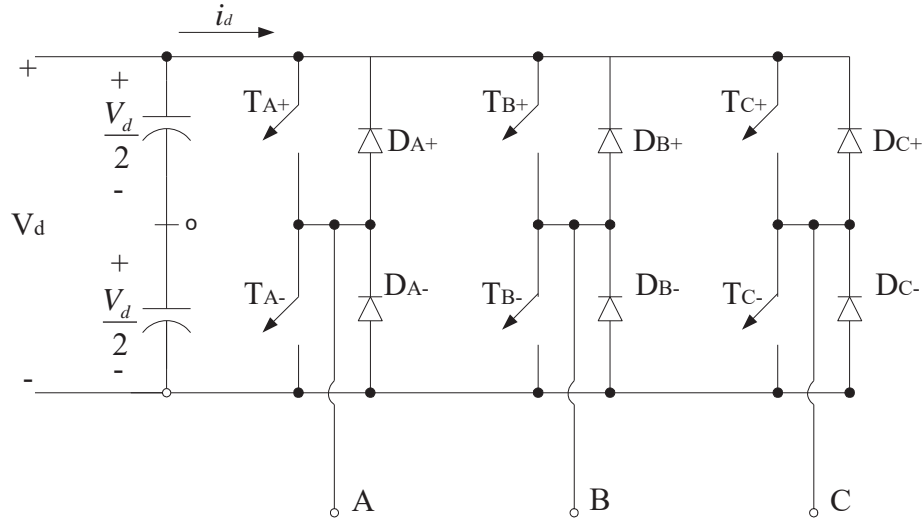


Figura 3.7 Convertidor trifásico

En los inversores trifásicos sólo los armónicos del voltaje de línea a línea son de interés. Los armónicos existentes en los voltajes de salida de cualquier pierna son impares y aparecen en la Figura 3.8(c) como franjas laterales alrededor de m_f y sus múltiplos, esto sucede cuando se elige m_f impar.

Para valores de m_f pequeños, y cuando se desea eliminar los armónicos pares, se debe utilizar una generación PWM sincronizada y m_f debe ser entero impar. Además m_f debe ser un múltiplo de 3 para cancelar los armónicos dominantes en el voltaje de línea a línea.

En la región lineal ($m_a \leq 1.0$), la componente de frecuencia fundamental en el voltaje de salida varía linealmente con la razón de modulación de amplitud m_a como se muestra en la ecuación (3.3).

$$(\hat{V}_{AN})_1 = m_a \frac{V_d}{2} \tag{3.3}$$

Así el voltaje rms de línea a línea a la frecuencia fundamental debido al desplazamiento de 120° entre los voltajes de fase puede escribirse como:

$$V_{LL1(rms)} = \frac{\sqrt{3}}{\sqrt{2}} (\hat{V}_{AN})_1 = \frac{\sqrt{3}}{2\sqrt{2}} m_a V_d \approx 0.612 m_a V_d \quad (m_a \leq 1.0) \tag{3.4}$$

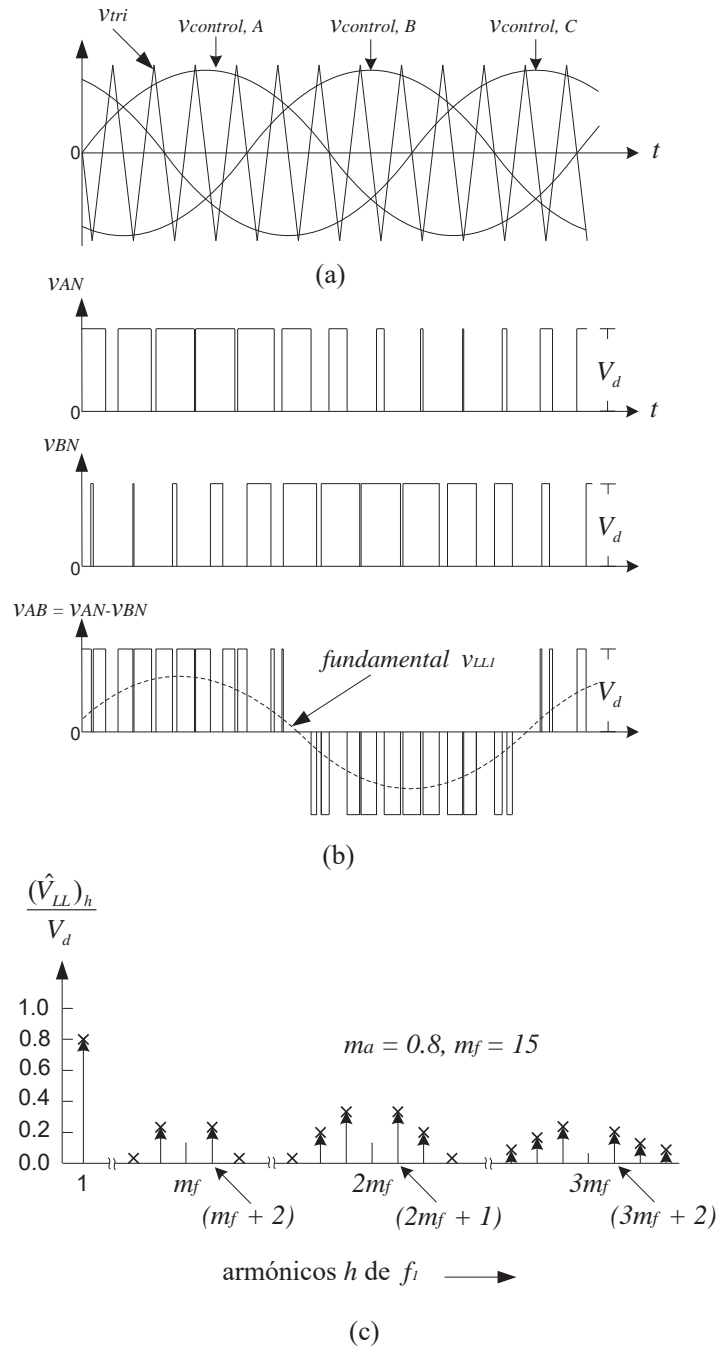


Figura 3.8 Formas de onda de PWM y espectro armónico para un sistema trifásico[Mohan et al, 2003]

3.4 Modelo Matemático del STATCOM.

En esta sección se presenta un modelo matemático simplificado del STATCOM, el cual permite diseñar un control eficiente de éste. Para realizar el modelado se utiliza una

transformación vectorial de variables desarrollada por Park, la cual se aplicó primero en el análisis de máquinas de CA y después se usó con números complejos por Lyon en la teoría de componentes simétricas instantáneas. [Schauder, Mehta 1993]

Una de las propiedades más interesantes de la transformada de Park es que la expresión de la potencia es invariante.

La noción de potencia reactiva es bien conocida en el sentido fasorial; sin embargo, para estudiar y controlar la dinámica del STATCOM dentro de un subciclo y sujeto a distorsiones de línea, perturbaciones y desbalances, se necesita una definición más amplia de potencia reactiva la cual sea válida en una base instantánea.

3.4.1 Potencia Real Instantánea y Potencia Reactiva Instantánea.

La potencia real instantánea trifásica se define como: [Schauder, Mehta 1993]

$$P = v_a i_a + v_b i_b + v_c i_c \quad (3.5)$$

Conceptualmente, la corriente reactiva instantánea se puede definir como esa parte del conjunto de corrientes trifásicas que podría ser eliminada en cualquier instante sin alterar P.

Un conjunto de tres variables de fase instantáneas que suman cero pueden ser representadas por un solo punto en un plano, como se ilustra en la Figura 3.9 (a). Por definición, el vector dibujado del origen a este punto tiene una proyección vertical en cada uno de tres ejes de fase dispuestos simétricamente que corresponde al valor instantáneo de la variable de fase asociada.

En la Figura 3.9 (b) la representación vectorial es extendida introduciendo un sistema de coordenadas ortogonal en el cual cada vector está descrito por medio de sus componentes ds y qs [Schauder, Mehta 1993].

Cuando se trabaja con este sistema de coordenadas es importante tomar en cuenta las siguientes consideraciones [García, 2000]:

- Los vectores espaciales son variables de carácter instantáneo y no deben confundirse con los fasores que dan información de régimen permanente

- La información contenida en el conjunto de variables trifásicas v_a, v_b, v_c e i_a, i_b, i_c está resumida en los vectores espaciales v e i .
- Las variables v_{ds}, v_{qs} e i_{ds}, i_{qs} son las componentes de los vectores espaciales v e i

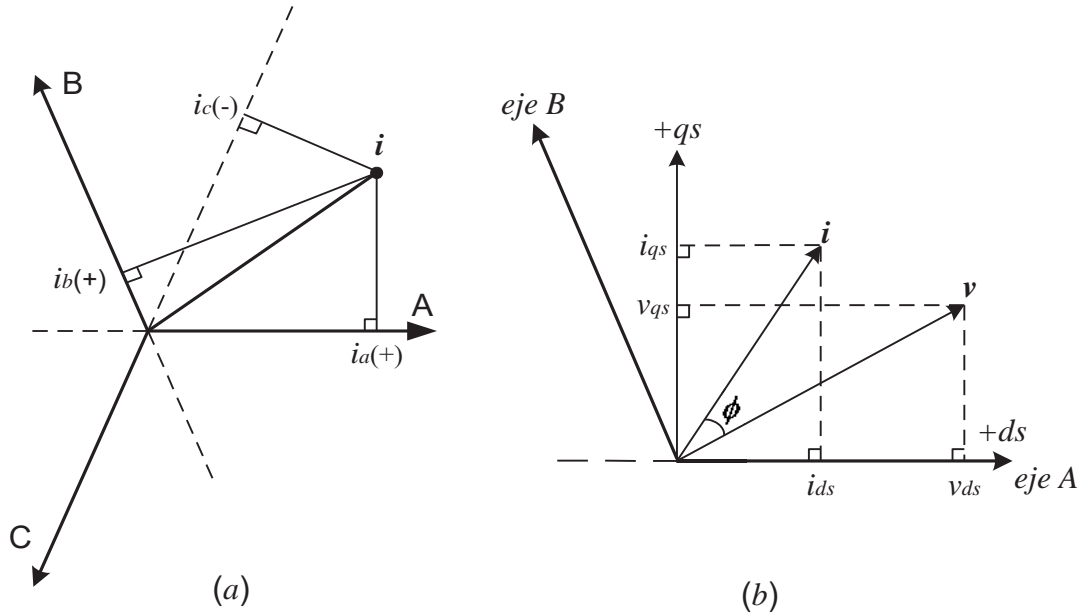


Figura 3.9 Transformación de coordenadas abc a coordenadas ds - qs . (a) Representación de un punto en el plano asociado a tres variables de fase que suman cero. (b) Transformación de variables de fase a coordenadas ds y qs .

A continuación se muestra la matriz C que sirve para hacer la transformación de variables de fase a coordenadas ds y qs [Schauder, Mehta 1993]

$$C = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad C^{-1} = \frac{3}{2} C^t \tag{3.6}$$

$$\begin{bmatrix} i_{ds} \\ i_{qs} \\ 0 \end{bmatrix} = [C] \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix} = [C] \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix}$$

La potencia real instantánea dada por la ecuación (3.5) puede ser reescrita en el marco de referencia ds y qs utilizando las ecuaciones (3.6).

$$\begin{aligned}
P &= [i_a \quad i_b \quad i_c] \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \left[C^{-1} \begin{bmatrix} i_{ds} \\ i_{qs} \\ 0 \end{bmatrix} \right]^t C^{-1} \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix} \\
P &= \begin{bmatrix} i_{ds} \\ i_{qs} \\ 0 \end{bmatrix}^t (C^{-1})^t C^{-1} \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix} \\
P &= [i_{ds} \quad i_{qs} \quad 0] \frac{3}{2} C C^{-1} \begin{bmatrix} v_{ds} \\ v_{qs} \\ 0 \end{bmatrix} \\
P &= \frac{3}{2} (v_{ds} i_{ds} + v_{qs} i_{qs}) \tag{3.7}
\end{aligned}$$

La ecuación (3.7) se puede escribir, utilizando la Figura 3.10, en términos de $|i|$, $|v|$ y el ángulo ϕ entre estos vectores como sigue:

$$\begin{aligned}
P &= \frac{3}{2} (|v| \cos \theta \cdot |i| \cos(\theta + \phi) + |v| \sin \theta \cdot |i| \sin(\theta + \phi)) \\
&= \frac{3}{2} |v| |i| \cos \phi (\cos^2 \theta + \sin^2 \theta) \\
P &= \frac{3}{2} |v| |i| \cos \phi \tag{3.8}
\end{aligned}$$

Se observa que solamente la componente del vector de corriente que está en fase con el vector de voltaje instantáneo contribuye a la potencia real instantánea. Así, se puede definir la potencia reactiva instantánea mediante la ecuación (3.9)

$$Q = \frac{3}{2} |v| |i| \sin \phi \tag{3.9}$$

Esta definición se puede escribir también en el marco de referencia ds - qs como sigue:

$$\begin{aligned}
&= \frac{3}{2} |v| |i| \sin((\theta + \phi) - \theta) \\
&= \frac{3}{2} |v| |i| [\sin(\theta + \phi) \cos \theta - \sin \theta \cos(\theta + \phi)] \\
&= \frac{3}{2} [|v| \cos \theta |i| \sin(\theta + \phi) - |v| \sin \theta |i| \cos(\theta + \phi)] \\
Q &= \frac{3}{2} [v_{ds} i_{qs} - v_{qs} i_{ds}]
\end{aligned}$$

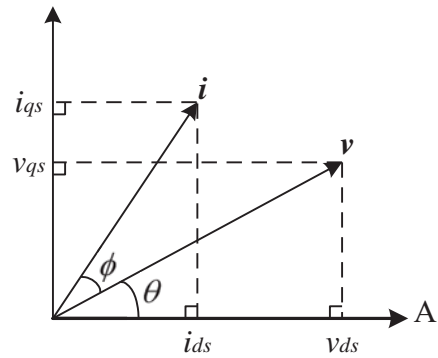


Figura 3.10 Representación de los vectores de voltaje y de corriente en los ejes ds y qs .

Para lograr una separación útil de variables para propósitos de control de potencia, y para obtener una transformación válida en cualquier instante es común definir un nuevo sistema de coordenadas, donde el eje de la fase A se toma como referencia como se muestra en la Figura 3.11.

Los ejes d y q no están estacionarios en el plano, giran a la frecuencia del sistema. Estos ejes siguen la trayectoria del vector de voltaje espacial v , el cual se alinea con el eje d para facilitar el análisis. Las coordenadas dentro de este marco de referencia están dadas por las transformaciones variantes en el tiempo que se muestran en las ecuaciones (3.10) y (3.11) [Schauder, Mehta 1993]

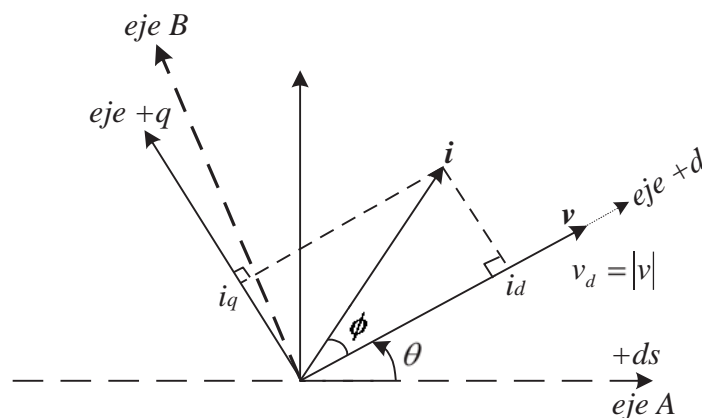


Figura 3.11 Sistema de coordenadas que facilitan la separación de variables.

$$[C_1] = \frac{2}{3} \begin{bmatrix} \cos \theta & \cos\left(\theta - \frac{2\pi}{3}\right) & \cos\left(\theta + \frac{2\pi}{3}\right) \\ -\text{sen } \theta & -\text{sen}\left(\theta - \frac{2\pi}{3}\right) & -\text{sen}\left(\theta + \frac{2\pi}{3}\right) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (3.10)$$

$$[C_1]^{-1} = \frac{3}{2} [C_1]^t \quad \theta = \tan^{-1} \left(\frac{v_q}{v_d} \right)$$

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = [C_1]^{-1} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} \quad \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = [C_1]^{-1} \begin{bmatrix} |v| \\ 0 \\ 0 \end{bmatrix} \quad (3.11)$$

Las ecuaciones de potencia real y reactiva en este nuevo sistema de coordenadas donde el eje d coincide siempre con el vector de voltaje espacial v y el eje q está en cuadratura con él son: [Schauder, Mehta 1993]

$$P = \frac{3}{2} |v| i_d \quad (3.12)$$

$$Q = \frac{3}{2} |v| i_q \quad (3.13)$$

Las ecuaciones (3.12) y (3.13) muestran que para controlar la potencia que se inyecta al sistema, basta controlar la corriente i_d e i_q .

Bajo condiciones de estado estable balanceadas, las coordenadas de los vectores de voltaje y corriente en el marco de referencia síncrono son cantidades constantes. Esta característica es útil para análisis y para control desacoplado de las dos componentes de corriente y por consiguiente un control desacoplado de la potencia real y reactiva.

3.4.2 Circuito Equivalente y Ecuaciones del STATCOM.

La Figura 3.12 ilustra el diagrama esquemático del STATCOM, funcionando como inversor, la cual sirve para proponer el modelo matemático. La componente R que no se incluyó en la Figura 3.1 representa las pérdidas en el lado de CA y R_{cd} representa las pérdidas en el capacitor. [Schauder, Mehta 1993]

Las variables instantáneas trifásicas del STATCOM pueden ser descritas en espacio de estado como sigue: [Schauder, Mehta 1993]

$$\frac{di_a}{dt} = -\frac{R}{L}i_a + \frac{1}{L}(e_a - v_{sa}) \quad (3.14)$$

$$\frac{di_b}{dt} = -\frac{R}{L}i_b + \frac{1}{L}(e_b - v_{sb}) \quad (3.15)$$

$$\frac{di_c}{dt} = -\frac{R}{L}i_c + \frac{1}{L}(e_c - v_{sc}) \quad (3.16)$$

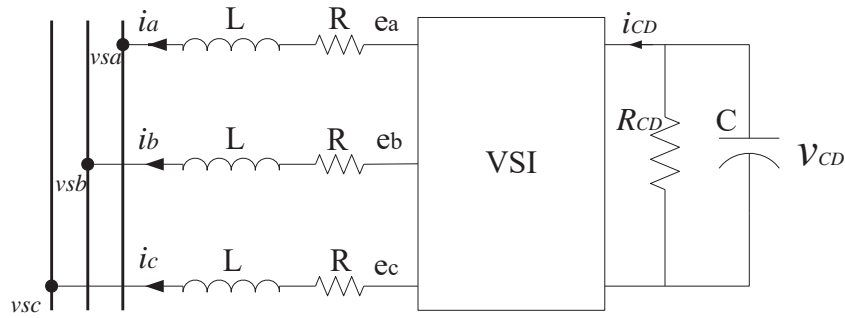


Figura 3.12 Diagrama esquemático básico del STATCOM

El modelo trifásico se puede representar de la siguiente forma:

$$\frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + \frac{1}{L} \begin{bmatrix} e_a - v_{sa} \\ e_b - v_{sb} \\ e_c - v_{sc} \end{bmatrix} \quad (3.17)$$

Utilizando (3.10) y (3.11) en (3.17)

$$\frac{d}{dt} \begin{bmatrix} [C_1^{-1}] \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} [C_1^{-1}] \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} [C_1^{-1}] \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix}$$

Donde $|v|$ es el valor pico del voltaje del sistema

$$[C_1^{-1}] \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{d}{dt} [C_1^{-1}] \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & 0 & 0 \\ 0 & -\frac{R}{L} & 0 \\ 0 & 0 & -\frac{R}{L} \end{bmatrix} [C_1^{-1}] \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} [C_1^{-1}] \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix} \quad (3.18)$$

Premultiplicando 3.18 por C_1 es posible despejar las variables de estado

$$\frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \left\{ -[C_1] \left(\frac{d}{dt} [C_1^{-1}] \right) + [C_1] \left[-\frac{R}{L} \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} [C_1^{-1}] \right] \right\} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix} \quad (3.19a)$$

$$\frac{d}{dt} [C_1^{-1}] = \frac{d}{dt} \left(\frac{3}{2} C_1^t \right) = \frac{d}{dt} \begin{bmatrix} \cos \theta & -\sin \theta & \frac{1}{\sqrt{2}} \\ \cos \left(\theta - \frac{2\pi}{3} \right) & -\sin \left(\theta - \frac{2\pi}{3} \right) & \frac{1}{\sqrt{2}} \\ \cos \left(\theta + \frac{2\pi}{3} \right) & -\sin \left(\theta + \frac{2\pi}{3} \right) & \frac{1}{\sqrt{2}} \end{bmatrix}$$

(3.19b)

$$\frac{d}{dt} [C_1^{-1}] = \begin{bmatrix} -\sin(\theta) & -\cos(\theta) & 0 \\ -\sin \left(\theta - \frac{2\pi}{3} \right) & -\cos \left(\theta - \frac{2\pi}{3} \right) & 0 \\ -\sin \left(\theta + \frac{2\pi}{3} \right) & -\cos \left(\theta + \frac{2\pi}{3} \right) & 0 \end{bmatrix} \frac{d\theta}{dt}$$

(3.19c)

Además para cualquier valor de θ y recordando que la frecuencia fundamental $\omega = \frac{d\theta}{dt}$

$$-\left(C_1 \frac{d}{dt} C_1^{-1} \right) = -\frac{2}{3} \begin{bmatrix} \cos \theta & \cos \left(\theta - \frac{2\pi}{3} \right) & \cos \left(\theta + \frac{2\pi}{3} \right) \\ -\sin \theta & -\sin \left(\theta - \frac{2\pi}{3} \right) & -\sin \left(\theta + \frac{2\pi}{3} \right) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} -\sin(\theta) & -\cos(\theta) & 0 \\ -\sin \left(\theta - \frac{2\pi}{3} \right) & -\cos \left(\theta - \frac{2\pi}{3} \right) & 0 \\ -\sin \left(\theta + \frac{2\pi}{3} \right) & -\cos \left(\theta + \frac{2\pi}{3} \right) & 0 \end{bmatrix} \omega$$

(3.19d)

$$-\left(C_1 \frac{d}{dt} C_1^{-1} \right) = \begin{bmatrix} 0 & \omega & 0 \\ -\omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (3.19e)$$

Finalmente simplificando la ecuación (3.19a) se obtienen las ecuaciones que representan el modelo del STATCOM en los ejes d y q .

$$\frac{d}{dt} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & \omega & 0 \\ -\omega & -\frac{R}{L} & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ 0 \end{bmatrix} + \frac{1}{L} \begin{bmatrix} e_d - |v| \\ e_q \\ 0 \end{bmatrix} \quad (3.20a)$$

Eliminando el último renglón

$$\frac{d}{dt} \begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & \omega \\ -\omega & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \frac{1}{L} \begin{bmatrix} e_d - |v| \\ e_q \end{bmatrix} \quad (3.20b)$$

Para completar el modelo analógico del STATCOM es necesario representar la energía almacenada en el capacitor, la cual si se desprecian las pérdidas en el convertidor se puede escribir de la siguiente manera [García et al, 1999].

$$\frac{dv_c^2}{dt} = -\frac{2}{c} p_e \quad (3.21)$$

Donde $p_e = (3/2) (e_d i_d + e_q i_q)$ es la potencia extraída del condensador hacia el sistema de CA y v_c^2 es la variable de estado (v_c es el voltaje del condensador). De la ecuación (3.21) se puede ver que si v_c permanece constante el valor de estado estable de p_e es cero.

3.4.3 Modelo Discreto del STATCOM.

Para diseñar un sistema de control del STATCOM se requiere un control desacoplado de i_d e i_q . Debido a que el controlador debe ser implementado en un DSC, es necesario derivar una expresión discreta de la ecuación (3.20). Para derivar esta expresión se asumirá que la frecuencia ω del sistema es constante y el modelo del sistema es lineal e invariante en el tiempo. De esta forma, usando un retenedor de orden cero como método de discretización, el modelo en tiempo discreto puede ser escrito como: [García et al, 1999]

$$x_{k+1} = \Phi x_k + \Gamma u_k \quad (3.22)$$

Donde:

$x = \begin{bmatrix} i_d \\ i_q \end{bmatrix}$ representa el vector de las variables de estado

$u = \begin{bmatrix} e_d - |v| \\ e_q \end{bmatrix}$ representa la entrada.

La matriz phi se puede calcular de la siguiente forma [Astrom, Wittenmark, 1997]

$$\Phi = e^{AT} = \begin{bmatrix} \phi_1 & \phi_2 \\ -\phi_2 & \phi_1 \end{bmatrix} \quad (3.23)$$

$$\text{Donde } A = \begin{bmatrix} -\frac{R}{L} & \omega \\ -\omega & -\frac{R}{L} \end{bmatrix}, \quad \phi_1 = e^{-\frac{R}{L}T} \cos(\omega T), \quad \phi_2 = e^{-\frac{R}{L}T} \sin(\omega T)$$

T es el período de muestreo.

$$\Gamma = \int_0^T e^{A\sigma} d\sigma B = \begin{bmatrix} \gamma_1 & \gamma_2 \\ -\gamma_2 & \gamma_1 \end{bmatrix} \quad (3.24)$$

$$\text{donde } B = \begin{bmatrix} \frac{1}{L} & 0 \\ 0 & \frac{1}{L} \end{bmatrix}, \quad \gamma_1 = \frac{1}{L \left(\frac{R^2}{L^2} + \omega^2 \right)} \left(e^{-\frac{R}{L}T} \left(-\frac{R}{L} \cos(\omega T) + \omega \operatorname{sen}(\omega T) \right) + \frac{R}{L} \right),$$

$$\gamma_2 = \frac{1}{L \left(\frac{R^2}{L^2} + \omega^2 \right)} \left(-e^{-\frac{R}{L}T} \left(\omega \cos(\omega T) + \frac{R}{L} \operatorname{sen}(\omega T) \right) + \omega \right)$$

Para obtener el modelo discreto del voltaje en el capacitor se toma como referencia la ecuación (3.21). En esta ecuación se aproxima la derivada de v_c^2 por medio de la aproximación de Euler [Franklin y Powell, 1980] lo cual resulta en la ecuación (3.25).

$$\frac{dv_c^2(k)}{dt} = \frac{v_c^2(k+1) - v_c^2(k)}{T} = -\frac{2}{C} p_e(k) \quad (3.25a)$$

$$v_c^2(k+1) - v_c^2(k) = -\frac{2T}{C} p_e(k) \quad (3.25b)$$

$$v_c^2(k+1) = v_c^2(k) - \frac{2T}{C} p_e(k) \quad (3.25c)$$

CAPÍTULO 4

DISEÑO DEL HARDWARE DEL SISTEMA DE MEDICIÓN Y CONTROL

4.1 Introducción

En este capítulo se explica el hardware diseñado y construido para la etapa de medición y control. Esta etapa está directamente relacionada al convertidor el cual se conforma de dos tarjetas: Puente de IGBTs y Tarjeta Controladora del Puente. La tarjeta de medición y control tiene una etapa de protección del puente convertidor así como un circuito de sincronización el cual se utiliza para hacer la sincronización del controlador con el sistema eléctrico. También, en este capítulo se explican algunas características del DSC que se desea utilizar para implementar el control del convertidor, entre éstas el módulo convertidor analógico-digital (ADC), el cual, se encarga de la conversión de las señales que suministran información al controlador y el módulo de captura (eCAP) el cual sirve para la sincronización ya mencionada. Finalmente se explica la generación de las señales PWM, las cuales tienen como objetivo controlar el puente de IGBTs.

4.2 Estructura del Convertidor

La Figura 4.1 muestra el diagrama a bloques del convertidor. Este diagrama ilustra un panorama general del hardware diseñado y construido en este trabajo de tesis. A continuación se presenta una explicación de cada etapa.

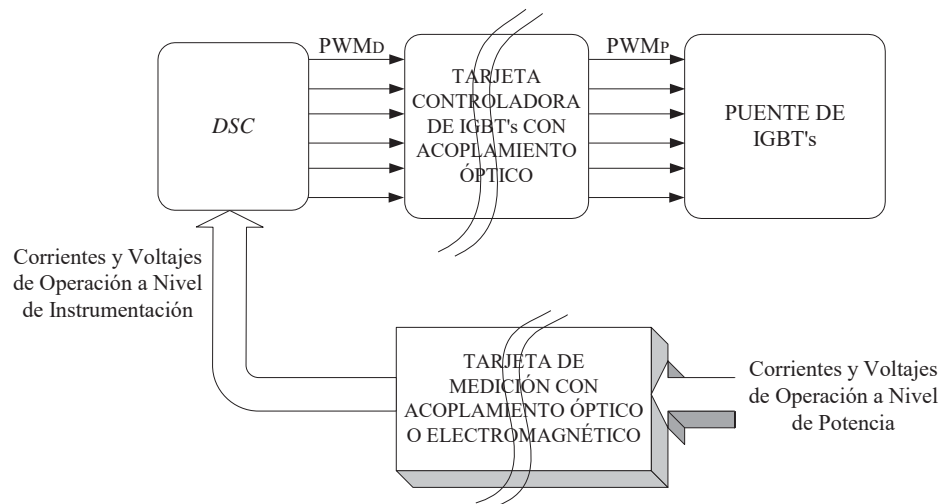


Figura 4.1 Diagrama a bloques del convertidor.

4.2.1 Puente de IGBTs

El puente de IGBTs que se muestra en la Figura 4.2 es esencial en este convertidor ya que define las características más importantes de éste. Cuando se selecciona el dispositivo de conmutación para un convertidor o para otra aplicación se sabe que en dicha selección se sacrifica potencia de operación por frecuencia de conmutación. Los dispositivos GTO han sido muy utilizados debido a sus características de alta potencia, sin embargo recientemente los IGBTs se han empezado a utilizar debido al nivel de potencia que manejan y a sus elevadas frecuencias de conmutación. Estas características lo ubican como el dispositivo ideal para aplicaciones de convertidores controlados por señales PWM. El puente presentado en este proyecto se conforma de 6 IGBTs los cuales son controlados por 6 señales PWM que definen el estado de cada dispositivo, conducción o no conducción. El objetivo de este puente de IGBTs es el de convertir potencia de CA a CD o viceversa, como ya se explicó en el capítulo 3 de este proyecto de tesis. Para más detalle sobre los componentes utilizados ver [Ugalde, 2009]

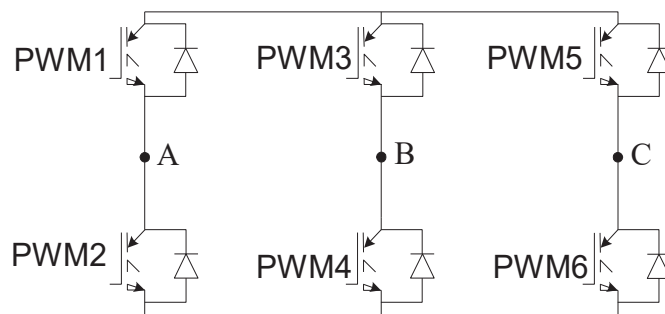


Figura 4.2 Puente Trifásico de IGBTs.

4.2.2 Tarjeta Controladora del Puente de IGBTs

Esta tarjeta tiene dos funciones: 1) proporcionar aislamiento eléctrico entre el DSC y el puente de IGBTs, lo cual se hace a través de acopladores ópticos, y 2) acondicionar las señales PWM_D, que salen del DSC con niveles de instrumentación, a niveles de potencia PWM_P para que puedan controlar el puente de IGBTs. La Figura 4.3 muestra los bloques que componen la tarjeta controladora.

En este diagrama el buffer de protección del DSC sirve para que la corriente de operación de los optoacopladores, con aislamiento de 2.5 kV fluya a través de éste y no de

las terminales PWM del DSC. La etapa de manejadores de los IGBTs controla a estos por pares, lo que motiva a que este diagrama sea modular sea de 3 módulos. Cada módulo tiene la capacidad de controlar 2 IGBTs. Esta etapa es la interfaz entre la etapa digital y la de potencia. La etapa de salida de cada módulo cuenta con dos canales, uno superior y otro inferior.

El canal superior es capaz de operar con 500V flotantes con respecto a la tierra de potencia (*COM*). Está fabricado con dos *MOSFETs* de canal *n* en configuración *tótem pole*, cuya corriente máxima pulsada es de 2A. El canal inferior está implementado también con dos *MOSFETs* de canal *n* en configuración *tótem pole*, cuya corriente máxima pulsada es de 2A.

Finalmente se implementó un reforzador de corriente considerando la posibilidad de que posteriormente se aumente la capacidad de corriente de los IGBTs. Para más detalle sobre los componentes utilizados ver [Ugalde, 2009]

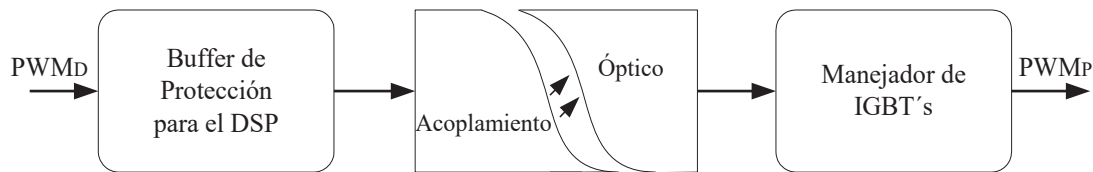


Figura 4.3 Diagrama a bloques de la tarjeta controladora de IGBTs.

4.2.3 Controlador Digital de Señales (DSC)

El DSC utilizado para llevar a cabo el control del STATCOM por medio de la generación de señales PWM es el TMS320F28335, la cual incluye un DSC de punto flotante de 32 bits fabricado por *Texas Instruments* y que tiene como principales características las siguientes: [DSC, TI 2007]

- Controlador digital de señales TMS320F28335
- Velocidad de operación de 150 MHz
- Unidad de punto flotante de 32 bits.
- 68 K bytes de memoria RAM interna.
- 512 K bytes de memoria Flash interna.
- 256 K bytes de memoria SRAM externa

- Convertidor analógico a digital (A/D) de 12 bits.
- Entrada de reloj de 30 MHz
- Conector RS232 con manejador de línea.
- Conectores de expansión múltiple de línea (I/O analógicas)
- Controlador embebido USB JTAG

4.2.4 Tarjeta de Medición

La tarjeta de medición tiene como propósito acondicionar las señales del controlador (las cuales provienen de niveles altos de voltaje y corriente) y entregarlas al DSC con el propósito de proveer la información necesaria para calcular una acción de control. Estas señales son: los voltajes instantáneos en las terminales del sistema, los voltajes en las terminales del convertidor, las corrientes de fase y el voltaje de CD en el capacitor. Por otro lado también en esta tarjeta se implementa el circuito de sincronización del control con el sistema, así como el circuito de protección de sobrecorriente en el puente convertidor. Para este acondicionamiento la tarjeta incluye varias etapas que se explican a continuación.

4.3 Medición de la Señal de Voltaje de CA

Para medir las señales de voltaje en terminales del sistema eléctrico y del convertidor básicamente se tiene un transformador reductor, un filtro pasa banda y un circuito acondicionador de rango de señal, como se muestra en la Figura 4.4. Las etapas, las cuales se describen a continuación, se encuentran en cada fase (A, B y C), aunque únicamente de la fase A se toma la señal para el circuito de sincronización.

El transformador tiene como propósito disminuir el nivel de voltaje a un rango de valores de instrumentación. El transformador utilizado es del tipo reductor de 110V a 6V de CA.

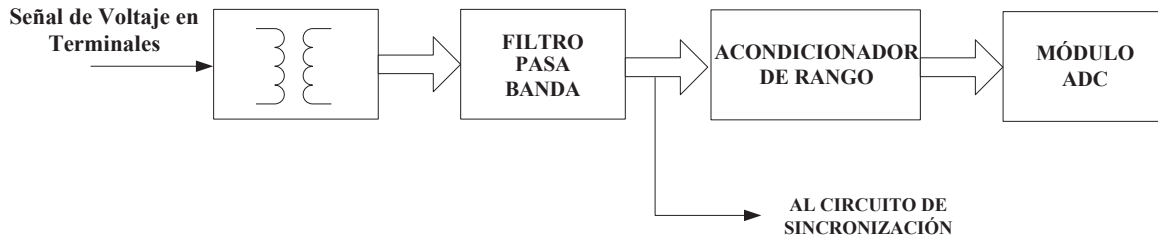


Figura 4.4 Diagrama a bloques del transductor de voltaje en terminales del sistema

4.3.1 Filtro Pasa Banda.

Cuando se utilizan aplicaciones basadas en dispositivos de conmutación se presenta una contaminación inherente de frecuencias armónicas en las señales de voltaje. Para resolver este problema se ha implementado un filtro pasa banda con la finalidad de obtener una señal limpia para lograr un funcionamiento adecuado en el resto del procesamiento de la señal. La idea de este filtro es dejar pasar sólo la frecuencia fundamental de 60 Hz, se ha escogido para este diseño un ancho de banda de 20 Hz, con frecuencia central de 60 Hz, lo cual se puede lograr con un filtro activo pasa banda de banda estrecha, por medio de este filtro se asegura eliminar las frecuencias indeseadas que contaminan la señal de 60 Hz y también se evita el problema de traslape de frecuencias (“aliasing”) al hacer el muestreo de la señal. En la Figura 4.6 se incluye el diagrama esquemático de este circuito. En este filtro es posible controlar la fase por medio de un potenciómetro (R2 en el diagrama de la Figura 4.6) lo que soluciona un posible desfasamiento entre la señal filtrada y la señal original. La característica de inversor del amplificador utilizado en el filtro se compensa con el amplificador usado para acondicionar el rango de la señal.

4.3.2 Acondicionador de Rango.

Finalmente para ajustar el nivel de voltaje de salida del filtro pasa banda del transductor de voltaje del sistema se utiliza un circuito de ajuste de rango para señales no diferenciales. En la Figura 4.5 se muestra la transferencia deseada para el circuito de acondicionamiento, los límites -10 V y 10 V en el eje v_i representan el voltaje mínimo y máximo que entrega el filtro pasa banda que se encuentra a la salida del transformador y el rango de 0 a 3.3 V en el eje v_o representa el rango de voltaje permitido por el ADC del

DSC. Esta función se puede implementar mediante un sumador como el de la Figura 4.6. El amplificador requiere una ganancia de 0.165 y una desviación de CD de 1.65 V. En la Figura 4.6 se incluye el diagrama esquemático de este circuito.

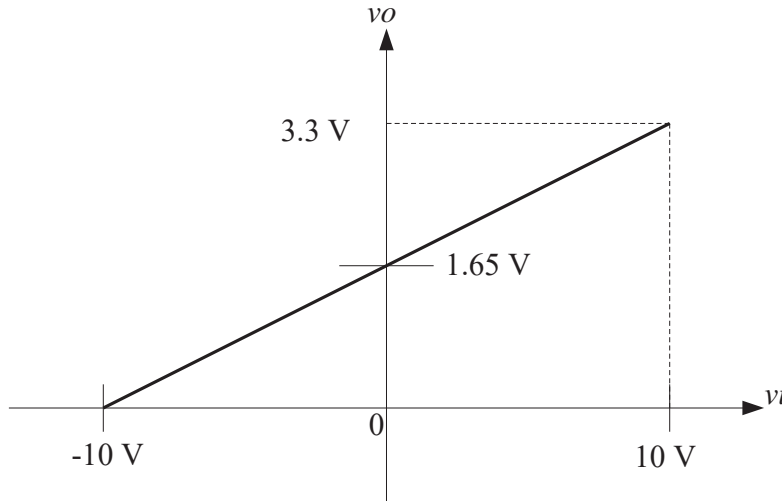


Figura 4.5 Ajuste de nivel de la señal de voltaje del sistema que se introduce al ADC

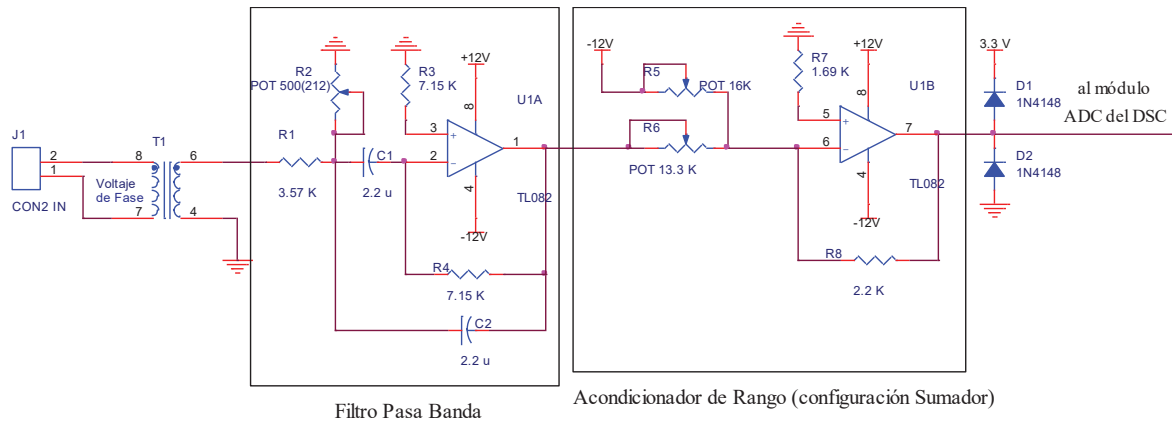


Figura 4.6 Diagrama esquemático del circuito de medición de la señal de voltaje del sistema

4.4 Medición de la Señal de Corriente de CA.

El acondicionamiento de la señal de corriente de CA es muy similar al de la señal de voltaje de CA, como se puede ver en el diagrama a bloques de la Figura 4.7; se tiene una etapa de sensado de corriente, la salida del sensor es introducida a un filtro pasa banda, la siguiente etapa se trata del ajuste de rango de la señal para finalmente introducirla al módulo ADC del DSC.

4.4.1 Sensor de Corriente.

Para determinar la señal de corriente se utiliza un sensor de efecto Hall. El dispositivo utilizado tiene como matrícula ACS750-PFF de *Allegro*, éste es una solución económica y precisa para el sensado de corriente industrial, automotriz, comercial y en sistemas de comunicaciones. El dispositivo consiste de un sensor de precisión lineal de efecto Hall con bajo offset, con una ruta de conducción de corriente hecha de cobre. Cuando se aplica una corriente a esta ruta se genera un campo magnético el cual es sentido por el circuito de efecto Hall (integrado en el chip) y convertido en un voltaje proporcional. La precisión del dispositivo es optimizada a través de la proximidad de la señal magnética al transductor Hall[ACS754Xcb-050].

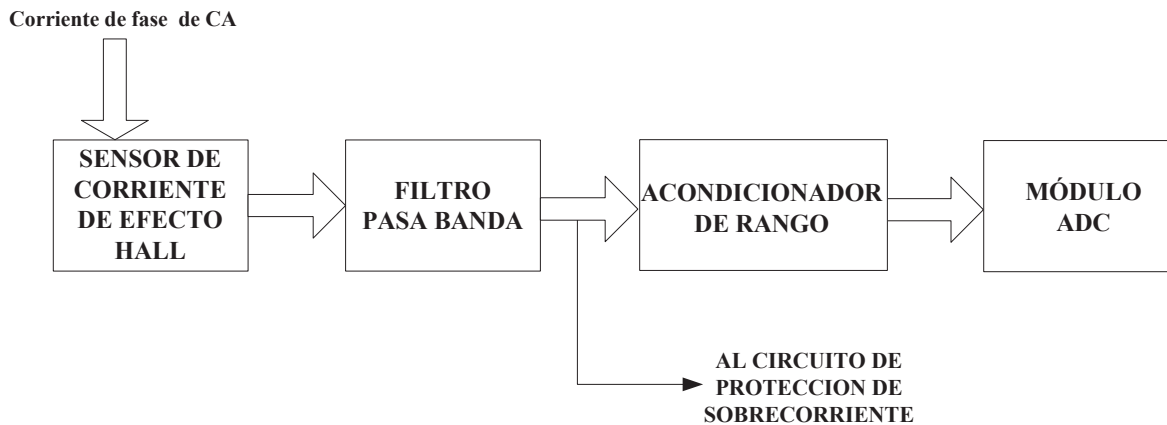


Figura 4.7 Diagrama a bloques del acondicionamiento de la señal de corriente de CA.

El dispositivo tiene una sensibilidad de 40 mV/A cuando una corriente (CA o CD) fluye a través de las terminales de cobre (de la terminal 4 a la 5). El grosor de estas terminales permite soportar una sobrecorriente de hasta 5 veces la nominal. La Figura 4.8 ilustra el diagrama funcional del sensor. La línea punteada delimita el empaquetado del chip. Se puede ver que como elementos adicionales únicamente se utiliza un capacitor conectado entre VCC y GND.

Características del sensor utilizado (ACS750-PFF)

- Circuito integrado monolítico Hall de alta confiabilidad.
- Fuente única de +5 V.

- Aislamiento de voltaje de hasta $3 \text{ kV}_{\text{RMS}}$ entre las terminales 4/5 y las patitas 1/2/3.
- Ancho de banda de 35 KHz.
- Rango de temperatura automotriz.
- Pérdidas de potencia pequeñas: la resistencia del conductor interno es de $100 \mu\Omega$.
- Voltaje offset de salida extremadamente estable.
- Empaquetado pequeño con facilidad para el montaje.
- Salida proporcional a la corriente de CA o CD.

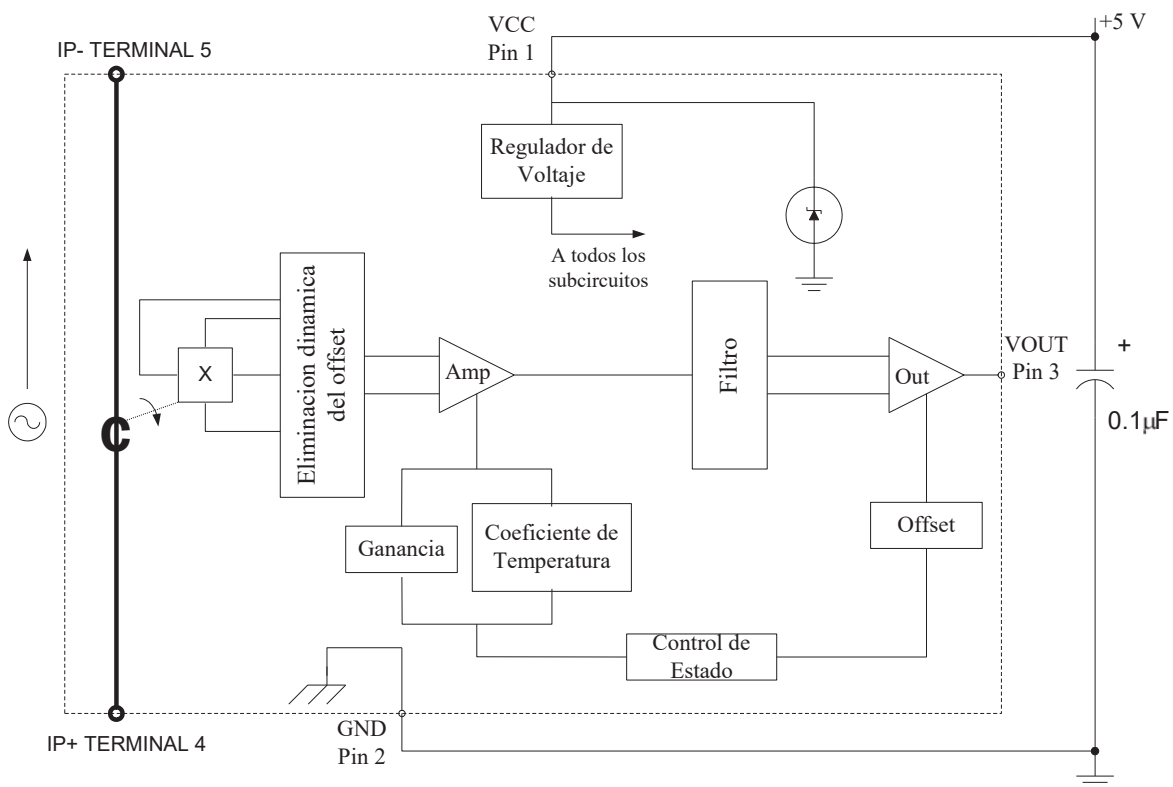


Figura 4.8 Diagrama funcional del sensor de corriente ACS754-PFF.

El filtro pasa banda es idéntico al utilizado en el acondicionamiento de la señal de voltaje.

4.4.2 Acondicionador del Rango de la Señal de Corriente de CA

Para ajustar el rango de la señal de salida del transductor de corriente de CA se utiliza un circuito similar al utilizado en la medición de voltaje. En la Figura 4.9 se muestra

la transferencia deseada para el circuito de acondicionamiento, los límites de -1 V y 1 V en el eje v_i representan el voltaje mínimo y máximo que entrega el filtro que se encuentra a la salida del sensor de corriente, para corrientes que van desde -25 A hasta 25 A . el amplificador requiere una ganancia de 1.65 y una desviación de CD de 1.65 V

En la Figura 4.10 se muestra el diagrama esquemático del circuito completo para la medición de la señal de corriente de CA.

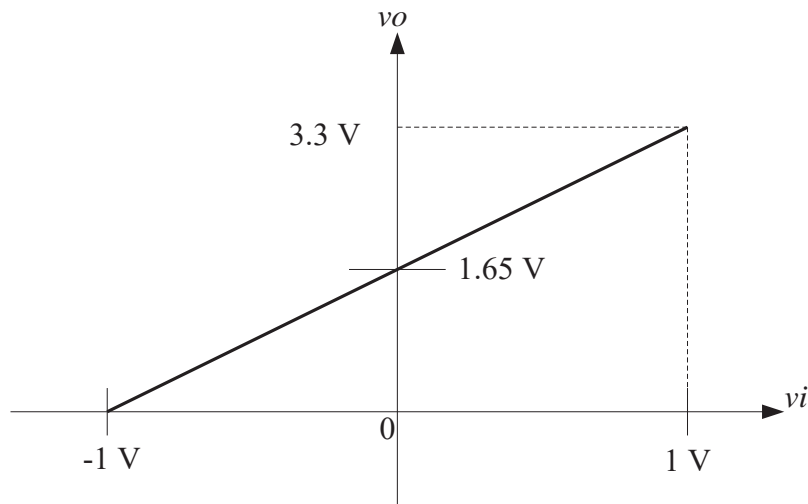


Figura 4.9 Ajuste de nivel de la señal de corriente del sistema que se introduce al ADC

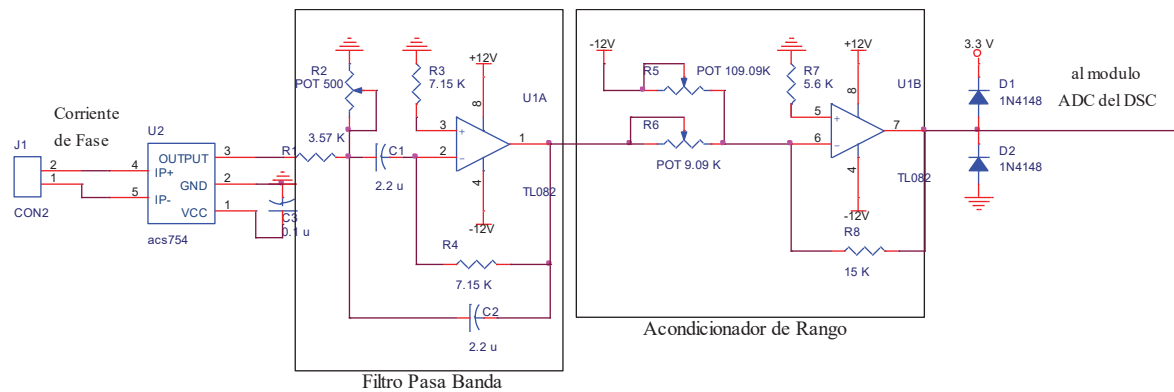


Figura 4.10 Diagrama esquemático del circuito de medición de la señal de corriente de CA.

4.5 Medición de la Señal de Voltaje de CD del Capacitor

El monitoreo continuo del voltaje del capacitor (V_{CD}) que se mostró en la Figura 3.1 del capítulo 3 es muy importante, ya que dependiendo de su valor el convertidor debe

conmutar su estado de rectificador a inversor y viceversa. A continuación se describe el proceso de medición de esta señal de voltaje.

Para este proyecto se consideró el uso de un amplificador de aislamiento electromagnético como transductor para el voltaje de CD del capacitor. Existen también los amplificadores de aislamiento óptico, los cuales son más económicos pero tienen la desventaja de requerir dos fuentes: una para la etapa de entrada y otra para la etapa de salida, es por eso que se decidió usar el de aislamiento electromagnético, el cual utiliza una fuente.

El amplificador de aislamiento es similar a un amplificador de instrumentación, a diferencia de este último tiene un circuito de entrada que está aislado eléctricamente del circuito de salida. En los amplificadores de aislamiento electromagnético, la señal de entrada se modula con una portadora de alta frecuencia. El acoplamiento se realiza mediante un transformador entre el circuito de entrada y el de salida. El transformador proporciona un acoplamiento eficiente a la frecuencia de la portadora, pero es una trayectoria de alta impedancia a las frecuencias a las cuales pudiera ocurrir una corriente indeseada.

En la Figura 4.11 se muestra el símbolo esquemático del amplificador con aislamiento electromagnético [3656, 1997].

Las principales características de estos circuitos son:

- Fuente de poder interna aislada
- Aislamiento eléctrico entre secciones de hasta 3500 V
- Corriente máxima de fuga de 0.5 μA a 120 V, 60 Hz.
- Capaz de operar con tres tierras completamente aisladas (aislamiento de tres puertos)

Los amplificadores acoplados electromagnéticamente tienen como desventajas su baja respuesta a la frecuencia y la posibilidad de que sus osciladores de alta frecuencia produzcan interferencia electromagnética en otros circuitos cercanos. Si varios amplificadores de aislamiento con acoplamiento electromagnético se operan físicamente cerca uno del otro, la interferencia electromagnética producida por los osciladores independientes podría causar errores. Si se conectan las entradas Sinc de estos

amplificadores, los osciladores correrán en fase y se reducirán las interferencias. Para reducir la interferencia con otros dispositivos en esta aplicación se utilizó una pantalla de aislamiento electromagnético. En este diseño se utilizó el circuito 3656HG. La Figura 4.12 muestra el diagrama general del circuito 3656. En la Figura 4.13 se muestra el diagrama a bloques del circuito de medición de la señal de voltaje de CD del capacitor.

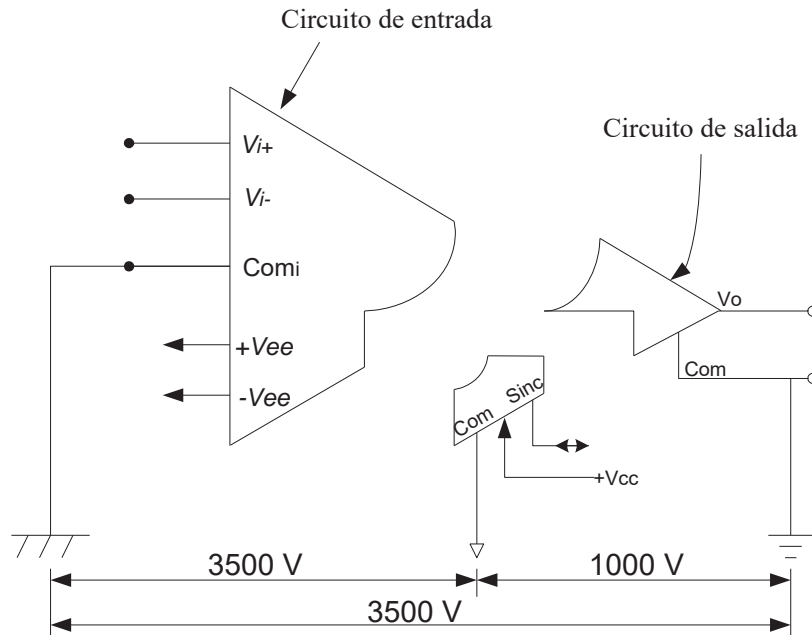


Figura 4.11 Símbolo esquemático del amplificador con aislamiento electromagnético

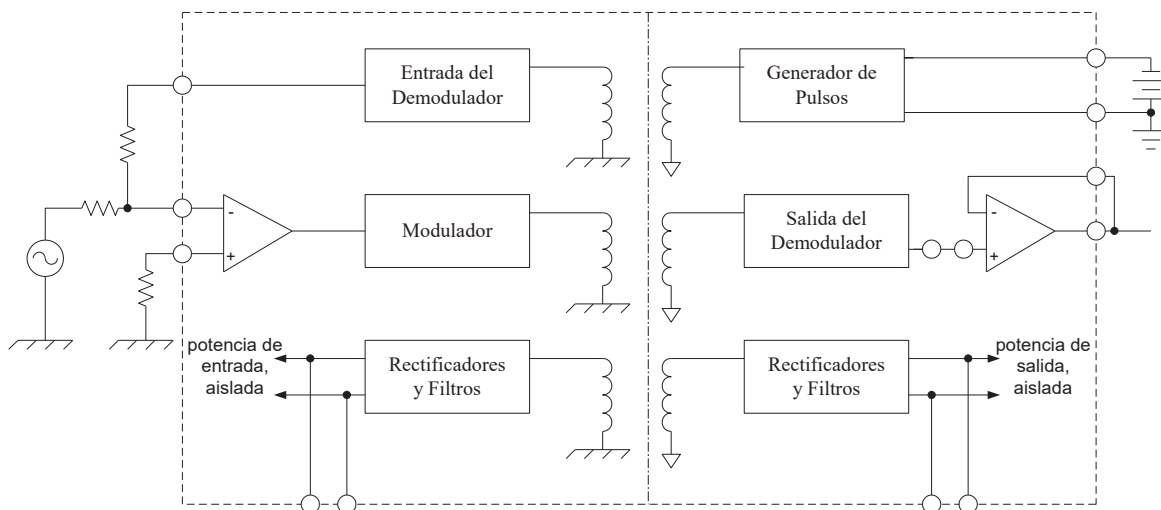


Figura 4.12 Diagrama general del amplificador de aislamiento electromagnético 3656.

acondicionamiento se implementó un filtro pasa bajas con una frecuencia de corte de 170 Hz y una frecuencia de paro de 1380 Hz.

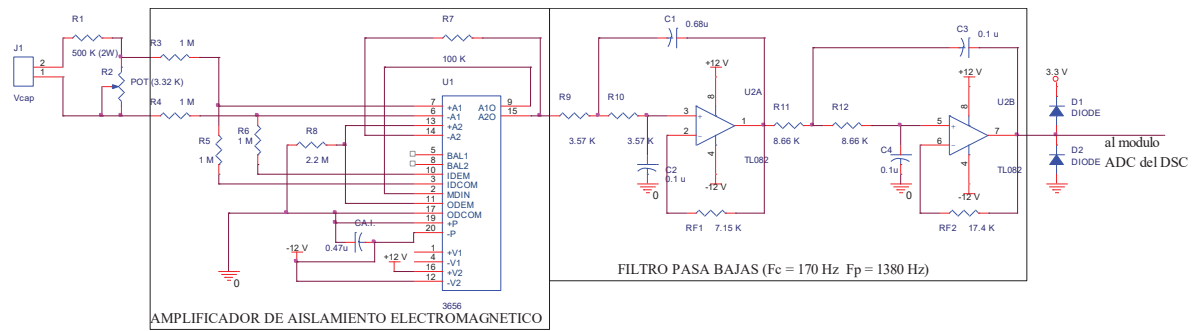


Figura 4.15 Diagrama del circuito de acondicionamiento de la señal del capacitor.

4.6 Circuito de Sincronización.

La detección del cruce por cero del voltaje en la fase A del sistema es muy importante ya que nos permite sincronizar el sistema de control con el sistema eléctrico. Como referencia se toma el el cruce por cero de voltaje de la fase A del bus del sistema. Para llevar a cabo la detección de este instante, es necesario tomar la señal de voltaje en la fase A, realizar la etapa de detección de cruce por cero, introducir esta señal en forma de pulsos al módulo de captura eCAP del DSC el cual debe ser configurado para determinar el tiempo en que arriban los flancos positivos de la señal pulsada. El módulo eCAP es descrito posteriormente en este capítulo. Para la implementación del detector se toma la salida del filtro pasa banda de la fase A del transductor de la señal de voltaje. En la Figura 4.16 se muestra el diagrama a bloques del circuito de sincronización.

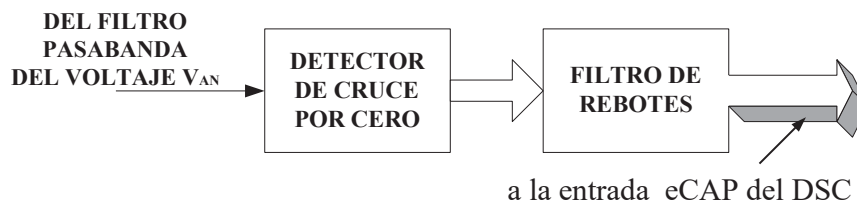


Figura 4.16 Diagrama a bloques del circuito de sincronización

4.6.1 Detector de Cruce por Cero

El detector de cruce por cero proporciona una señal digital con niveles de 0 y 5 V, partiendo de una señal analógica (en este caso sinusoidal). Cuando pasa por cero la señal

proveniente del filtro pasa banda, se dispara un pulso en forma cuadrada. Un comparador compara una señal de voltaje de entrada con un voltaje de referencia en la otra entrada.

Desafortunadamente, el voltaje de salida de los amplificadores operacionales de uso común no cambia con mucha velocidad. Además de que su salida no puede impulsar directamente dispositivos tales como circuitos integrados de lógica digital TTL que requieren niveles de voltaje de 0 y 5V. En este diseño, el detector de cruce por cero está basado en el comparador de precisión LM311. El circuito integrado LM311 es un comparador que ha sido diseñado y optimizado para rendimiento superior en las aplicaciones de detector de nivel de voltaje.

4.6.2 Filtro de Rebotes

Finalmente los pulsos que se van a introducir al DSC que contienen la información del cruce por cero de la señal del voltaje en la fase A debe ser limpiada del ruido es decir de posibles “rebotes” los cuales alterarían la referencia de tiempo que se está tomando y por consecuencia provocarían una mala ejecución del control del convertidor. Es por eso que se ha incluido un filtro de rebotes el cual garantiza que la información que se está introduciendo al DSC es correcta. Este circuito de rebotes está basado en un Flip-Flop del tipo D. Para mayor detalle del filtro de rebotes revisar [Barrera, 1991]. En la Figura 4.17 se muestra el diagrama esquemático completo del circuito de sincronización.

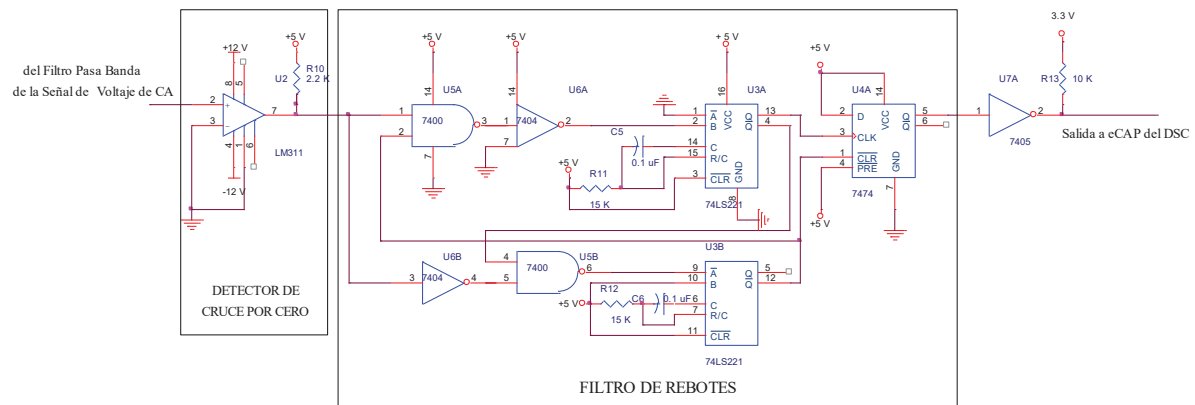


Figura 4.17 Diagrama esquemático del circuito de sincronización.

El circuito de sincronización inicia a partir de la salida del filtro pasa banda del transductor del voltaje en terminales del sistema. A la salida del Flip-Flop se agregó una

compuerta inversora 7405 la cual es de colector abierto lo que permite acondicionar a los niveles digitales del DSC. El DSC sólo permite niveles positivos de voltaje que sean del rango de 0 a 3.3 V.

4.7 Protección de Sobrecorriente en el Puente Convertidor.

En este proyecto, en el cual se utiliza un convertidor basado en fuente de voltaje, es necesario proteger el puente. Esto debido a que en algún momento se podría originar una sobrecorriente que a su vez dañara a los IGBTs. Para activar la protección de sobrecorriente se ha diseñado y construido un circuito capaz de detectar el valor pico de corriente, este circuito de protección toma la señal de salida del filtro pasa banda del medidor de corriente de CA de cada una de las tres fases del sistema eléctrico. Esta señal es procesada como se muestra en la Figura 4.18 para generar la lógica de control para protección de sobrecorriente, utilizando el modulo “PWM Trip-Zone” del DSC. Básicamente el diagrama de protección cuenta con tres importantes etapas:

- 1) Rectificador de precisión de onda completa.
- 2) Comparador.
- 3) Flip-Flop.

La Figura 4.18 muestra el diagrama a bloques de la protección de sobrecorriente.

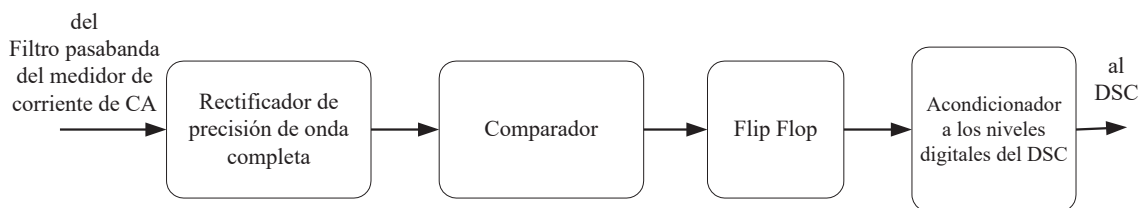


Figura 4.18 Diagrama a bloques de protección de sobrecorriente.

El rectificador tiene como objetivo obtener el valor absoluto de la señal de voltaje que entrega el sensor para de esta manera facilitar la función del comparador. Para construir el rectificador de precisión de onda completa se utilizó el C.I. TL082 el cual consta de 2 amplificadores operacionales.

La salida del rectificador es introducida al comparador que fue construido con el C.I. LM311, en el cual la salida es de colector abierto con tensiones de alimentación independientes para seleccionar los niveles de tensión de salida. La referencia del comparador es establecida con un potenciómetro de 10 K, el cual se conecta a un

amplificador operacional alambrado como seguidor para proporcionar una alta impedancia a la referencia del circuito comparador. Si el nivel de voltaje de la salida del rectificador está por debajo del nivel de voltaje de referencia establecido no hay acción por realizar, pero si ocurre lo contrario se tendrá que activar la protección. Esta decisión es tomada por la lógica del comparador. Finalmente la salida del comparador se introduce a la señal de reloj de un C.I. 7474 el cual es un Flip-Flop dual del tipo D. El diagrama completo se muestra en la Figura 4.19

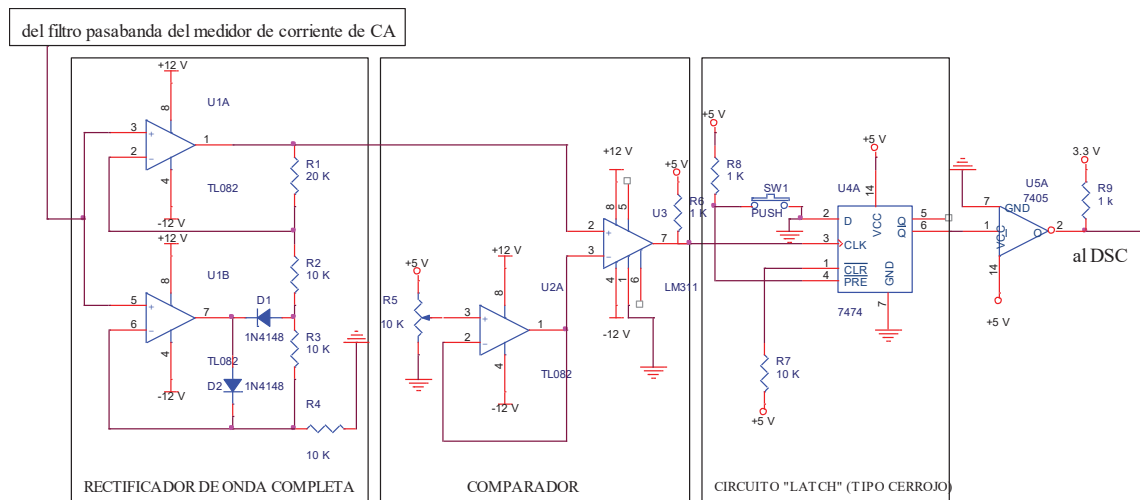


Figura 4.19 Diagrama de protección de sobrecorriente del puente convertidor

La salida se toma de Q negada debido a que la señal de salida debe ser acondicionada a un nivel de voltaje de 3.3 V, y para este fin se utiliza un inversor (7405) el cual tiene la salida en colector abierto.

4.8 Módulo ADC.

El módulo ADC del TMS320F28335 es un convertidor analógico-digital (ADC) de 12 bits. Los circuitos analógicos de este convertidor incluyen: Multiplexores analógicos (MUXs), circuitos Muestreador/Retenedor (S/H), centro de conversión, reguladores de voltaje, y otros circuitos de soporte analógico. Algunos circuitos digitales son mostrados como parte complementaria del ADC, incluyendo secuenciadores programables de conversión, registros de resultado, interfases a circuitos analógicos, interfase al bus de

periféricos del dispositivo e interfase a otros módulos que se encuentran en el chip. [ADC, TI 2007]

4.8.1 Características del ADC.

El módulo ADC tiene 16 canales, configurables como dos módulos independientes de 8 canales para servir los módulos ePWM. Los dos módulos independientes de 8 canales pueden ser puestos en cascada para formar un módulo de 16 canales. A pesar de que existen múltiples canales de entrada y dos secuenciadores, existe sólo un convertidor en el módulo ADC. Los dos módulos de 8 canales pueden autosecuenciar una serie de conversiones; cada módulo tiene la posibilidad de seleccionar cada uno de los ocho canales respectivos, disponibles a través del MUX analógico. En el modo cascada, el autosecuenciador funciona como sólo un secuenciador de 16 canales. En cada secuenciador, una vez que la conversión es completada, el valor del canal seleccionado es almacenado en su respectivo registro ADCRESULT. El autosecuenciado permite al sistema convertir múltiples veces el mismo canal, de esta forma el usuario puede ejecutar algoritmos de sobremuestreo. Este sobremuestreo proporciona un incremento a la resolución sobre resultados tradicionales de muestreo sencillo. En la Figura 4.20 se ilustra el diagrama a bloques del módulo ADC.

El módulo ADC incluye las siguientes funciones:

- Módulo central ADC unido al Muestreador/Retenedor (S/H) dual.
- Modos de muestreo simultáneo o secuencial.
- Entrada analógica: 0 a 3 V.
- Tiempo de conversión pequeño, el reloj del ADC corre a 12.5 MHz(6.25MSPS)
- 16 canales de entrada multiplexados.
- La capacidad de autosecuenciado proporciona hasta 16 autoconversiones en una sola sesión. Cada conversión puede ser programada para seleccionar cualquiera de los 16 canales de entrada.
- El secuenciador puede ser operado como dos secuenciadores independientes de 8 estados o como un secuenciador grande de 16 estados (dos secuenciadores de 8 estados en cascada).

- Dieciséis registros de resultado (direccionables individualmente) para almacenar los valores convertidos.
- Disparos múltiples como fuentes para la secuencia de inicio de conversión (SOC)
 - Software de inicio inmediato S/W
 - ePWM 1-6
 - GPIO XINT2
- Control flexible de interrupciones permite la solicitud de interrupción en cada fin de secuencia (EOS).
- El secuenciador puede operar en modo “Inicio/Paro” permitiendo “disparos secuenciados en tiempo” para sincronizar las conversiones.
- La ventana de tiempo de adquisición del Muestreador/Retenedor tiene control separado preescalado.

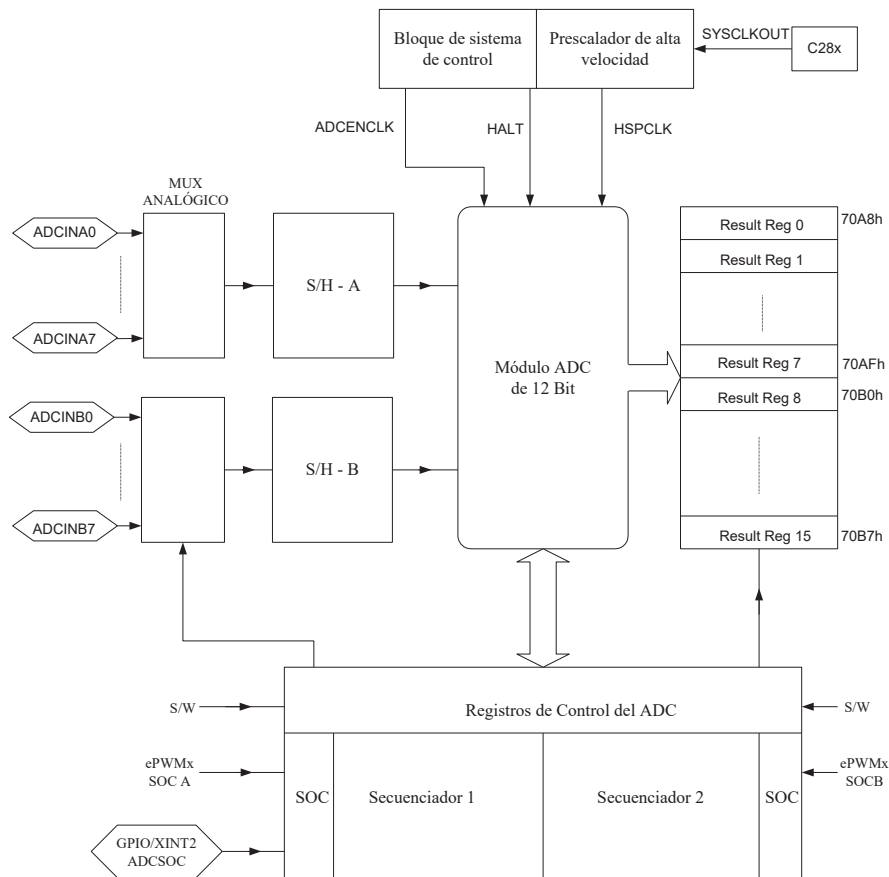


Figura 4.20 Diagrama a bloques del ADC. [ADC, TI 2007]

4.8.2 Configuración de la Frecuencia de Operación del ADC.

El diagrama de la Figura 4.21 ilustra los registros que definen la frecuencia de operación del ADC y a continuación se presenta una breve explicación de su configuración.

El reloj del periférico HSPCLK está dividido por ADCCLKPS [bits 3:0] que se encuentra en el registro ADCTRL3. Siguiendo el flujo de la Figura 4.21 encontramos que se cuenta con una división extra entre 2 a través del bit CPS del registro ADCTRL1. Además, el ADC puede ser configurado para acomodar las variaciones en la impedancia de las fuentes ampliando el periodo de *muestreo/adquisición*. Esto es controlado por los bits ACQ_PS [3:0] en el registro ADCTRL1. Estos bits no afectan la porción de conversión del *Muestreador/Retenedor* y el proceso de conversión. Pero extienden la longitud de tiempo que toma el muestreo extendiendo el inicio del pulso de conversión.

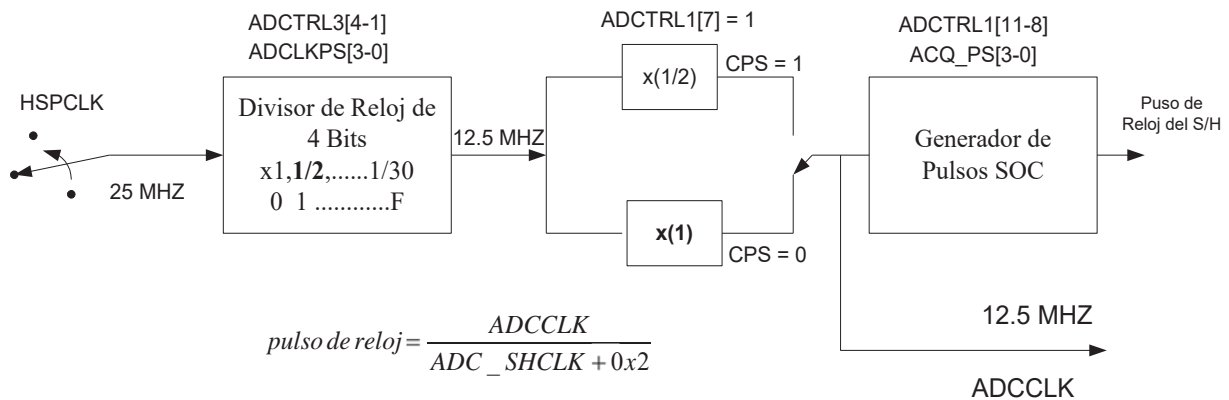


Figura 4.21 Diagrama a bloques de configuración de la frecuencia del ADC [ADC, TI 2007]

4.8.3 Modo de Muestreo Simultáneo.

El ADC tiene la habilidad de muestrear simultáneamente dos entradas ADCINxx donde una de las entradas proviene de la A0 a la A7 y la otra entrada tiene el rango de B0 a la B7. También las dos entradas deben tener el mismo desplazamiento en el S/H (ADCINA4 y ADCINB4, pero no ADCINA7 y ADCINB6). Para colocar el ADC en un modo de muestreo simultáneo, el bit S_MODE_SEL en el registro ADCTRL3 debe ser activado. [ADC, TI 2007]

4.8.4 Principio de Operación del Secuenciador en Modo de Autoconversión

El secuenciador del ADC consiste en dos secuenciadores independientes de 8 estados (SEQ1 y SEQ2) que pueden ser colocados en cascada para formar un secuenciador

de 16 estados. La palabra “estado” representa el número de autoconversiones que pueden ser ejecutadas con el secuenciador. En la Figura 4.22 se muestra el diagrama autosecuenciado para el modo cascada.

En ambos casos (cascada (16 estados) y separados (dos de 8 estados)), el ADC tiene la habilidad de autosecuenciar una serie de conversiones. Esto significa que cada vez que el ADC recibe una solicitud SOC puede ejecutar múltiples conversiones automáticamente. Después de la conversión el resultado es almacenado en el registro correspondiente iniciando con el ADCRESULT0 continuando con el ADCRESULT1 y así sucesivamente hasta el ADCRESULT15.

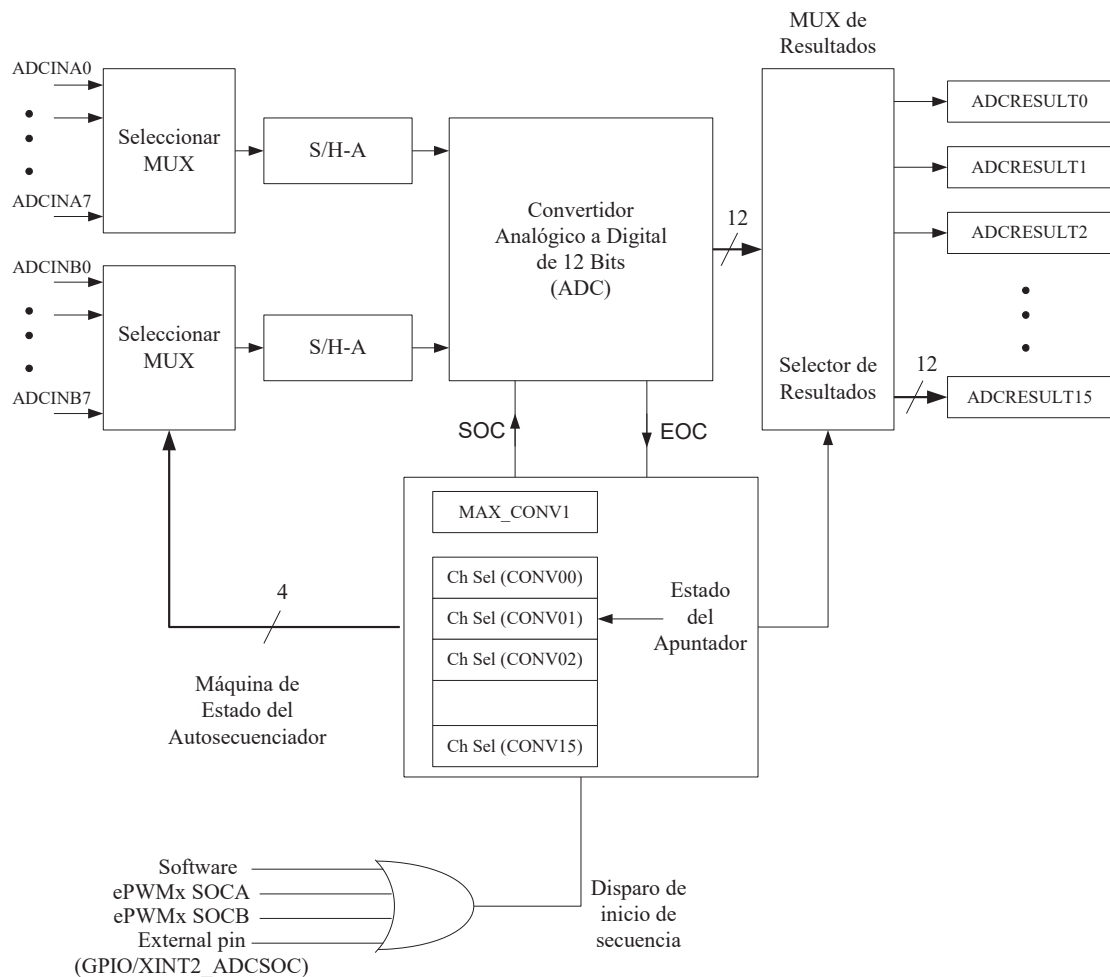


Figura 4.22 Diagrama a bloques del ADC autosecuenciado en modo cascada. [ADC, TI 2007]

El ADC puede operar en modo de muestreo simultáneo o modo de muestreo secuencial. Para cada conversión (o par de conversiones en modo de muestreo simultáneo)

el bit actual CONVxx define la patita (o par de patitas) a ser muestreada (s) y convertida (s). En el modo de muestreo secuencial los cuatro bits del CONVxx definen la patita de entrada. El bit más significativo define la asociación de patita de entrada al S/H, y los tres bits menos significativos definen el desplazamiento. Por ejemplo, si CONVxx contiene el valor 0101b significa que se muestreará el ADCINA5. Si tiene el valor 1011b significa que se muestreará el ADCINB3. En el modo de muestreo simultáneo el bit más significativo del registro CONVxx es ignorado. Cada buffer del Muestreador/Retenedor muestrea la patita asociada por el desplazamiento proporcionado por los tres bits menos significativos del registro CONVxx. Por ejemplo si CONVxx tiene 0110b significa que S/H-A muestreará ADCINA6 y S/H-B muestreará ADCINB6. Si el valor del registro CONVxx es 1001b ADCINA1 es muestreada por S/H-A y ADCINB1 es muestreada por S/H-B. El voltaje muestreado por S/H-A es convertido primero seguido por el de S/H-B.

Los resultados en modo de muestreo simultáneo se encuentran intercalados en ADCRESULT de la siguiente forma. [ADC, TI 2007]

ADCINA0 -> ADCRESULT0	ADCINA4 -> ADCRESULT8
ADCINB0 -> ADCRESULT1	ADCINB4 -> ADCRESULT9
ADCINA1 -> ADCRESULT2	ADCINA5 -> ADCRESULT10
ADCINB1 -> ADCRESULT3	ADCINB5 -> ADCRESULT11
ADCINA2 -> ADCRESULT4	ADCINA6 -> ADCRESULT12
ADCINB2 -> ADCRESULT5	ADCINB6 -> ADCRESULT13
ADCINA3 -> ADCRESULT6	ADCINA7 -> ADCRESULT14
ADCINB3 -> ADCRESULT7	ADCINB7 -> ADCRESULT15

4.9 Módulo de Captura Mejorado (eCAP).

El módulo de captura mejorado (eCAP) mencionado anteriormente es esencial en sistemas donde es importante la captura del tiempo preciso de eventos externos. El diagrama a bloques se muestra en la Figura 4.23. Algunos usos del eCAP incluyen:[eCAP, TI 2007]

- Mediciones de velocidad en máquinas rotatorias
- Mediciones de tiempo transcurrido entre posición de pulsos de sensor
- Mediciones de periodo y ciclo de trabajo de señales de trenes de pulsos.

En este proyecto, como se mencionó en la sección 4.6, el módulo eCAP se utiliza para sincronizar el sistema de control con el sistema eléctrico, mediante la detección del cruce por cero de la señal de voltaje de la fase A del bus del sistema eléctrico.

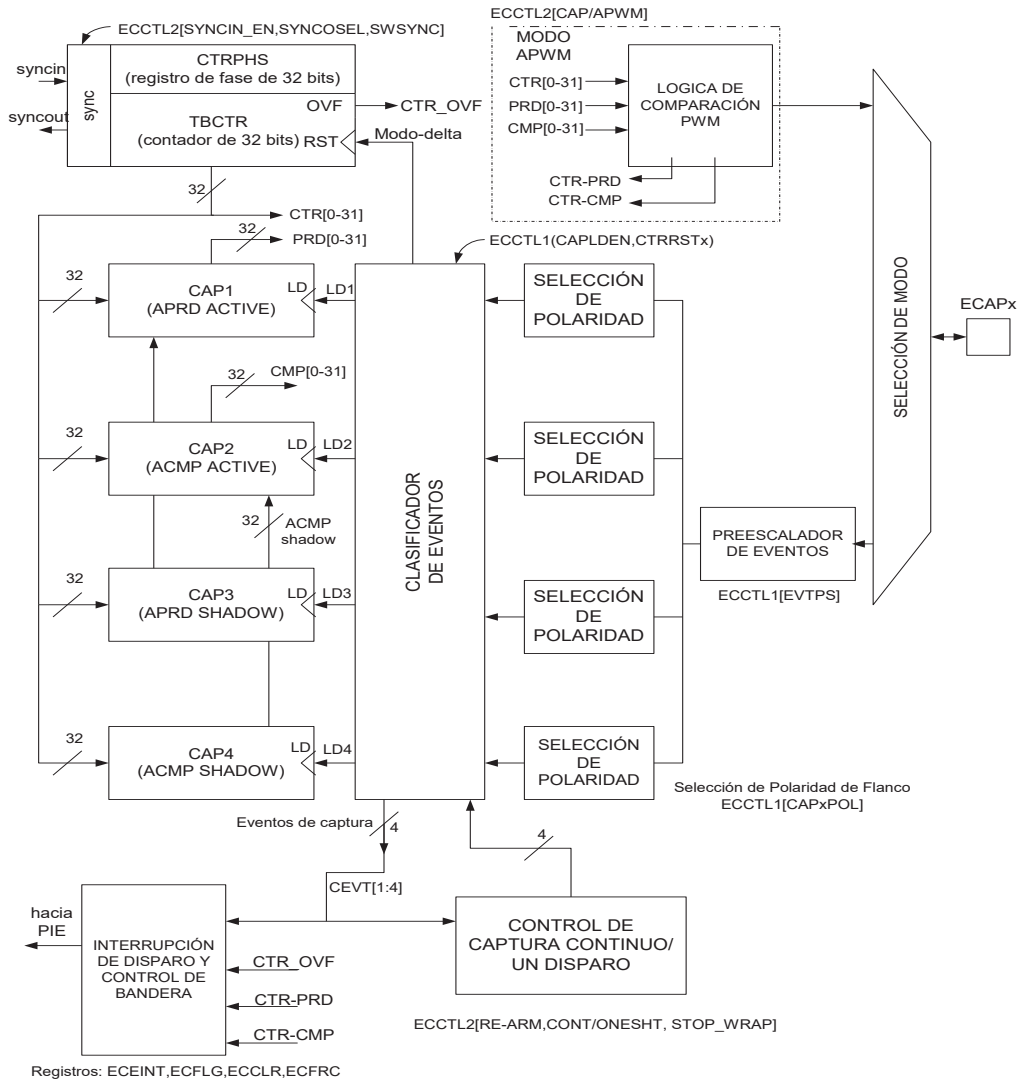


Figura 4.23 Diagrama a bloques de la función captura. [eCAP, TI 2007]

El módulo eCAP descrito en este documento incluye las siguientes características:[eCAP, TI 2007]

- Tiempo base de 32 bits con una resolución de 10 ns de tiempo con un reloj del sistema que corre a 100 MHz.
- Registros de tiempo de 4 eventos(cada registro de 32 bits)
- Selección de polaridad de flanco para la captura de hasta cuatro eventos.

- Interrupción en cada uno de los cuatro eventos.
- Captura de disparo sencilla de hasta cuatro eventos de tiempo.
- Modo de captura continuo de 4 instantes en un bufer circular.
- Captura de tiempos absolutos.
- Modo de captura de diferencia de tiempo.
- Todas las posibilidades anteriores dedicadas a una sola patita de entrada.
- Cuando no se usa en el modo captura, el eCAP puede ser configurado como un sólo canal de salida PWM.

El módulo eCAP representa un canal completo de captura el cual puede ser referenciado multiple veces dependiendo del dispositivo. El eCAP tiene algunas características clave.

- Patita de captura de entrada.
- Tiempo base de 32 bits (Contador).
- Secuenciador de 4 etapas sincronizado a eventos externos
- Polaridad de flanco independiente (flanco de subida/bajada) selección para los 4 eventos.
- Capacidad de interrupción de cualquiera de los cuatro eventos de captura.

4.9.1 Operación en Modo Delta con Disparo en el Flanco Positivo.

En este modo de operación el módulo eCAP es usado para recopilar datos provenientes de una forma de onda de tren de pulsos haciendo una diferencia de tiempo. En éste se realiza la captura en forma continua (el TSCTR se incrementa sin reiniciarse y el contador Mod4 se fija). Para este modo el TSCTR se reinicia en cada evento válido. En esta aplicación se selecciona solo el flanco positivo. En un evento, el TSCTR contiene la primera captura (tiempo de arribo), y despues se reinicia a cero. En la Figura 4.24 se muestra la secuencia de captura para el modo delta en la detección de flanco positivo.[eCAP, TI 2007]

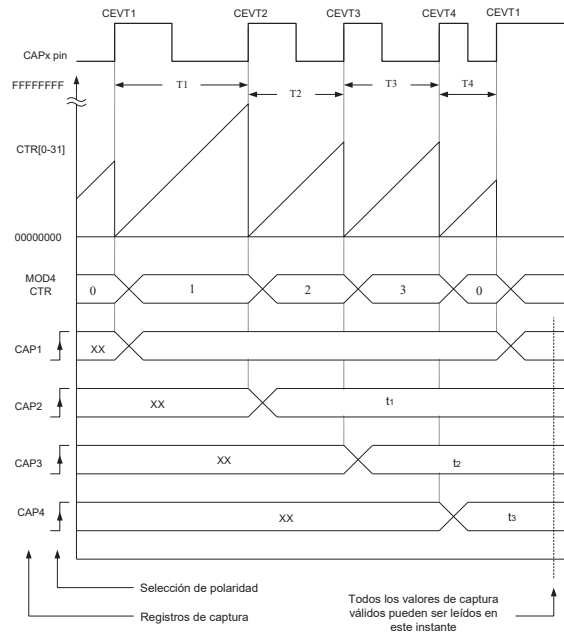


Figura 4.24 Secuencia de captura en el modo delta y detección de flanco positivo.[eCAP, TI 2007]

El contador Mod4 se incrementa al siguiente estado si el TSCTR alcanza FFFFFFFF (valor máximo) antes del siguiente evento el Mod4 se fija a 00000000 y continúa. Se activa la bandera de rebufo del contador OVFCNT y ocurre una interrupción (si están habilitadas las interrupciones). La ventaja en modo tiempo delta es que el CAPx contiene directamente el dato de tiempo dado sin la necesidad de cálculos de la CPU. [eCAP, TI 2007]

4.10 Generación de las Señales PWM

La modulación *SPWM* analógica se lleva a cabo comparando una señal sinusoidal V_{ctrl} , con una señal portadora triangular V_{tri} . Cuando se da la condición $V_{ctrl} > V_{tri}$ el *IGBT* superior (de una pierna, cada fase corresponde a una pierna) permanece encendido y el *IGBT* inferior permanece apagado. Por el contrario, si $V_{ctrl} < V_{tri}$ el *IGBT* superior conmuta a apagado y el *IGBT* inferior conmuta a encendido. [Ugalde, 2009]

Para implementar la modulación *SPWM* en el *DSP TMS320F28335*, es necesario generar la señal de referencia sinusoidal y la señal portadora triangular, utilizando los recursos del *DSP*.

4.10.1 Generación de la Señal Portadora Triangular.

La señal triangular necesaria para la generación de las señales *SPWM*, inicia en su valor medio y va disminuyendo hasta alcanzar su valor mínimo, al alcanzar este valor comienza a aumentar hasta llegar a su valor máximo. Una vez que la señal triangular llega a su valor máximo comienza a disminuir hasta llegar a su valor medio y el ciclo se repite. [Ugalde, 2009]

A fin de determinar los valores medio, mínimo y máximo de la señal triangular es necesario elegir una frecuencia de modulación. La frecuencia de la señal triangular se eligió de 27 veces la frecuencia fundamental ($m_f = 27$ $f_1 = 60$ Hz), así de la ecuación 3.2 se tiene:

$$f_s = 27 * 60\text{Hz} = 1620\text{Hz}$$

El periodo está dado por:

$$T_s = \frac{1}{1620} = 617.2839506\mu\text{s}$$

La mitad del periodo corresponde a:

$$\frac{T_s}{2} = \frac{617.2839506\mu\text{s}}{2} = 308.6419753\mu\text{s}$$

Un cuarto del periodo corresponde a:

$$\frac{T_s}{4} = \frac{617.2839506\mu\text{s}}{4} = 154.3209877\mu\text{s}$$

Considerando que el reloj del *DSC* está configurado para operar a 150 MHz, cada cuenta del temporizador se realiza en 6.6666667ns y el número de cuentas o pulsos de reloj que deben transcurrir para que se genere un cuarto de ciclo de la señal triangular está dado por:

$$\text{Número de cuentas} = \frac{154.3209877\mu\text{s}}{6.6666667\text{ns}} = 23148.14815 \cong 23148$$

En base al número de cuentas que trascurren para generar un cuarto de ciclo de la señal triangular se definen los valores medio, mínimo y máximo de la señal triangular. El valor mínimo es cero, el valor medio es 23148 y el valor máximo en 46296.

4.10.2 Generación de la Señal de Referencia Sinusoidal.

La señal sinusoidal se dividió en 512 valores, es decir, se tendrá un valor de la señal sinusoidal cada 0.012271846 radianes. Al inicio de la rutina *SPWM* se genera un arreglo que contiene 512 valores de la señal sinusoidal. [Ugalde, 2008]

Para construir una señal sinusoidal con una frecuencia de 60Hz, utilizando los valores almacenados en el arreglo, es necesario obtener un valor del arreglo de 512 cada instante t_1 , esto es:

$$t_1 = \frac{T_1}{512} = \frac{60 \text{ms}}{512} = \frac{16.6666 \text{ms}}{512} = 32.5520833 \mu\text{s}$$

De tal forma que para obtener un valor del arreglo cada 32.5520833 μs , es necesario que transcurran 4882 cuentas del reloj del *DSC*.

$$\text{Número de cuentas} = \frac{32.5520833 \mu\text{s}}{6.6666667 \text{ns}} = 4882.81 \approx 4882$$

La generación de la señal sinusoidal se realiza por medio de una interrupción. Para generar la interrupción es necesario definir el modo de operación del contador de la base de tiempo, en este caso se seleccionó el modo de conteo ascendente. La interrupción se genera cuando el contador de la base de tiempo es igual al periodo especificado ($TBCTR = TBPRD$). El valor del periodo con el que se compara el contador es igual a 4882 cuentas. Por lo que el registro de periodo de la base de tiempo, $TBPRD$, de los tres módulos *ePWM* se inicializa con 4882.

El valor extraído del arreglo de la función seno del *DSC* es de tipo flotante (*float* de 32 bits). Por lo que se convierte a un valor un entero de 16 bits para ser comparado con los valores enteros de la señal triangular y generar las señales *PWM*.

El valor de comparación de la señal sinusoidal es obtenido de la siguiente manera: el valor extraído del arreglo se multiplica por 23148, posteriormente se le suma un desplazamiento definido por el valor medio de la señal triangular (el resultado se guarda en una variable del tipo *int* esta operación trunca el valor a uno entero). El valor de comparación de la señal sinusoidal está definido por la siguiente expresión:

$$V_{ctrl} = (23148 * Varreglo) + 23148$$

Donde:

V_{ctrl} = Valor de comparación de la señal sinusoidal.

$Varreglo$ = Valor extraído del arreglo

De tal manera que la señal sinusoidal está centrada en 23148, el valor pico del semiciclo positivo corresponde a 46296 y el valor pico en el semiciclo negativo es cero. La Figura 4.25 ilustra la operación del software que genera la señal PWM de cada rama del convertidor [Ugalde, 2009]

Para más detalle de la generación de las señales PWM en el DSC ver [Ugalde, 2009]

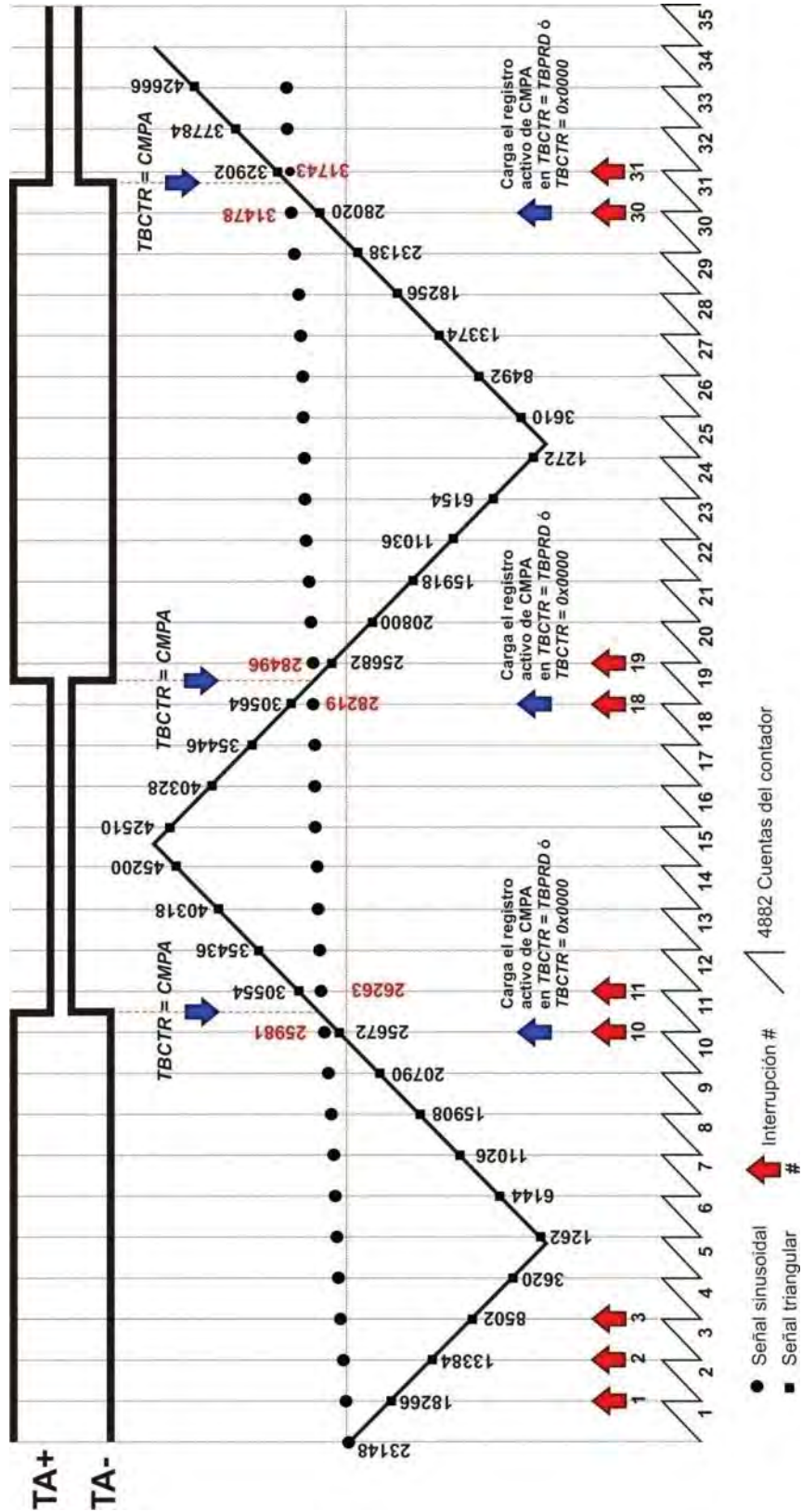


Figura 4.25 Operación del software que genera la señal PWM [Ugalde, 2009].

4.11 Estructura del Programa a Implementar en el DSC

A continuación se presenta la estructura del programa que se desea implementar en el controlador digital de señales TMS320F28335. La Figura 4.26 ilustra esta estructura en la cual el software basa su funcionamiento en un lazo principal que corresponde a la sección de inicialización de variables y de periféricos para posteriormente entrar al lazo que se encarga de ejecutar la interacción con el usuario. Este lazo es interrumpido por el ADC.

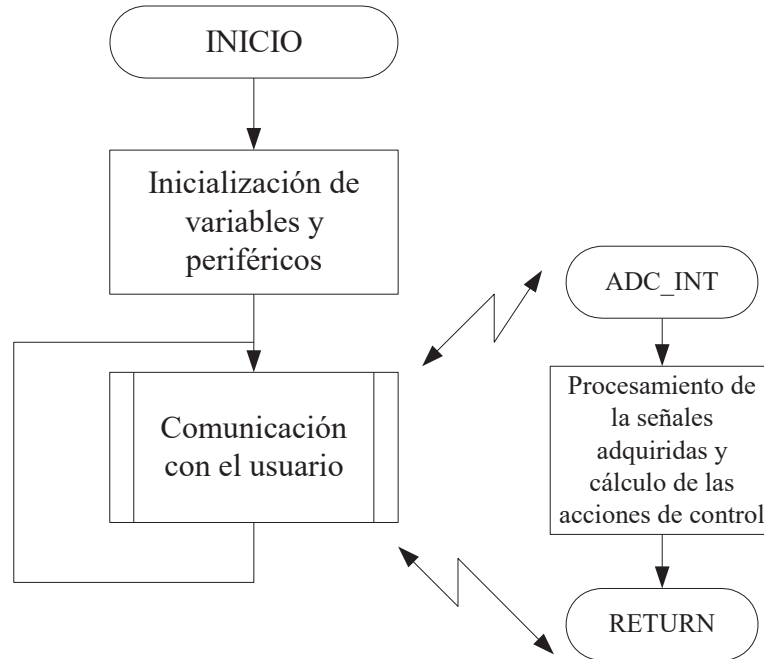


Figura 4.26 Lazo principal del software a implementar en el DSC TMS320F28335.

Existen dos tareas fundamentales para la operación de este instrumento debido a que marcan el inicio y la conclusión de la función del controlador estas tareas son: la adquisición de señales para lo cual se propone usar el módulo ADC y la generación de señales PWM para lo cual se propone utilizar los módulos de generación ePWM (estos módulos forman parte del DSC TMS320F28335), estas tareas se llevan a cabo por medio de interrupciones lo que permite una mayor eficiencia del tiempo de ejecución del software.

La Figura 4.27 ilustra el diagrama de flujo que muestra las acciones a realizar cuando ocurre una interrupción generada en el módulo ADC.

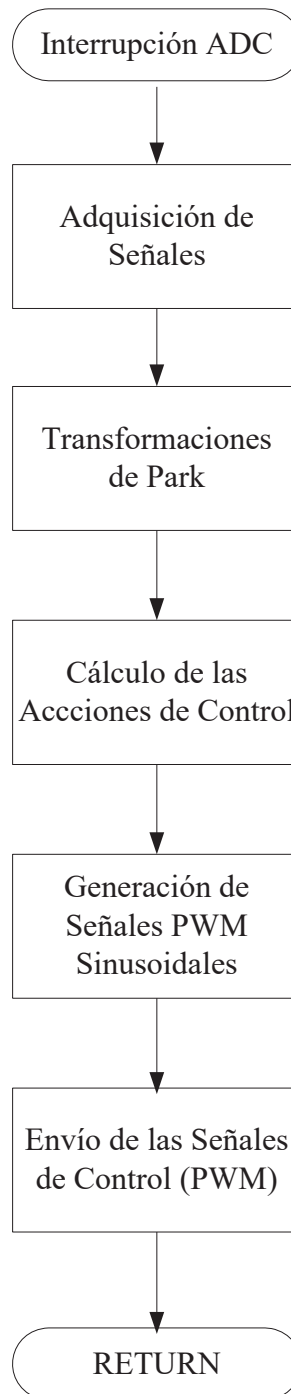


Figura 4.27 Diagrama de flujo de la interrupción del ADC.

CAPÍTULO 5

DISEÑO DEL SISTEMA DE CONTROL DEL STATCOM

5.1 Introducción

En este capítulo se presenta el diseño del sistema de control del compensador estático de potencia reactiva, para lo cual se retoma el modelo discreto del STATCOM presentado en el Capítulo 3 de esta tesis. Este sistema de control tiene como función principal regular la potencia reactiva que intercambia el compensador con el sistema de CA. Para realizar esta labor de una forma eficiente es necesario el monitoreo y corrección del nivel de voltaje del capacitor que alimenta al convertidor.

5.2 Estructura del Sistema de Control del STATCOM

En la Figura 5.1 se muestra la estructura del sistema de control del STATCOM. El lazo externo es el lazo de control de voltaje del capacitor y es el lazo maestro. Este controlador genera la referencia para la potencia real que debe ser intercambiada por el convertidor para mantener constante el voltaje del capacitor. El intercambio de potencia reactiva y potencia real es realizado por los controladores de potencia. PR y PL representan, respectivamente, las pérdidas resistivas y la potencia consumida en la inductancia total del STATCOM para incrementar la energía almacenada.[García et al, 1999]

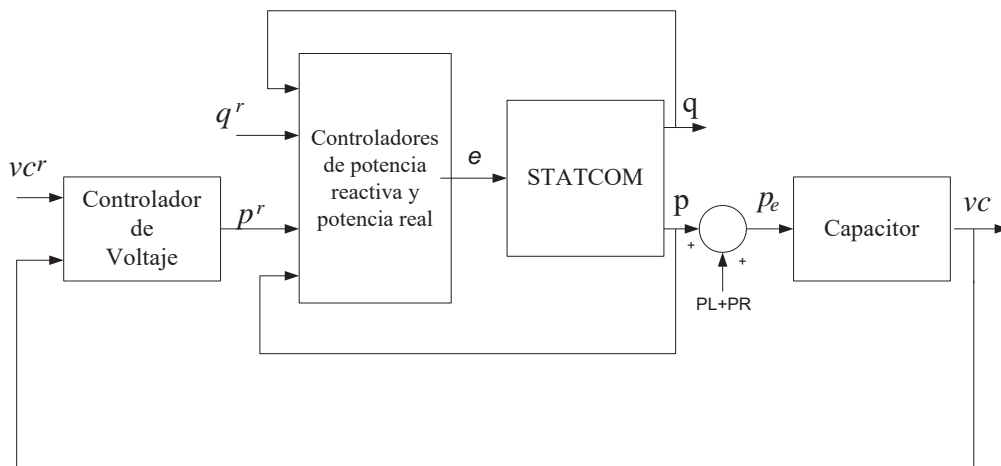


Figura 5.1 Estructura del sistema de control del STATCOM [García et al, 1999]

5.3 Diseño del Controlador de Retroalimentación de Estado para el Control Desacoplado

de p y q .

En el capítulo 3 se mostró el desarrollo del modelo matemático del STATCOM y se derivó la expresión (3.20) en términos de las corrientes i_d e i_q que representa el modelo matemático simplificado del STATCOM en el marco de referencia d - q . Para llegar a esta expresión se utilizó la transformada de Park, la cual es una herramienta muy valiosa para transformar de un sistema de coordenadas abc a un marco de referencia dq . Esto hace posible el desacoplamiento de las corrientes en los ejes d y q y permite un diseño desacoplado de los controladores de potencia real y reactiva a través de estas corrientes. Mas adelante en esta sección se mostrará el diseño de los controladores.

La ecuación (3.22) proporciona el valor de las variables de estado en el instante de tiempo $k+1$ en base al valor de las variables de estado y la entrada aplicada en el instante k . Sin embargo, el controlador necesitará la mayor parte del intervalo de muestreo para calcular la acción de control, es decir, la entrada requerida por el sistema, a partir de los valores de referencia y las mediciones. De esta forma, es razonable asumir que la entrada del sistema en el instante k es la calculada por el controlador usando mediciones en el instante $k-1$. El modelo de tiempo discreto para (3.20) usando la ecuación (3.22) se puede escribir como sigue: [García et al, 1999]

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix}_{k+1} = \Phi \begin{bmatrix} i_d \\ i_q \end{bmatrix}_k + \Gamma \begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_{k-1} = \begin{bmatrix} \phi_1 & \phi_2 \\ -\phi_2 & \phi_1 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix}_k + \begin{bmatrix} \gamma_1 & \gamma_2 \\ -\gamma_2 & \gamma_1 \end{bmatrix} \begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_{k-1} \quad (5.1)$$

Como se muestra en (5.1) existen términos de acoplamiento entre las variables de los ejes d y q en las matrices de estado Φ y de entrada Γ . El acoplamiento en la matriz de entrada no puede ser visto en el modelo de tiempo continuo y es inherente al proceso de discretización, sin embargo, puede ser fácilmente resuelto arreglando el sistema como sigue:

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix}_{k+1} = \begin{bmatrix} \phi_1 & 0 \\ 0 & \phi_1 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix}_k + \begin{bmatrix} u_d \\ u_q \end{bmatrix}_{k-1} \quad (5.2)$$

donde

$$\begin{bmatrix} u_d \\ u_q \end{bmatrix}_k = \begin{bmatrix} 0 & \phi_2 \\ -\phi_2 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix}_{k+1} + \Gamma \begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_k \quad (5.3)$$

La ecuación (5.2) muestra que i_d e i_q responden a u_d y u_q , respectivamente, a través de una función de transferencia sencilla de primer orden y sin acoplamiento. Por lo cual, el control desacoplado de i_d e i_q es muy sencillo usando u_d y u_q como entradas de control con leyes de control independientes. Los voltajes de salida del inversor e_d y e_q deben ser calculados de los valores requeridos de u_d y u_q usando:

$$\begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_k = -\Gamma^{-1}\Phi^* \begin{bmatrix} i_d \\ i_q \end{bmatrix}_{k+1} + \Gamma^{-1} \begin{bmatrix} u_d \\ u_q \end{bmatrix}_k \quad (5.4)$$

$$\text{donde } \Phi^* = \begin{bmatrix} 0 & \phi_2 \\ -\phi_2 & 0 \end{bmatrix}$$

El modelo de tiempo discreto en (5.2) puede ser dividido en dos modelos desacoplados (componentes d y q).

El modelo de potencia real es

$$i_d(k+1) = \phi_1 i_d(k) + u_d(k-1) \quad (5.5)$$

Introduciendo una nueva variable para darle la forma estándar al modelo

$$i_{Dd}(k) = u_d(k-1) \quad (5.6)$$

Introduciendo además una acción de control integral para asegurar un error de estado estable nulo. La ley de control integral en tiempo discreto para la potencia real puede ser escrita como sigue:

$$i_{Id}(k+1) = i_{Id}(k) + i_{dr}(k) - i_d(k) \quad (5.7)$$

Donde i_{dr} es el valor de referencia e i_{Id} es una nueva variable de estado.

Así, el sistema aumentado para la potencia real es:

$$\begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \end{bmatrix}_{k+1} = \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \end{bmatrix}_k + \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} u_d(k) + \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} i_{dr}(k) \quad (5.8)$$

Siguiendo el mismo procedimiento, el sistema aumentado para la potencia reactiva es:

$$\begin{bmatrix} i_q \\ i_{Iq} \\ i_{Dq} \end{bmatrix}_{k+1} = \begin{bmatrix} \phi_1 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_q \\ i_{Iq} \\ i_{Dq} \end{bmatrix}_k + \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} u_q(k) + \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} i_{qr}(k) \quad (5.9)$$

Planteando el diseño de los controladores desacoplados basados en retroalimentación de las variables de estado se tendrá:

$$u_d(k) = -[k_{pd} \ k_{Id} \ k_{Dd}] \begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \end{bmatrix}_k \quad (5.10)$$

$$u_q(k) = -[k_{pq} \ k_{Iq} \ k_{Dq}] \begin{bmatrix} i_q \\ i_{Iq} \\ i_{Dq} \end{bmatrix}_k \quad (5.11)$$

Sustituyendo (5.10) y (5.11) en (5.4)

$$\begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_k = -\Gamma^{-1} \begin{bmatrix} 0 & \phi_2 \\ -\phi_2 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix}_{k+1} + \Gamma^{-1} \begin{bmatrix} u_d \\ u_q \end{bmatrix}_k \quad (5.12)$$

En (5.12) se puede observar que un desacoplamiento perfecto es posible solamente si $i_d(k+1)$ e $i_q(k+1)$ se conocen. Obviamente, estas variables no están disponibles en el instante k donde la acción de control debe ser calculada. El enfoque más sencillo para resolver este problema es aproximar $i_d(k+1)$ e $i_q(k+1)$ utilizando las últimas mediciones $i_d(k)$ e $i_q(k)$, lo cual es confiable si el periodo de muestreo es pequeño. Así (5.12) se puede escribir como:

$$\begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_k = -\Gamma^{-1} \begin{bmatrix} \phi_2 i_q \\ -\phi_2 i_d \end{bmatrix}_k - \Gamma^{-1} \begin{bmatrix} k_{pd} i_d(k) + k_{Id} i_{Id}(k) + k_{Dd} i_{Dd}(k) \\ k_{pq} i_q(k) + k_{Iq} i_{Iq}(k) + k_{Dq} i_{Dq}(k) \end{bmatrix} \quad (5.13)$$

Así, el sistema de control para la potencia reactiva y potencia real se reduce a la siguiente ley de control de retroalimentación de estado proporcional:

$$\begin{bmatrix} e_d - v_d \\ e_q \end{bmatrix}_k = -K \begin{bmatrix} i_d(k) \\ i_{Id}(k) \\ i_{Dd}(k) \\ i_q(k) \\ i_{Iq}(k) \\ i_{Dq}(k) \end{bmatrix} \quad (5.14)$$

donde K es:

$$K = \Gamma^{-1} \begin{bmatrix} k_{Pd} & k_{Id} & k_{Dd} & \phi_2 & 0 & 0 \\ -\phi_2 & 0 & 0 & k_{Pq} & k_{Iq} & k_{Dq} \end{bmatrix} \quad (5.15)$$

5.3.1 Determinación de las Ganancias de los Controladores de Potencia

Para la determinación de las ganancias se utiliza el método de colocación de polos. Se puede observar que ambos controladores, de potencia real y de potencia reactiva, tienen la misma estructura. Así, podemos considerar cualquiera de ellos. Recordando del Capítulo 3 que:

$$\phi_1 = e^{-\frac{R}{L}T} \cos(\omega T) \quad (5.16)$$

Evaluando (5.16) con los parámetros del prototipo del STATCOM diseñado: $R=0.515\Omega$, $L=3.081\text{mH}$ $T=308.64\mu\text{s}$ y $\omega=377$ rad/s y sustituyendo en (5.8)

$$\begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \end{bmatrix}_{k+1} = \Phi_a \begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \end{bmatrix}_k + \Gamma_a u_d(k) + \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} i_{dr}(k) \quad (5.17a)$$

Donde:

$$\Phi_a = \begin{bmatrix} 0.9433 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}, \quad \Gamma_a = \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} \quad (5.17b)$$

La matriz de controlabilidad es

$$W_c = [\Gamma_a \quad \Phi_a \Gamma_a \quad \Phi_a^2 \Gamma_a] = \begin{bmatrix} 0 & 1 & 0.9433 \\ 0 & 0 & -1 \\ 1 & 0 & 0 \end{bmatrix} \quad (5.18)$$

y la inversa de esta matriz es

$$W_c^{-1} = \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0.9433 & 0 \\ 0 & -1 & 0 \end{bmatrix} \quad (5.19)$$

Utilizando la formula de Ackermann para calcular el vector de ganancias de retroalimentación L : [Astrom y Wittenmark, 1997]

$$L = [0 \ 0 \dots \ 1]W_c^{-1}A(\Phi_a) = [0 \ 0 \ 1] \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0.9433 & 0 \\ 0 & -1 & 0 \end{bmatrix} A(\Phi_a) \quad (5.20)$$

donde $L = [k_{pd} \ k_{Id} \ k_{Dd}]$ para el controlador de potencia real y $L = [k_{pd} \ k_{Id} \ k_{Dd}]$ para el controlador de potencia reactiva.

$A(\Phi_a)$ es el polinomio matricial con coeficientes que corresponden al polinomio característico deseado del sistema de lazo cerrado y está dado por:

$$A(\Phi_a) = \Phi_a^3 + A_1\Phi_a^2 + A_2\Phi_a + A_3 \quad (5.21)$$

Así, sustituyendo (5.17) en (5.21)

$$A(\Phi_a) = \begin{bmatrix} 0.8394 + 0.8898A_1 + 0.9433A_2 + A_3 & 0 & 0.8898 + 0.9433A_1 + A_2 \\ -2.8331 - 1.9433A_1 - A_2 & 1 + A_1 + A_2 + A_3 & -1.9433 - A_1 \\ 0 & 0 & A_3 \end{bmatrix} \quad (5.22)$$

Sustituyendo en la fórmula de Ackermann

$$L = [2.8331 + 1.9433A_1 + A_2 \quad -1 - A_1 - A_2 - A_3 \quad 1.9433 + A_1] \quad (5.23)$$

A_1 A_2 y A_3 son los coeficientes del polinomio discreto deseado para el sistema de lazo cerrado.

Los polos de lazo cerrado se proponen inicialmente en el dominio continuo. Estos polos deben cumplir con los requerimientos deseados. Para este controlador se proponen tres polos: un polo real y dos polos complejos dominantes.

La Figura 5.2 muestra la configuración de los polos complejos en el dominio continuo. Esta figura ilustra cómo se relacionan el factor de amortiguamiento ζ y la frecuencia natural no amortiguada ω_n para obtener la parte real e imaginaria de los polos complejos. Estos parámetros definen las propiedades de la respuesta del sistema de lazo cerrado.

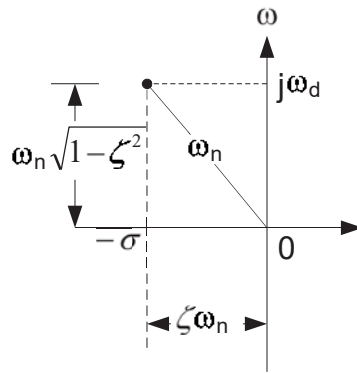


Figura 5.2 Diagrama ilustrativo de los polos complejos en el dominio continuo. [Ogata, 1998]

Los polos complejos deseados son dominantes y se plantean para satisfacer las siguientes características:

El tiempo de establecimiento de la respuesta debe ser menor al tiempo de un ciclo de la señal del sistema (16.6 ms). Para este caso se propone un tiempo de establecimiento de

$$t_s = 12.5 \text{ ms}$$

El máximo sobreimpulso de la respuesta es un parámetro muy importante el cual se recomienda que no exceda el 5% para tener una buena respuesta. La ecuación (5.24) muestra la relación entre el máximo sobreimpulso y el factor de amortiguamiento [Ogata, 1998].

$$M_p = e^{-\left(\frac{\zeta}{\sqrt{1-\zeta^2}}\right)\pi} \quad (5.24)$$

Para este caso se propone el máximo sobreimpulso M_p de 1.5%. Sustituyendo en la ecuación (5.23) se obtiene un amortiguamiento de:

$$\zeta = 0.8$$

Con los valores de amortiguamiento y del tiempo de establecimiento propuesto, considerando una tolerancia dentro del 5% del valor final, se calcula la frecuencia natural no amortiguada [Ogata, 1988]

$$\omega_n = \frac{3}{t_s \zeta} = 300 \quad (5.25)$$

Con estos parámetros es posible calcular el par de polos complejos dominantes, los cuales están dados por:

$$S_1 = -\zeta\omega_n + j\omega_n\sqrt{1-\zeta^2}, \quad S_2 = -\zeta\omega_n - j\omega_n\sqrt{1-\zeta^2} \quad (5.26)$$

Así, se obtiene:

$$S_1 = -240 + j180, \quad S_2 = -240 - j180$$

El polo real se escoge 10 veces alejado de los polos complejos. Así, los tres polos de lazo cerrado propuestos son:

$$S_1 = -240 + j180, \quad S_2 = -240 - j180, \quad S_3 = -2400$$

Para mapear estos polos al dominio discreto se utiliza la siguiente relación

$$P_i = e^{S_i T} \quad (5.27)$$

Donde T es el periodo de muestreo que para este diseño tiene un valor de 308.64 μ s. P_i son los polos en el dominio discreto y S_i son los polos en el dominio continuo. Así los polos discretos son:

$$P_1 = 0.9272 + 0.0516i, \quad P_2 = 0.9272 - 0.0516i, \quad P_3 = 0.4768$$

Con lo cual, el polinomio característico de lazo cerrado discretizado es:

$$A(z) = (z - P_1)(z - P_2)(z - P_3)$$

$$A(z) = z^3 - 2.331z^2 + 1.746z - 0.4111 \quad (5.28)$$

Comparando (5.28) con (5.21) se obtiene.

$$A_1 = -2.331, \quad A_2 = 1.746 \quad \text{y} \quad A_3 = -0.4111$$

Y finalmente sustituyendo los coeficientes en (5.23)

$$L = [0.0493 \quad -0.0039 \quad -0.3878]$$

5.4 Diseño del Controlador de Voltaje del Capacitor

Para controlar el voltaje del capacitor se diseñó un controlador PI. El diseño de este controlador se realizó en el dominio de la frecuencia. A continuación se muestra el procedimiento.

Como se puede ver en la Figura 5.1, el lazo de control externo es del controlador de voltaje, el cual ve al controlador de potencia real como parte de la planta. La Figura 5.3 muestra el diagrama de bloques del sistema de lazo cerrado aislado para el control de voltaje del capacitor.

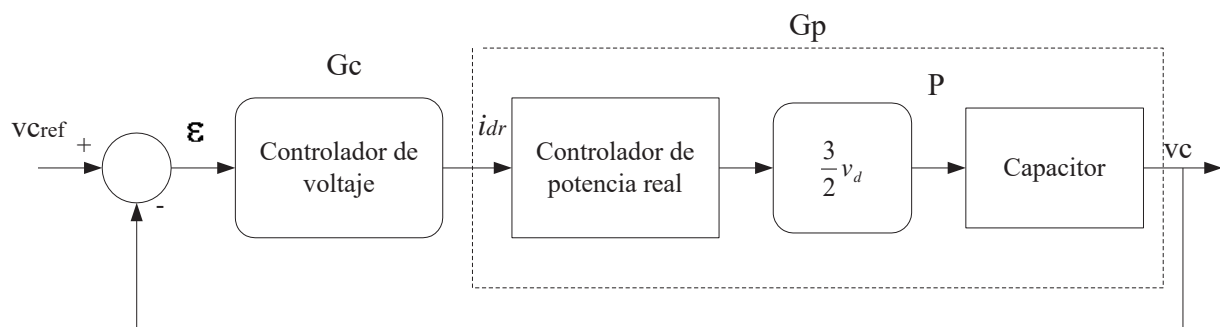


Figura 5.3 Diagrama a bloques del sistema de control de voltaje del capacitor

Las ecuaciones de estado del controlador de potencia real ya fueron obtenidas y están dadas en (5.8). Enseguida se planteará un modelo para el sistema compuesto por el controlador de potencia real y el capacitor, mostrado en el recuadro con línea punteada en la Figura 5.5. Este sistema constituye la planta para este sistema de control. El modelo compuesto se planteará primeramente en la forma de ecuaciones de estado y posteriormente se transformará a la forma de función de transferencia.

Para el diseño del controlador de voltaje nos interesa el modelo del controlador de potencia real, el cual lo define la ecuación (5.8), éste será ahora parte de la planta. Considerando esto se calcula la nueva matriz de transición de estado usando la ecuación (5.29)

$$\Phi_n = \Phi_a - \Gamma_a L \quad (5.29)$$

$$\text{donde } \Phi_a = \begin{bmatrix} 0.9433 & 0 & 1 \\ -1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}, \quad \Gamma_a = \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix}, \quad L = [0.0492 \quad -0.0039 \quad -0.3878]$$

sustituyendo Φ_a , Γ_a y L en (5.29)

$$\Phi_n = \begin{bmatrix} 0.9433 & 0 & 1 \\ -1 & 1 & 0 \\ -0.0492 & 0.0039 & 0.3878 \end{bmatrix}$$

Ahora es necesario añadir a este sistema la ecuación de voltaje del capacitor. Esta ecuación se planteó en el Capítulo 3 y por claridad se repite enseguida

$$\frac{d}{dt}(v_c^2) = -\frac{2}{C}p_e \quad (5.30)$$

donde $p_e = (3/2)(e_d i_d + e_q i_q)$, es la potencia entregada por el inversor. Esta potencia se distribuye como sigue:

$$p_e = p + p_F \quad (5.31)$$

donde $p = \frac{3}{2}v_d i_d$ es la potencia absorbida por el bus del sistema y $p_F = p_R + p_L$ es la potencia consumida en el filtro. En la Figura 5.4 se ilustra esta relación

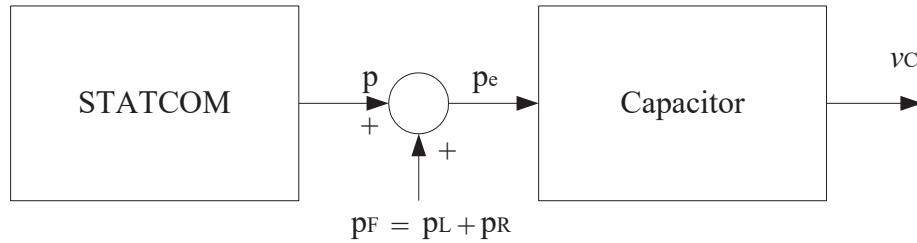


Figura 5.4 Diagrama a bloques que muestra la distribución de potencias en el sistema.

Para modelar la ecuación del voltaje en el capacitor despreciaremos las pérdidas en el filtro. El sistema de control manejará estas pérdidas como perturbaciones. Así, podemos escribir $p_e \approx p$, esto es

$$p_e \approx \frac{3}{2}v_d i_d \quad (5.32)$$

Sustituyendo (5.32) en (5.30)

$$\frac{d(v_c)^2}{dt} = -\frac{3}{C} v_d i_d \quad (5.33)$$

Se puede observar que para obtener una ecuación diferencial lineal se debe seleccionar v_c^2 como la variable de estado. Si discretizamos esta ecuación utilizando la aproximación de Euler para la derivada tenemos.

$$\frac{v_c^2(k+1) - v_c^2(k)}{T} = -\frac{3}{C} v_d i_d(k) \quad (5.34a)$$

$$v_c^2(k+1) = v_c^2(k) - \frac{3T}{C} v_d i_d(k) \quad (5.34b)$$

Dado que el voltaje v_d del bus varía relativamente lento, en la ecuación (5.34) se considerará su valor nominal. Evaluando esta ecuación con los parámetros utilizados en el prototipo del STATCOM:

$$T = 308.64 \mu s, v_d = \sqrt{2} * (120)V \text{ y } C = 4900 \mu F$$

obtenemos

$$v_c^2(k+1) = v_c^2(k) - (32.0681) i_d(k) \quad (5.35)$$

Así, la ecuación de estado aumentada, incluyendo esta ecuación de voltaje, es

$$\begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_{k+1} = \overbrace{\begin{bmatrix} \phi_1 & 0 & 1 & 0 \\ -1 & 1 & 0 & 0 \\ -0.0492 & 0.0039 & 0.3878 & 0 \\ -\frac{3Tv_d}{C} & 0 & 0 & 1 \end{bmatrix}}^{\Phi_{na}} \begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_k + \overbrace{\begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix}}^{\Gamma_{na}} i_{dr}(k) \quad (5.36)$$

$$\text{Donde } \phi_1 = 0.9433, T = 308.64 \mu s, v_d = \sqrt{2} * 120$$

Sustituyendo valores en la ecuación (5.36), se tiene:

$$\begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_{k+1} = \begin{bmatrix} 0.9433 & 0 & 1 & 0 \\ -1 & 1 & 0 & 0 \\ -0.0492 & 0.0039 & 0.3878 & 0 \\ -32.0681 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \\ v_c^2 \end{bmatrix}_k + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} i_{dr}(k) \quad (5.37)$$

La ecuación de la salida está dada por:

$$v_c^2(k) = \overbrace{[0 \ 0 \ 0 \ 1]}^{C_{na}} \begin{bmatrix} i_d \\ i_{Id} \\ i_{Dd} \\ v_c^c \end{bmatrix}_k \quad (5.38)$$

Como el controlador PI se diseñará en la frecuencia continua, es necesario transformar el sistema discreto en la forma de variables de estado a la forma de función de transferencia, para después pasar esta función de transferencia al dominio continuo.

La función de transferencia del sistema discreto se obtiene usando

$$G_p(z) = C_{na}(zI - \Phi_{na})^{-1}\Gamma_{na} \quad (5.39)$$

donde

$$C_{na} = [0 \ 0 \ 0 \ 1], \quad \Phi_{na} = \begin{bmatrix} 0.9433 & 0 & 1 & 0 \\ -1 & 1 & 0 & 0 \\ -0.0492 & 0.0039 & 0.3878 & 0 \\ -32.0681 & 0 & 0 & 1 \end{bmatrix}, \quad \Gamma_{na} = \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \quad (5.40)$$

Sustituyendo (5.40) en (5.39) y pasando a función de transferencia en el dominio discreto se obtiene (5.41)

$$G_p(z) = \frac{-0.1251}{z^4 - 3.3311z^3 + 4.0772z^2 - 2.157z + 0.4111} \quad (5.41)$$

Transformando la ecuación (5.41) al dominio continuo se obtiene la ecuación (5.42)

$$G_p(s) = \frac{200.6s^3 - 2.063 \times 10^6 s^2 + 1.02 \times 10^{10} s - 2.101 \times 10^{13}}{s^4 + 2880s^3 + 1.244 \times 10^6 s^2 + 2.022 \times 10^8 s + 0.244} \quad (5.42)$$

El diagrama a bloques del sistema de control de lazo cerrado del voltaje del capacitor con este modelo se muestra en la Figura 5.5

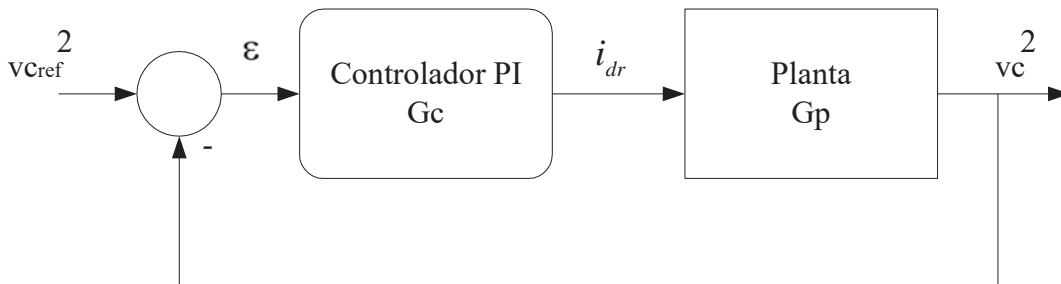


Figura 5.5 Diagrama a bloques del sistema de control de lazo cerrado

Enseguida se presenta el diseño del controlador G_c . Este diseño se realizó en el dominio de la frecuencia continua y posteriormente se discretizó para su implementación en el DSC.

Para lograr un máximo sobreimpulso del 1.5%, de la fórmula de máximo sobreimpulso presentada en (5.24) se obtiene un factor de amortiguamiento de 0.8.

Para calcular el margen de fase que corresponde a este factor de amortiguamiento se utiliza (5.43) donde γ es el margen de fase [Ogata, 1998],[S. Duran, 1998]

$$\gamma = \text{atan}\left(\frac{2\zeta}{\sqrt{1+4\zeta^4-2\zeta^2}}\right) \quad (5.43)$$

Para un factor de amortiguamiento de 0.8, se obtiene un margen de fase de 69.86 grados.

El valor del tiempo de establecimiento t_s del sistema de control del voltaje del capacitor debe ser mayor al del controlador de potencia, el cual es de 12.5 ms. Se propone un tiempo de establecimiento de 43.1 ms.

La frecuencia de cruce de ganancia está dada por (5.44) [Ogata, 1998],[S. Duran, 1998]

$$\omega_1 = \frac{6}{t_s \tan \gamma} = \frac{6}{43.1 \text{ms} \cdot \tan(69.86^\circ)} = 51 \text{ rad/s} \quad (5.44)$$

este valor es un valor aproximado debido a que (5.44) corresponde a un sistema de segundo orden y en este caso se tiene uno de cuarto orden. Así, el valor de 51 rad/s se tomó como punto de partida para encontrar la frecuencia de cruce de ganancia adecuada.

El diseño de este controlador PI se basó en el enfoque de Bode Analítico [Phillips, 1985] [Duran, 1998]. Enseguida se presenta brevemente el procedimiento y las ecuaciones básicas de este enfoque de diseño.

Se plantea un controlador de primer orden con la siguiente función de transferencia

$$G_c(s) = \frac{a_1 s + a_0}{b_1 s + b_0} \quad (5.45)$$

Se puede demostrar que, para que el sistema de lazo cerrado cumpla con un margen de fase γ y frecuencia de cruce de ganancia de ω_1 especificados, los parámetros del controlador en (5.45) están dados por

$$a_1 = \frac{b_0 - a_0 |G_p(j\omega_1)| \cos \theta}{\omega_1 |G_p(j\omega_1)| \sin \theta} \quad (5.46)$$

$$b_1 = \frac{b_0 \cos \theta - a_0 |G_p(j\omega_1)|}{\omega_1 \sin \theta} \quad (5.47)$$

donde θ es el ángulo del controlador a la frecuencia de cruce de ganancia y está dado por:

$$\theta = \angle G_c(j\omega_1) = 180^\circ + \gamma - \angle G_p(j\omega_1) \quad (5.48)$$

En las ecuaciones (5.46) y (5.47) a_0 y b_0 se asignan en base a otra condición. Por ejemplo, para el caso del controlador PI se tendrá

$$G_c(s) = k_p + \frac{k_I}{s} = \frac{k_p s + k_I}{s} = \frac{a_1 s + a_0}{b_1 s + b_0} \quad (5.49)$$

Así, para el controlador PI se asigna $b_0 = 0$ y $a_0 = 1$, con lo cual

$$k_p = \frac{a_1}{b_1} \quad \text{y} \quad k_i = \frac{a_0}{b_1} \quad (5.50)$$

El controlador PI es un controlador con retraso de fase y debe cumplir con las condiciones siguientes

$$\theta < 0, \quad |G_p(j\omega_1)| > \frac{1}{a_0}, \quad |G_p(j\omega_1)| > -180^\circ + \gamma \quad \text{y} \quad \cos \theta < a_0 |G_p(j\omega_1)|$$

Este planteamiento proporciona un controlador que satisface el margen de fase especificado; sin embargo, se debe determinar el margen de ganancia para asegurar una estabilidad adecuada.

A continuación se muestra la aplicación de este procedimiento al cálculo del controlador de voltaje del capacitor.

Utilizando $\omega_1 = 44.12 \text{ rad/s}$ se obtuvo

$$G_p(j\omega_1) = 674.53 + j2233.8$$

La cual tiene una magnitud de $|G_p(j\omega_1)| = 2333.4$

y un ángulo $\angle G_p(j\omega_1)$ de

$$\angle G_p(j\omega_1) = 73.1954^\circ$$

Se calcula el ángulo del controlador a la frecuencia de cruce de ganancia

$$\theta = 180^\circ + \gamma - \angle G_p(j\omega_1) = 176.6658^\circ$$

$$\text{Como } \theta < 0, \quad \theta = 176.6658^\circ - 360^\circ = -183.3342^\circ$$

Sustituyendo valores en las ecuaciones (5.46) y (5.47) para calcular los coeficientes de la función de transferencia del controlador PI

$$a_1 = \frac{b_0 - a_0 |G_p(j\omega_1)| \cos \theta}{\omega_1 |G_p(j\omega_1)| \sin \theta} = 0.3887$$

$$b_1 = \frac{b_0 \cos \theta - a_0 |G_p(j\omega_1)|}{\omega_1 \sin \theta} = -908.5162$$

Las ganancias del controlador se calculan usando los valores de los coeficientes.

$$k_p = \frac{a_1}{b_1} = -4.2783 \times 10^{-4}, \quad k_i = \frac{a_0}{b_1} = -0.0011$$

Así, la función de transferencia del controlador es

$$G_c(S) = \frac{i_{dr}(s)}{\varepsilon(s)} = \frac{-0.0004278s - 0.001101}{s} \quad (5.51)$$

La función de transferencia de lazo abierto $G_T = G_c * G_p$ es:

$$G_T = \frac{-0.08582s^4 + 882.4s^3 - 4.362 \times 10^6 s^2 + 8.978 \times 10^9 s + 2.313 \times 10^{10}}{s^5 + 2880s^4 + 1.244 \times 10^6 s^3 + 2.022 \times 10^8 s^2 + 0.244s}$$

La Figura 5.6 muestra el margen de fase y de ganancia de la planta con el controlador incluido, en la cual se muestra los resultados considerados en el diseño.

La función de transferencia en lazo cerrado está dada por $G_{TLC} = G_T / [1 + G_T]$

$$G_{TLC} = \frac{-0.08582s^4 + 882.4s^3 - 4.362 \times 10^6 s^2 + 8.978 \times 10^9 s + 2.313 \times 10^{10}}{s^5 + 2880s^4 + 1.245 \times 10^6 s^3 + 1.978 \times 10^8 s^2 + 8.978 \times 10^9 s + 2.313 \times 10^{10}}$$

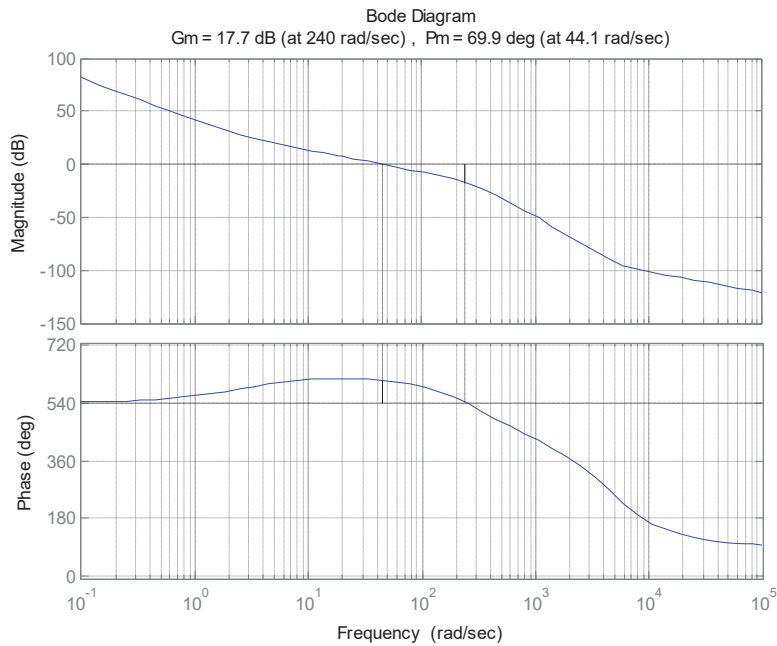


Figura 5.6 Margen de fase y de ganancia con el controlador PI incluido

La respuesta al escalón unitario se muestra en la Figura 5.7

En la Figura 5.8 se muestra un acercamiento de la respuesta escalón para ver el tiempo de establecimiento. Se puede observar que se alcanza el 5% en 43.1 ms para una frecuencia de cruce de ganancia de 44.12 rad/s.

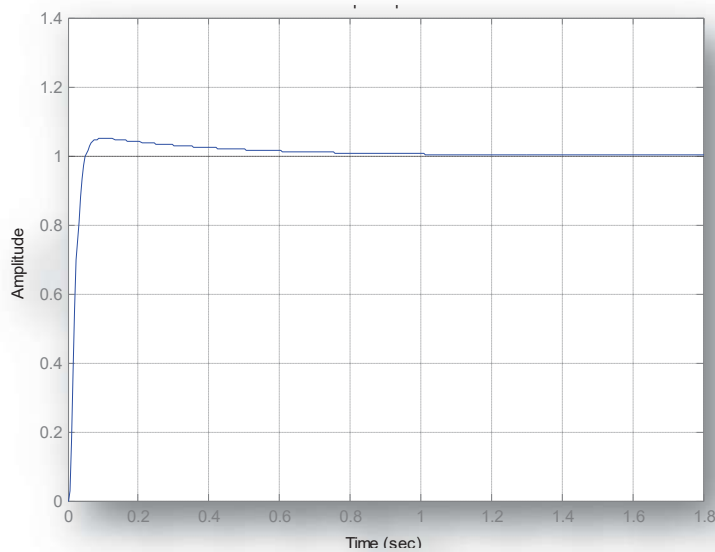


Figura 5.7 Respuesta al escalón de la planta con el controlador PI incluido.

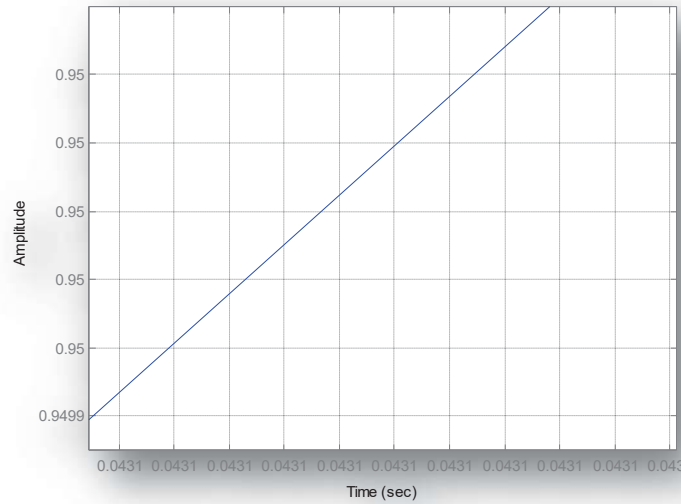


Figura 5.8 Acercamiento de la respuesta escalón unitario de la planta con el controlador PI incluido

Para la implementación del controlador PI en un DSC es necesario discretizarlo. A continuación se muestra la discretización de éste utilizando la Transformación Bilineal o de Tustin. La aproximación de Tustin se realiza sustituyendo

$$s = \frac{2z-1}{Tz+1} \quad (5.52)$$

Sustituyendo (5.52) en (5.51) se obtiene la función de transferencia del controlador discretizado

$$G_c(z) = \frac{id_r(z)}{\varepsilon_i(z)} = \frac{-0.000428z+0.0004277}{z-1} \quad (5.53)$$

Pasando al dominio del tiempo discreto

$$id_r(z)(z-1) = (-0.000428z\varepsilon_i(z) + 0.0004277\varepsilon_i(z))$$

$$id_r(z)z - id_r(z) = (-0.000428z\varepsilon_i(z) + 0.0004277\varepsilon_i(z))$$

$$id_r(k+1) = id_r(k) - 0.000428\varepsilon_i(k+1) + 0.0004277\varepsilon_i(k)$$

Introduciendo un retraso en ambos miembros, la ecuación del controlador de voltaje está dada por:

$$id_r(k) = id_r(k-1) - 0.000428\varepsilon_i(k) + 0.0004277\varepsilon_i(k-1) \quad (5.54)$$

CAPÍTULO 6

PRUEBAS Y RESULTADOS

6.1 Introducción

En este capítulo se presenta la simulación de los controladores de potencia real, de potencia reactiva y del voltaje del capacitor. También se presenta la simulación del STATCOM y las pruebas al hardware diseñado y construido en este proyecto de tesis. El objetivo de estas pruebas es corroborar que los circuitos impresos realizan correctamente las tareas para los cuales han sido diseñados. Las etapas que conforman estos circuitos impresos han sido explicadas a detalle en el capítulo 4 de esta tesis.

6.2 Simulación de los Controladores de Potencia Reactiva y Potencia Real

Para validar el diseño de los controladores de potencia reactiva y potencia real desacoplados se realizó una simulación en MATLAB. El código correspondiente se muestra en el Apéndice A1. Se proponen condiciones iniciales cero. Como se tiene un control desacoplado de las corrientes i_d e i_q es posible fijar valores de referencia distintos para cada una de ellas. Para esta simulación se utilizó un valor de referencia inicial de 1 A para i_d y un valor de referencia inicial de 10 A para i_q y, con el fin de corroborar que los controladores siguen adecuadamente a la referencia, se estableció un valor de referencia final de 2 A para la i_d y de 12 A para la i_q . La Figura 6.1 ilustra los resultados; como se puede ver, los controladores siguen la referencia con el sobreimpulso, el tiempo de establecimiento y el error de estado estable adecuados.

En la Figura 6.2 se muestran los parámetros de máximo sobreimpulso y tiempo de establecimiento de la respuesta del controlador de i_d . Estos parámetros cumplen con las especificaciones de diseño. En el caso del sobreimpulso, éste no es mayor al 1% y en el caso del tiempo de establecimiento, éste alcanza el 5% del valor final en un tiempo de 12.8 ms lo cual se acerca mucho al especificado que fue de 12.5 ms; la diferencia no es crítica, ya que se desea que el tiempo de asentamiento no supere los 16.6 ms.

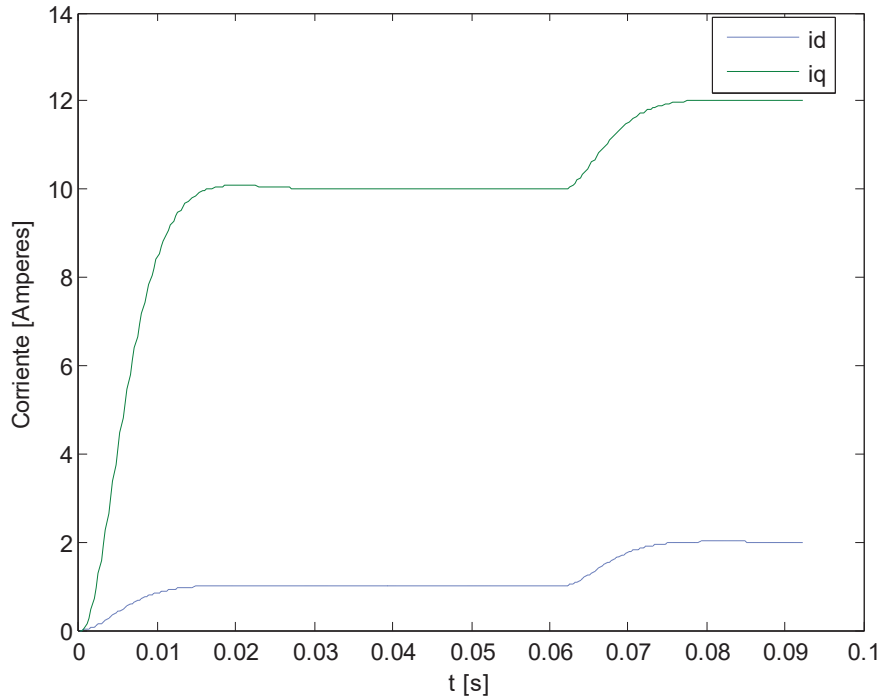


Figura 6.1 Respuesta de los controladores de las corrientes de los ejes d y q .

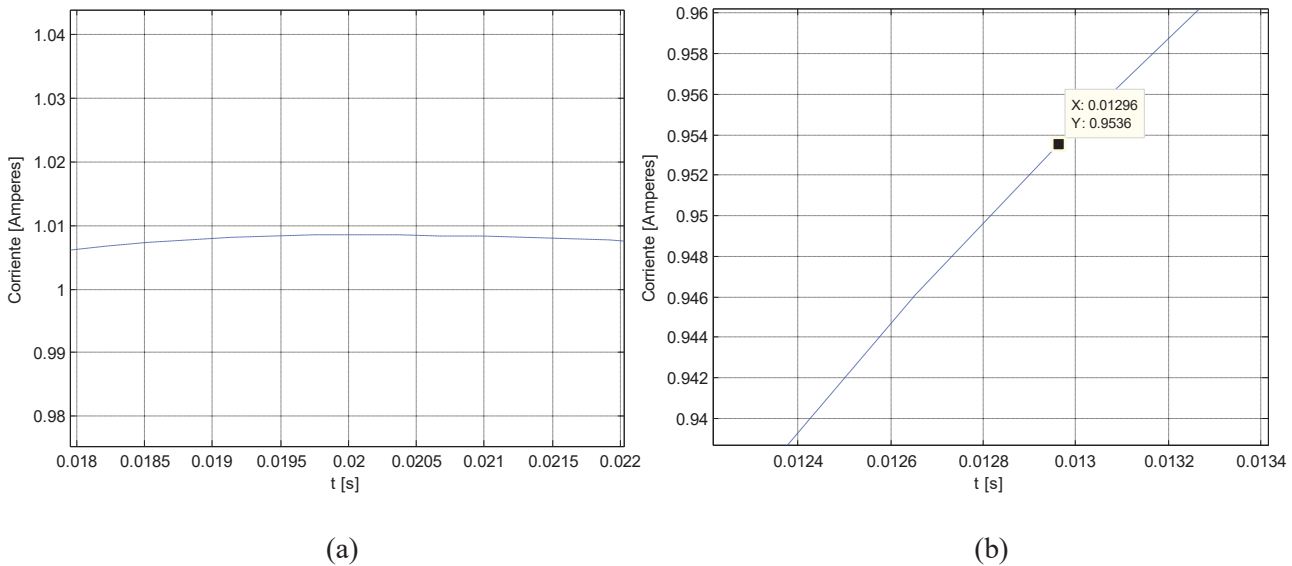


Figura 6.2 (a) Máximo sobreimpulso (b) Tiempo de asentamiento de la respuesta del controlador de i_d

6.3 Simulación del Controlador de Voltaje del Capacitor

Para validar el diseño del controlador de voltaje del capacitor se realizó una simulación en MATLAB, en la cual se proponen dos casos: el primero muestra la situación inicial del capacitor en la que el punto de partida es un voltaje cero y se desea cargarlo a un valor de 480V,

el segundo caso plantea un cambio en el voltaje del capacitor con el objetivo de observar como responde el controlador a un cambio repentino de referencia. El listado para esta simulación se muestra en el Apéndice A2. La Figura 6.3 muestra el cargado inicial del capacitor a un valor de 480 V. En la Figura 6.4 se muestra una gráfica de la corriente que se requiere para cargar el capacitor a un valor de 480 V. El margen de 5% del valor final se alcanza en 0.9926 s.

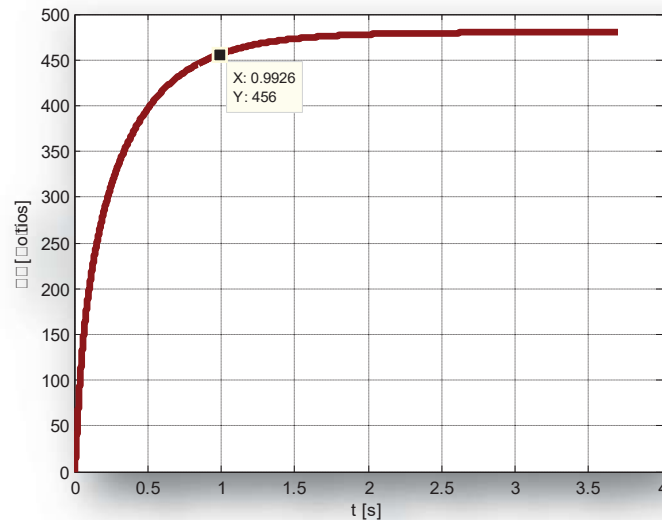


Figura 6.3 Respuesta del controlador PI del voltaje del capacitor al cargarse.

En la Figura 6.5 se muestra como se comporta el controlador ante un cambio de referencia de 480 V a 500 V. Considerando que el valor de estado estable tiene una tolerancia del 5%, este cambio lo realiza en 40 ms.

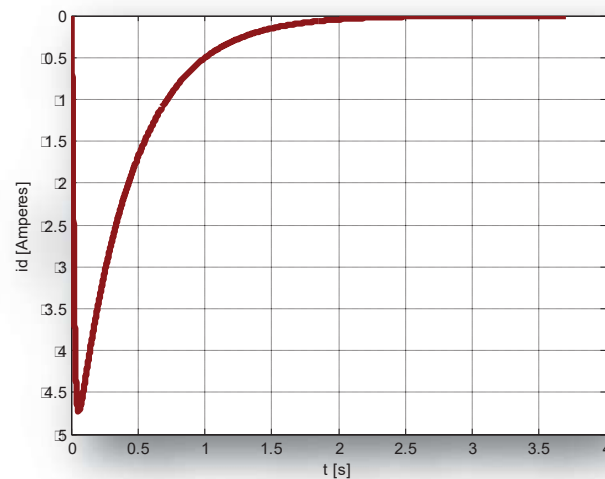


Figura 6.4 Corriente i_d necesaria para cargar el capacitor a un valor de 480 V

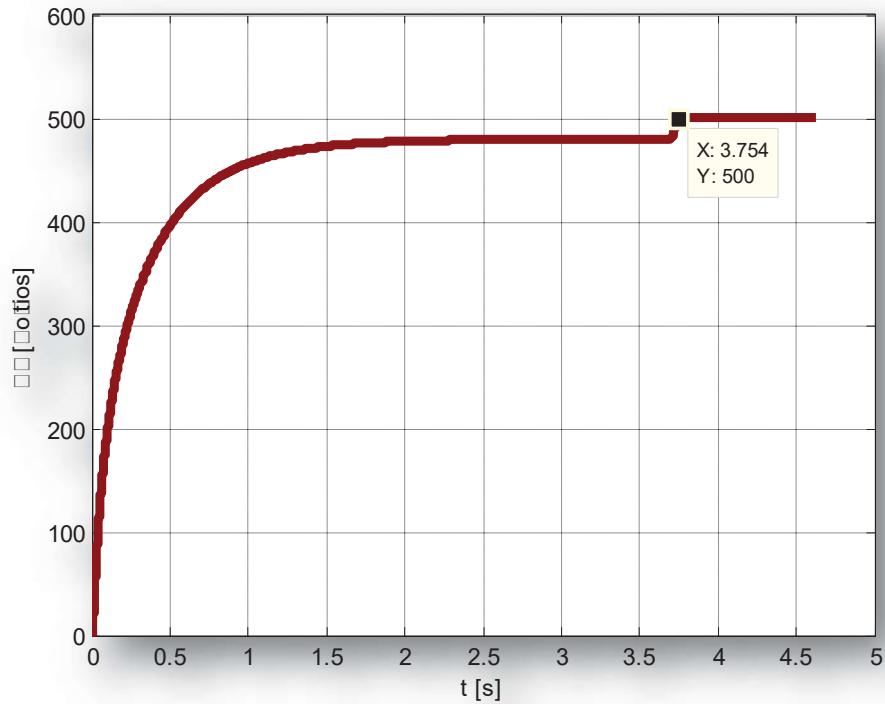


Figura 6.5 Respuesta del controlador PI a un cambio del voltaje del capacitor.

6.4 Simulación de la Operación del STATCOM

6.4.1 Caso de Estudio 1

A continuación se presenta una simulación de la operación del STATCOM. En esta simulación se considera que el capacitor se ha cargado previamente. Posteriormente se programa el controlador para que el STATCOM absorba 700 Vars del Bus. El listado de MATLAB para esta simulación se muestra en el Apéndice A3

Para calcular las potencias en el dominio de Park se utilizará la siguiente convención

*Potencia real que **absorbe** el bus del sistema*

$$P_{Bus} = \frac{3}{2} v_d i_d \quad (6.1)$$

Si P_{Bus} es positiva el bus absorbe potencia real del STATCOM, y viceversa si es negativa el sistema entrega potencia real al STATCOM.

*Potencia reactiva que **absorbe** el bus*

$$Q_{BUS} = -\frac{3}{2}v_d i_q \quad (6.2)$$

Si Q_{BUS} es positiva el bus absorbe potencia reactiva del STATCOM, y viceversa, si es negativa el sistema entrega potencia reactiva al STATCOM.

Para conocer la potencia en las terminales del convertidor se utiliza la siguiente convención.

*La potencia activa que **entrega** el convertidor*

$$P_e = \frac{3}{2}(e_d i_d + e_q i_q) \quad (6.3)$$

Si P_e es positiva el convertidor entrega potencia real al sistema, y viceversa, si es negativa el convertidor absorbe potencia real del sistema

*La potencia reactiva que **entrega** el convertidor*

$$Q_e = \frac{3}{2}(-e_d i_q + e_q i_d) \quad (6.4)$$

Si Q_e es positiva el convertidor entrega potencia reactiva al sistema, y viceversa, si es negativa el convertidor absorbe potencia reactiva del sistema.

El controlador recibe una señal comando para el intercambio de potencia reactiva, en la que la variable de control es la corriente i_q . El intercambio de la potencia real es automático ya que se desea que el controlador PI se encargue de mantener el voltaje del capacitor a un nivel determinado.

De la ecuación (6.2) se puede encontrar la corriente i_q que es la señal comando para el simulador. Como queremos que el bus del sistema **entregue** 700 vars al STATCOM, se requiere

$$-700 = -\frac{3}{2}\sqrt{2}(120)i_q \rightarrow i_q = 2.75A$$

Al proporcionar este valor de referencia de corriente $i_q = 2.75A$ el simulador entrega los siguientes resultados. En la Figura 6.6 se muestran las corrientes i_d e i_q en el convertidor. En la Figura 6.7 se muestra la señal de voltaje en el capacitor. Como se puede ver, el voltaje en el capacitor no sufre un cambio de voltaje significativo cuando el sistema entrega 700 vars al STATCOM, esto se debe a que el capacitor tiene una capacitancia elevada (4900 μF).

Como muestra la Figura 6.6, la corriente i_d es muy pequeña debido a que el capacitor ya está cargado y no tiene cambios significativos, esto indica que la potencia real intercambiada es

pequeña. También se observa que el controlador de i_q alcanza rápidamente el valor de estado estable de 2.75 A. En la Figura 6.9 se muestran las potencias del bus y en la Figura 6.10 se muestran las potencias del convertidor.

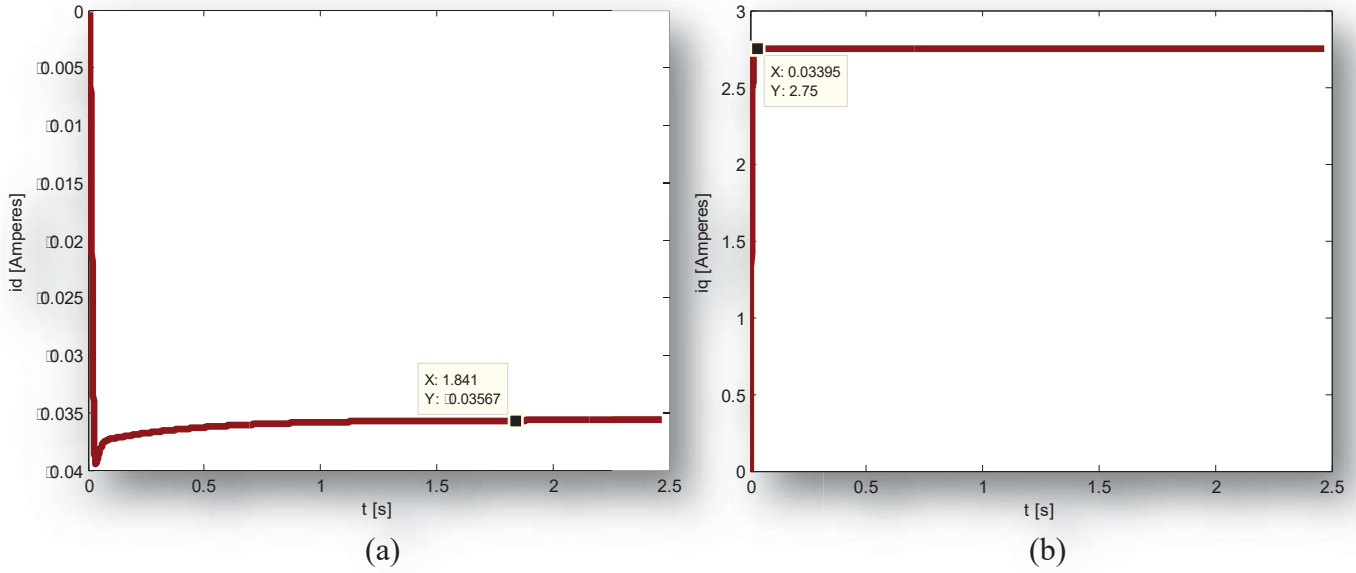


Figura 6.6 Corrientes en el convertidor. (a) Corriente en el eje d .
(b) Corriente en el eje q

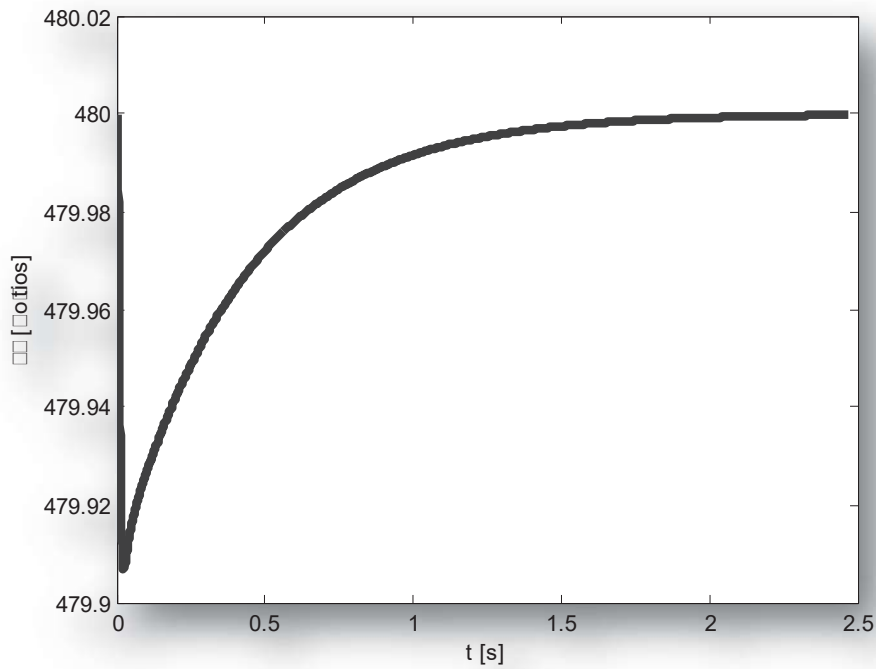


Figura 6.7 Señal de voltaje en el capacitor (Caso de estudio 1)

En la Figura 6.8 se muestra la señal de voltaje en las teminales del convertidor

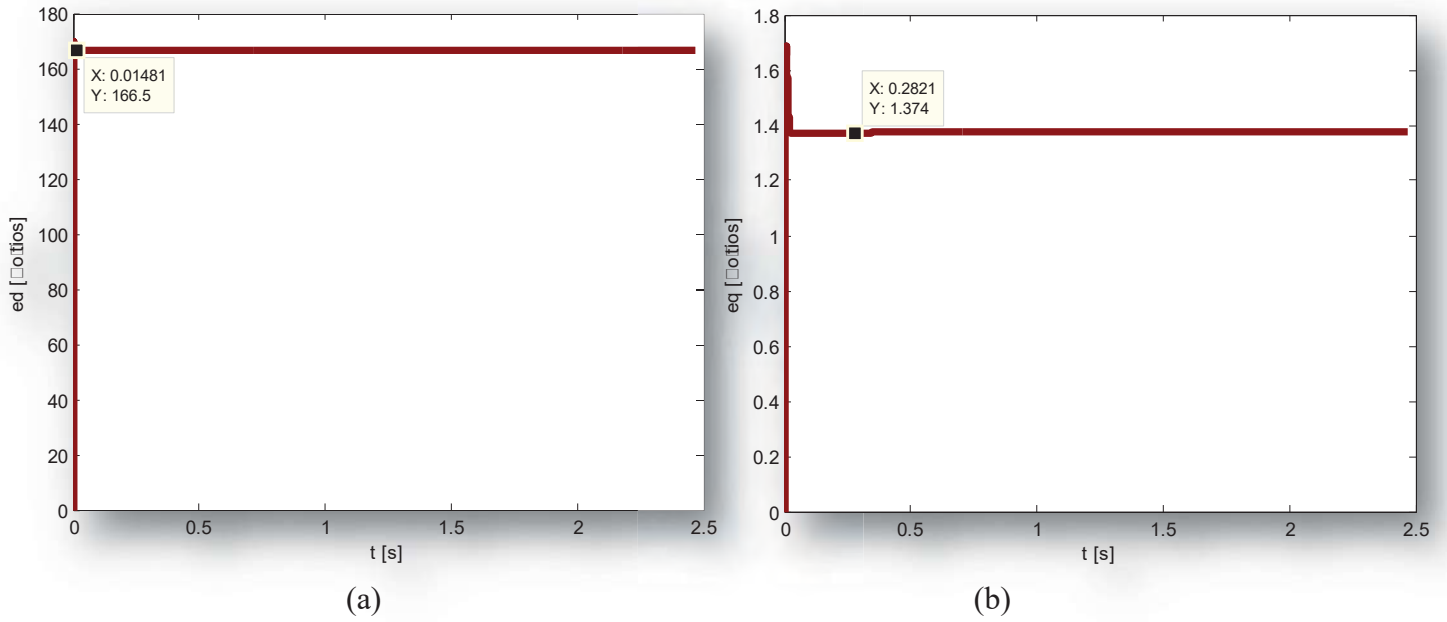


Figura 6.8 Voltaje en el convertidor (a) Voltaje en el eje d .
(b) Voltaje en el eje q

En la Figura 6.9 se muestra la potencia real y reactiva que entrega el bus.

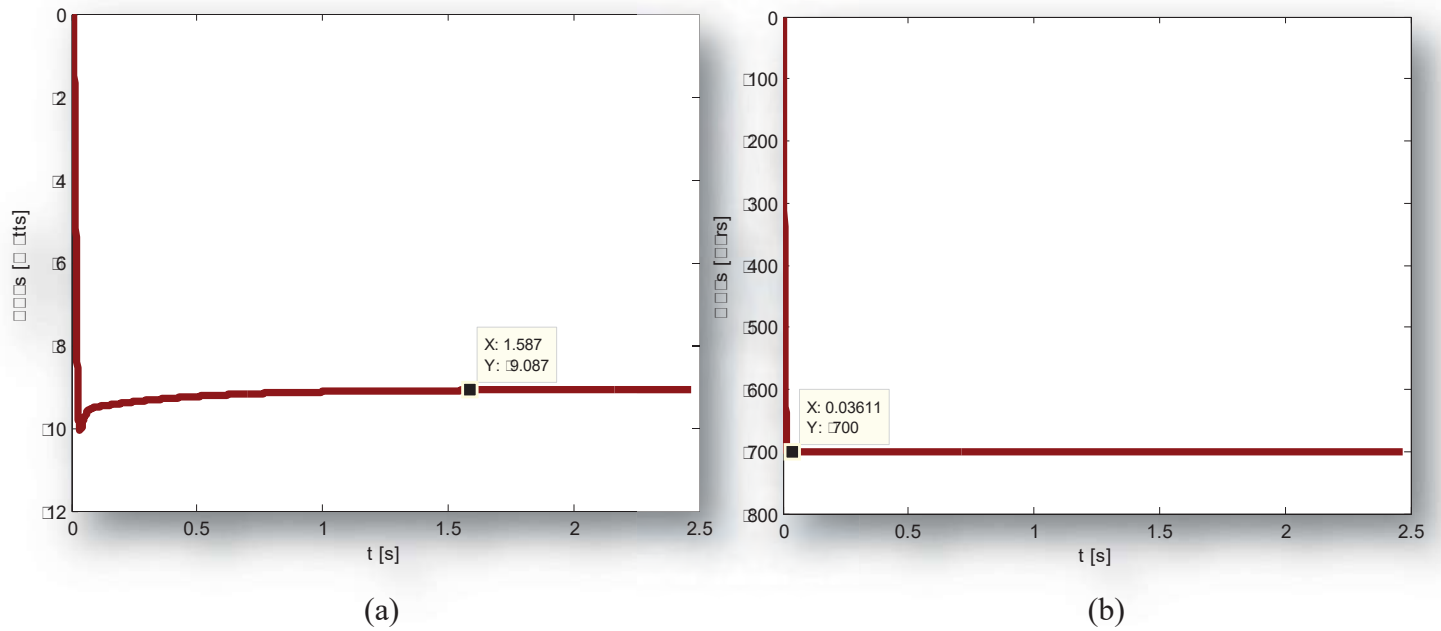


Figura 6.9 (a) Potencia real que entrega el bus. (b) Potencia reactiva que entrega el bus

En la Figura 6.10 se muestra la potencia real y reactiva que absorbe el convertidor

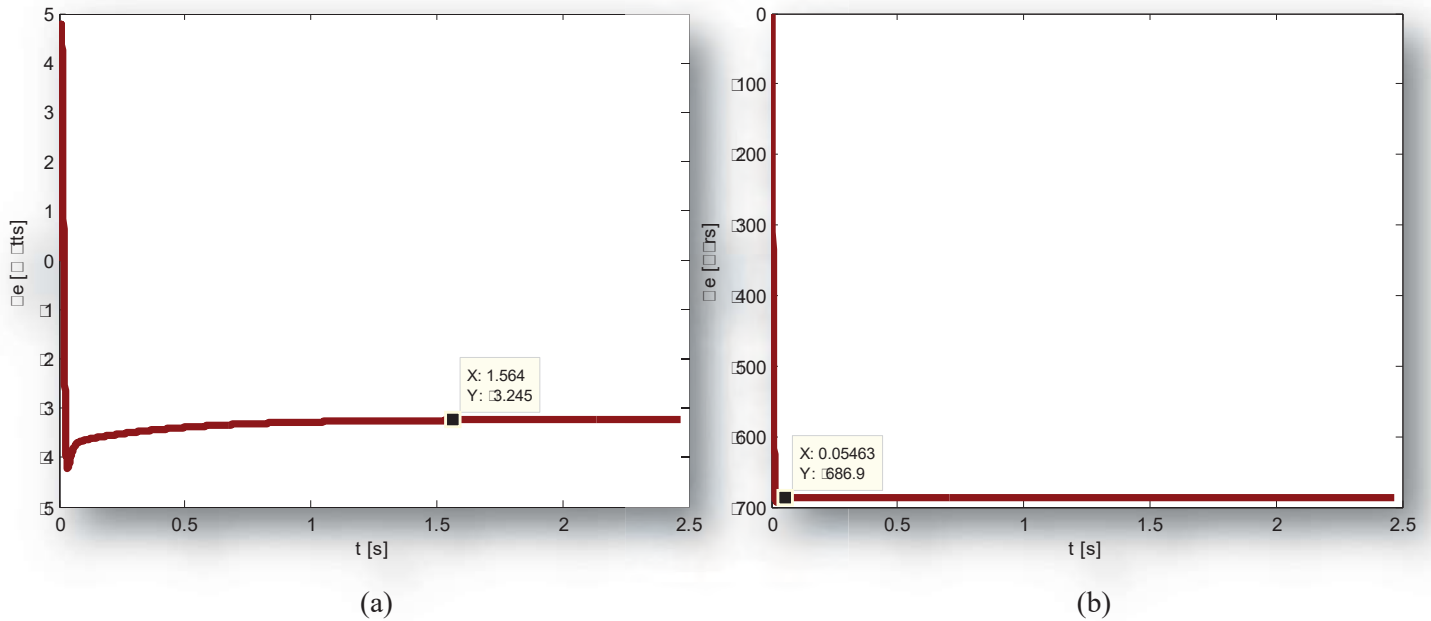


Figura 6.10 Potencia en el convertidor (a) Potencia real que absorbe el convertidor. (b) Potencia reactiva que absorbe el convertidor.

Las Figura 6.9 muestra que se alcanza rápidamente el valor de estado estable (que el bus del sistema entregue 700 Vars al STATCOM). Como se puede ver, la potencia generada por el bus no es igual a la absorbida por el convertidor. La potencia faltante se debe a las pérdidas en el transformador, el cual tiene los siguientes parámetros: $R = 0.505\Omega$, $L = 3.081\text{mH}$.

Potencia activa disipada en el transformador.

$$P_t = 3RI^2 = 3 * 0.505 * \left(\frac{2.75}{\sqrt{2}}\right)^2 = 5.7285W$$

Potencia reactiva absorbida por el transformador.

$$Q_t = 3 * \omega * L * I^2 = 3 * 1.1611 * \left(\frac{2.75}{\sqrt{2}}\right)^2 = 13.1706 \text{ Vars}$$

Haciendo un balance de potencia

$$\text{potencia real entregada} = \text{potencia real consumida}$$

$$P_{Bus} = P_e + P_t \therefore -9.079W \approx -3.226W - 5.7285W \approx -9.087$$

$$\text{potencia reactiva entregada} = \text{potencia reactiva absorbida}$$

$$Q_{Bus} = Q_e + Q_{transf.} \therefore -700 \approx -686.9\text{Vars} - 13.1706\text{Vars} \approx -700$$

6.4.2 Caso de Estudio 2

Enseguida se presenta un segundo ejemplo de simulación del STATCOM, se plantea que el STATCOM entregue 1000 Vars al bus del sistema. El listado de esta simulación se presenta en el Apéndice A4. De la ecuación (6.2) se puede encontrar la corriente i_q que es la señal comando para el simulador

Debido a que se plantea que el bus **absorba** 1000 Vars, requiere:

$$1000 = -\frac{3}{2}\sqrt{2}(120)i_q \rightarrow i_q = -3.929 \text{ A}$$

En la Figura 6.6 se muestran las corrientes i_d e i_q en el convertidor.

Similarmente al caso 1, en la Figura 6.11 se muestra i_d con un valor bajo debido a que la demanda en su mayoría es de potencia reactiva, la cual se controla con i_q , que a su vez se muestra en la Figura 6.11 (b), en la que se puede observar que el valor de estado estable de -3.929 A se alcanza rápidamente.

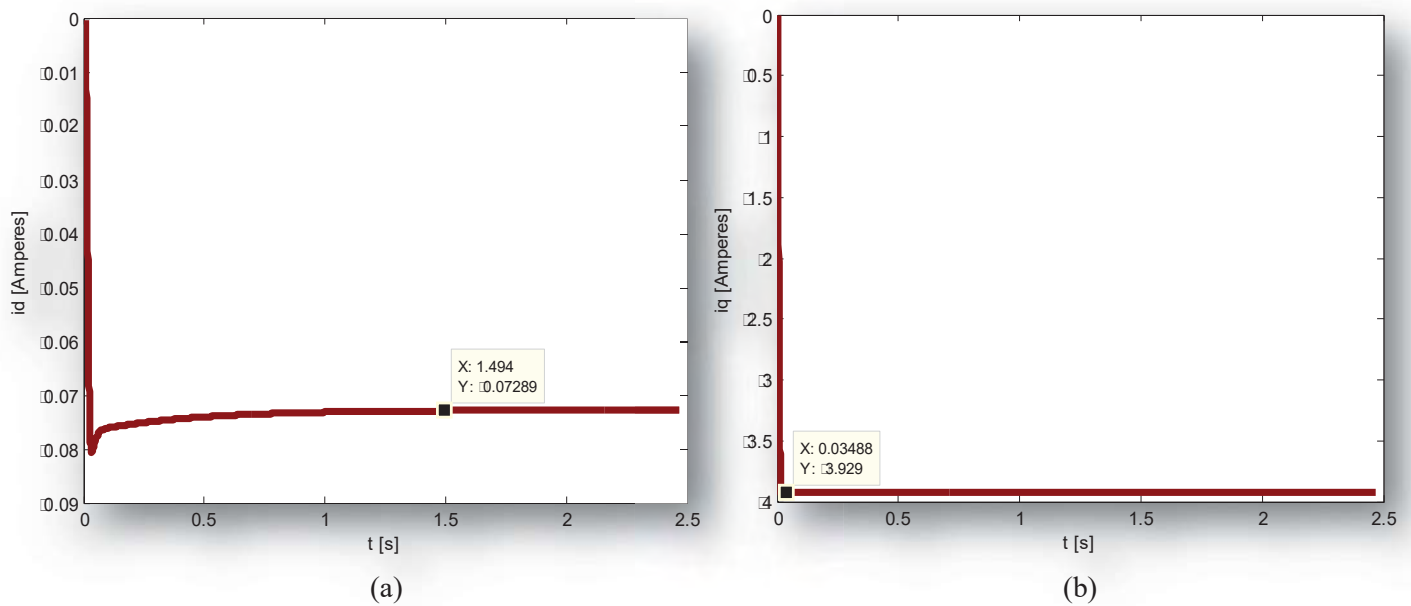


Figura 6.11 (a) Corriente en el eje d . (b) Corriente en el eje q

En la Figura 6.12 se muestra la señal de voltaje en el capacitor, la cual es similar al caso de estudio 1

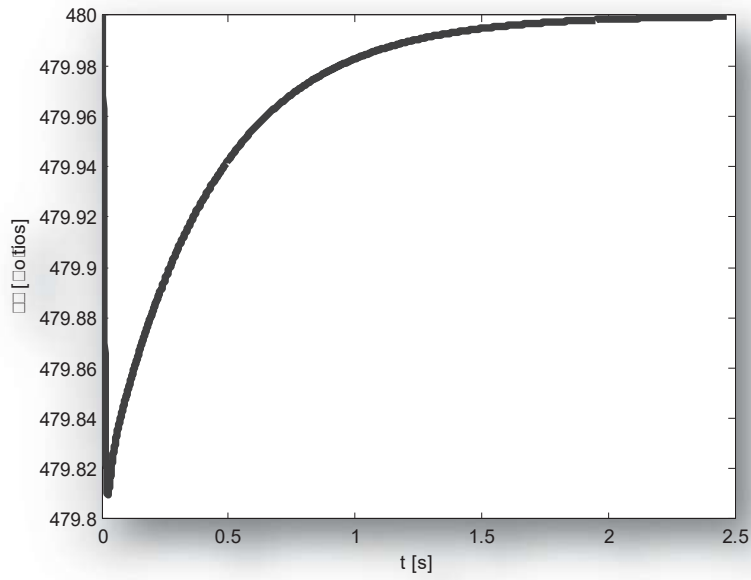


Figura 6.12 (a) Señal de voltaje en el capacitor. (Caso de estudio 2)

En la Figura 6.13 se muestra el voltaje en las terminales del convertidor

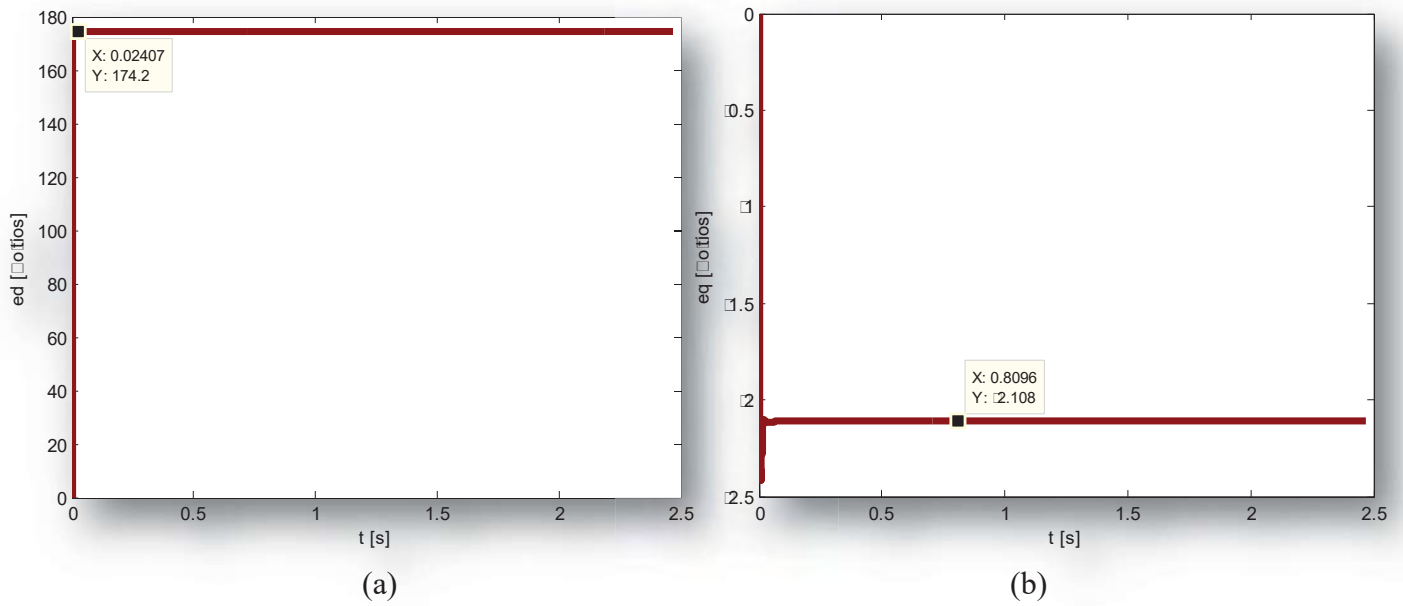
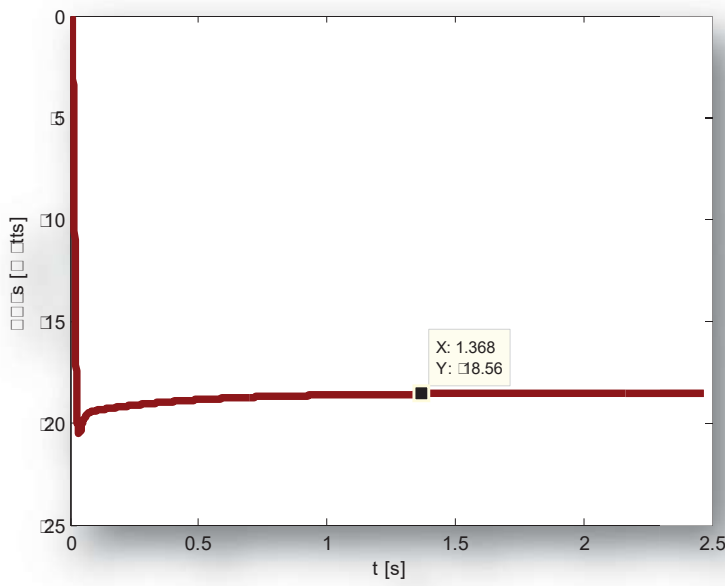
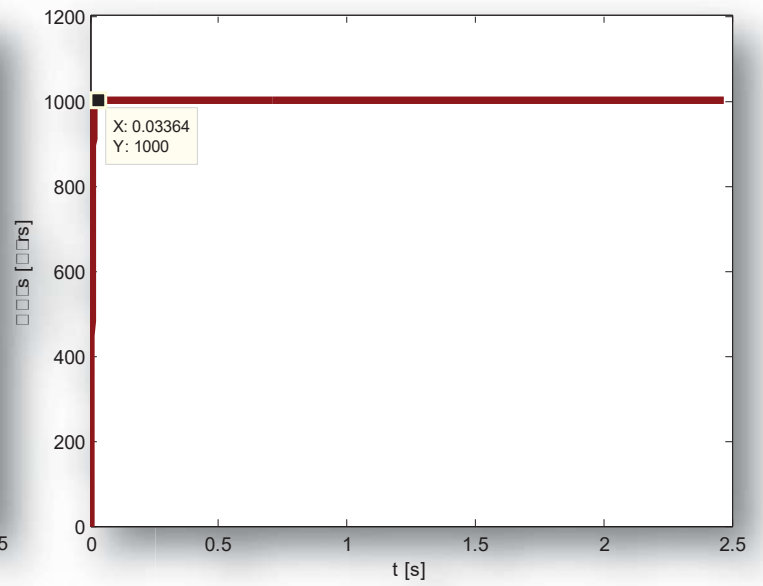


Figura 6.13 (a) Voltaje del convertidor en el eje d . (b) Voltaje del convertidor en el eje q

En la Figura 6.14 se muestra la potencia en el bus del sistema



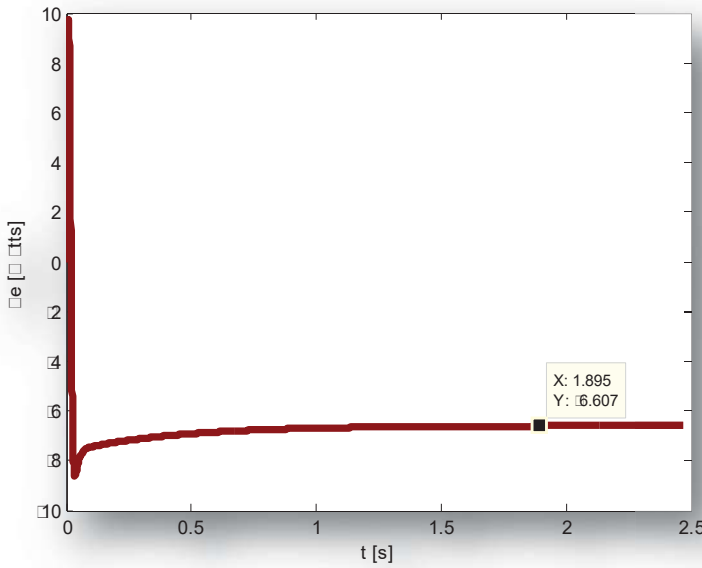
(a)



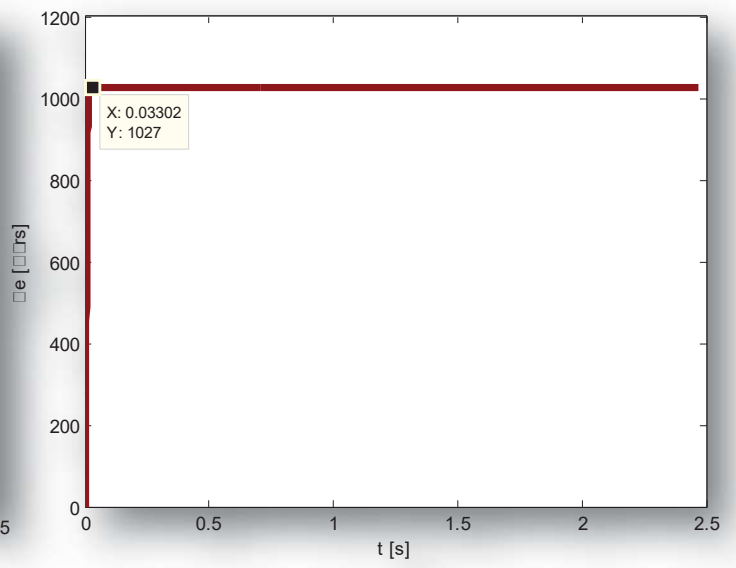
(b)

Figura 6.14 (a) Potencia real que entrega el bus. (b) Potencia reactiva que absorbe el bus

La Figura 6.15 ilustra la potencia en terminales del convertidor.



(a)



(b)

Figura 6.15 (a) Potencia activa que absorbe el convertidor. (b) Potencia reactiva que entrega el convertidor

En las Figuras 6.14 y 6.15 se observan los resultados esperados, es decir, se puede ver que el bus del sistema absorbe 1000 Vars, que es el valor de estado estable que se alcanza en un

tiempo considerablemente pequeño. Similarmente al caso de estudio 1, en el caso de estudio 2 la diferencia que se observa en la potencia real y reactiva, generada y absorbida se debe a las pérdidas en el transformador.

Potencia activa disipada en el transformador.

$$P_t = 3RI^2 = 3 * 0.505 * \left(\frac{-3.929}{\sqrt{2}}\right)^2 = 11.6935W$$

Potencia reactiva absorbida por el transformador.

$$Q_t = 3 * \omega * L * I^2 = 3 * 1.1611 * \left(\frac{-3.929}{\sqrt{2}}\right)^2 = 26.8859 \text{ Vars}$$

Haciendo un balance de potencia:

potencia real entregada por el sistema = potencia real consumida en el STATCOM + pérdidas

$$P_{Bus} = P_e + \text{pérdidas} \therefore -18.53W \approx -6.602W - 11.6935W \approx -18.56W$$

La potencia reactiva entregada por el STATCOM es igual a la potencia reactiva absorbida por el transformador + la potencia absorbida en el bus del sistema

$$Q_{Bus} = Q_e - Q_{absorbida} \therefore 1000Vars \approx 1027Vars - 26.8859Vars \approx 1000 \text{ Vars}$$

Las simulaciones de los controladores han servido para validar los diseños de éstos, en estas simulaciones se han considerado las pérdidas de potencia real así como la induccion de potencia reactiva en el transformador que interconecta el bus del sistema con el convertidor. Esta potencia de pérdidas y auto inducción que no se incluye en el modelo de variables de estado se ha considerado como una perturbación que tiene inferencia en el controlador de voltaje del capacitor, como se muestra en la diagrama a bloques de la Figura 5.6.

6.5 Pruebas del Circuito Impreso de Acondicionamiento de Señales.

A continuación se muestran las gráficas que muestran el funcionamiento que corresponde al circuito impreso que realiza el procesamiento de las señales necesarias para el control. Este circuito fue dividido en dos etapas, la primera corresponde a la tarjeta en la que se colocan los transductores y la segunda, que se encarga del filtrado y posteriormente acondicionar los niveles

de voltaje que provienen de la etapa de transductores para finalmente introducirla al DSC. Para realizar las mediciones se utilizó un osciloscopio *Tektronics P220 200 MHz* y para medir numéricamente el defasamiento de dos señales se utilizó un Osciloscopio *Fluke 123 20 MHz*. En el apéndice A.5 se muestran las tarjetas de acondicionamiento de señales y de transductores.

6.5.1 Acondicionamiento de la Señal de Voltaje de CA

La Figura 6.16 muestra la señal proveniente del transductor (transformador reductor) en el Canal 1 y la señal a la salida de la etapa de procesamiento se muestra en el Canal 2. El valor que aparece como V_{medio} con un valor de 1.65 V corresponde al valor de desviación de CD que se suma a la señal para provocar un desplazamiento que evite introducir valores negativos al DSC.

La Figura 6.17 muestra las señales descritas en la Figura 6.16. Sin embargo en la Figura 6.17 se ha agregado la medición del valor mínimo y máximo de la señal obtenida del procesamiento las cuales se diseñaron con el objetivo de proporcionar valores de voltaje en el rango de 0 - 3.3 V

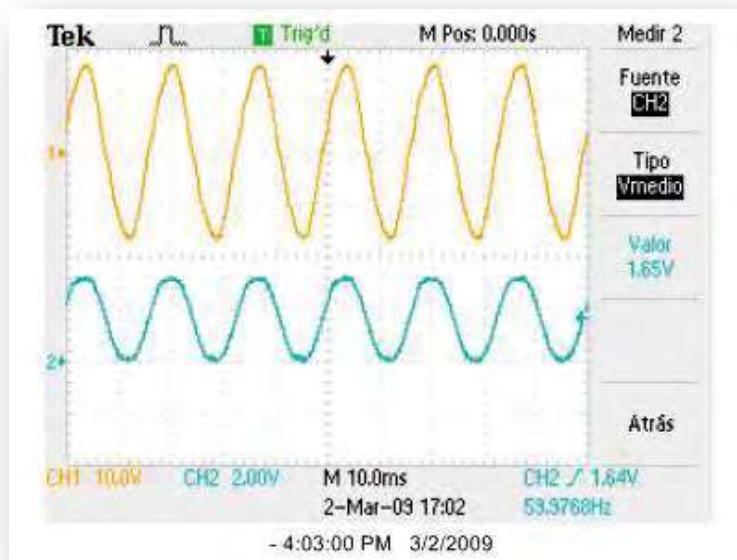


Figura 6.16 Procesamiento de la señal de voltaje (voltaje de desviación)

La Figura 6.18 (a) muestra el defasamiento entre la señal a la salida del transductor y la señal acondicionada para introducirla al DSC. La Figura 6.18 (b) muestra la medición del mismo

defasamiento en forma numérica la cual se realizó con el osciloscopio *Fluke*, en ésta se puede ver que efectivamente el defasamiento es cero. También se puede notar en las Figuras 6.16 y 6.17 que la señal de salida (Canal 2) se ve limpia de frecuencias indeseadas debido al filtro pasabanda, el cual, además de limpiar la señal permite hacer un ajuste fino de fase entre la señal de entrada al filtro y la señal de salida.

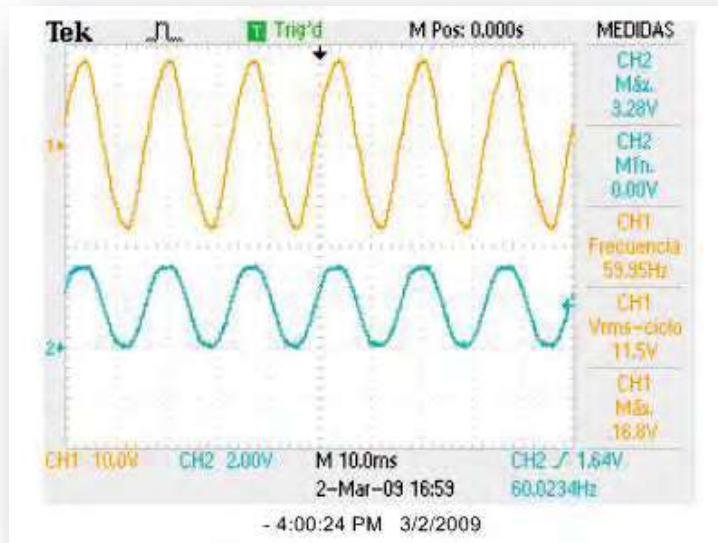
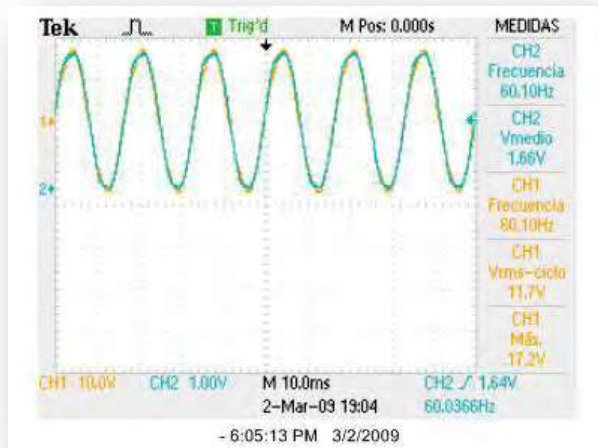
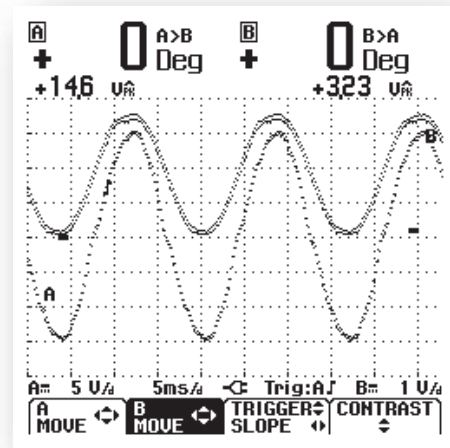


Figura 6.17 Procesamiento de la señal de voltaje (V_{min} - V_{max})



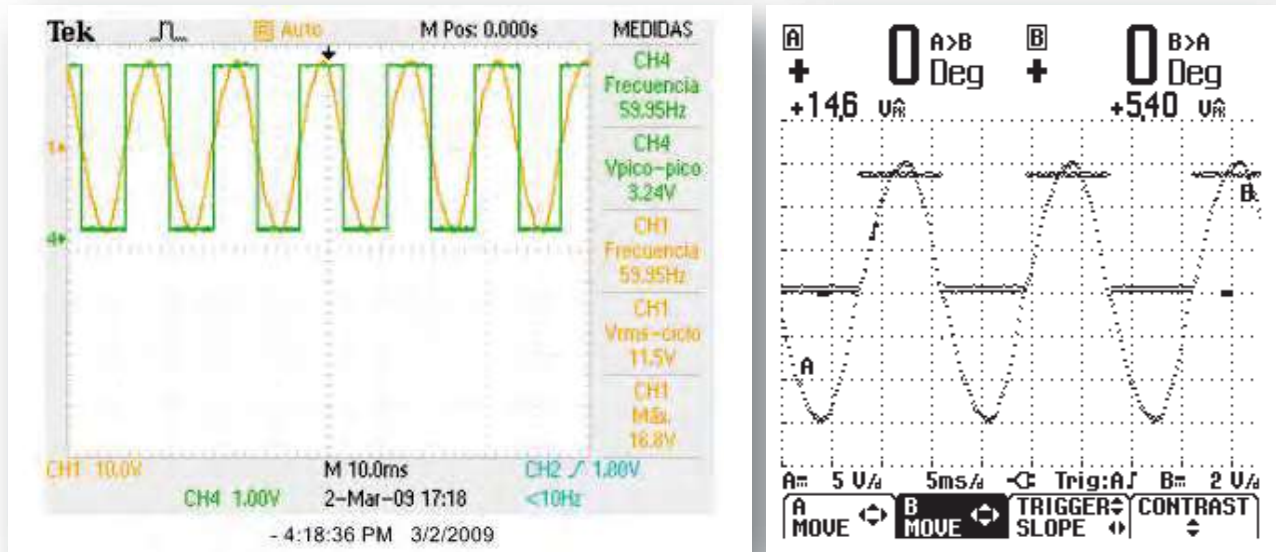
(a)



(b)

Figura 6.18 (a) Medición gráfica del defasamiento (b) Medición numérica del defasamiento (procesamiento de la señal de voltaje de CA)

La Figura 6.19 (a) muestra la señal del detector de cruce por cero en el Canal 4, la cual se ha sobrepuesto a la señal de salida del transductor (Canal 1) para verificar que el defasamiento entre estas dos señales sea nulo. En la Figura 6.19 (b) se muestra el valor del defasamiento después del proceso de calibración de fase.



(a)

(b)

Figura 6.19 (a) Medición gráfica del defasamiento (b) Medición numérica del defasamiento (Detector de cruce por cero del voltaje en la fase A)

Ya se han mostrado las imágenes que corresponden al procesamiento de la señal de voltaje de CA. Es importante recordar que se procesaron 6 señales de voltaje V_{sa} , V_{sb} , V_{sc} , e_a , e_b , e_c . De las cuales las tres primeras corresponden a la señal de voltaje de CA en terminales del sistema y las otras corresponden a la señal de voltaje de CA en terminales del convertidor. El procesamiento de todas es similar.

6.5.2 Acondicionamiento de la Señal de Corriente de CA

A continuación se muestran las gráficas correspondientes a la señal de corriente. La Figura 6.20 muestra el valor que se obtiene cuando se hace fluir una corriente de 5 A por el sensor de corriente ACS754-050 el cual tiene una sensibilidad de 40 mV/A. Como se mencionó en el capítulo 4 se desea que cuando fluya una corriente de 25 A se obtenga un voltaje de 3.3 V_{pico_{max}} y cuando fluya -25 A se desea un V_{pico_{min}} = 0 como entrada al DSC. A continuación se

muestra la prueba de esta etapa en donde se ha elegido un valor de corriente pequeño para facilitar la configuración del circuito en el laboratorio.

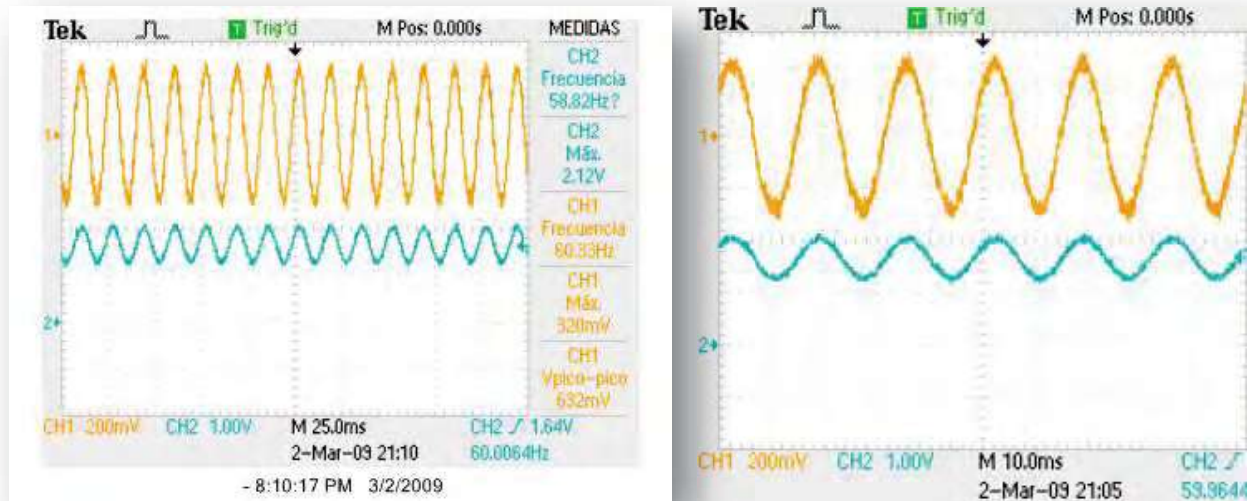
Corriente que se hace fluir por el sensor $5 A_{rms}$ equivale a $7.071 A_{pico}$

Voltaje que entrega el sensor $(7.071A) \cdot (40 mV/A) = 0.2828 V$

Voltaje del sensor se multiplica por la ganancia $(0.2828 V) \cdot (1.65) = 0.4669 V$ (ver capítulo 4)

Finalmente, se le suma un voltaje de desviación $0.4669 + 1.65 V = 2.11669 V$ (ver capítulo 4)

Como se puede ver en la Figura 6.5 (a), el valor de pico máximo de la señal de voltaje que representa la señal de corriente que se introduce al DSC (Canal 2) cuando se hace fluir una corriente de 5 A es muy aproximado al calculado. Es decir $2.12 V \approx 2.1169 V$.



(a)

(b)

Figura 6.20 (a), (b) Procesamiento de la señal de corriente

6.5.3 Protección de Sobrecorriente

Para la etapa de protección de sobrecorriente se toma la señal a la salida del filtro pasabanda y se introduce a un rectificador de onda completa para después introducirla a un comparador de voltaje. Para esta aplicación se ha calibrado a un valor de umbral de 8 A, a partir de este valor se considera que existe una sobrecorriente. La Figura 6.21 muestra la señal que

proviene del sensor (Canal 3) y la señal que se tiene a la salida de la etapa de protección (Canal 2). Como puede observarse la salida de la etapa de protección de sobrecorriente tiene un valor de 2.8 V, lo cual se toma como valor alto y corresponde a un valor de 7.96 A.

La Figura 6.22 ilustra el caso cuando se ha activado la protección de sobrecorriente. El Canal 2 reporta un cambio de estado de salida a un valor bajo (contrario al de la Figura 6.21), esto se debe a que la protección del DSC que controla las señales PWM es activa en bajo. El valor del Canal 3 muestra el valor de voltaje cuando se ha regresado al valor anterior. Como se puede apreciar, un pequeño transitorio correspondiente a una corriente $I = 8.01$ A, ha activado la protección de sobrecorriente.

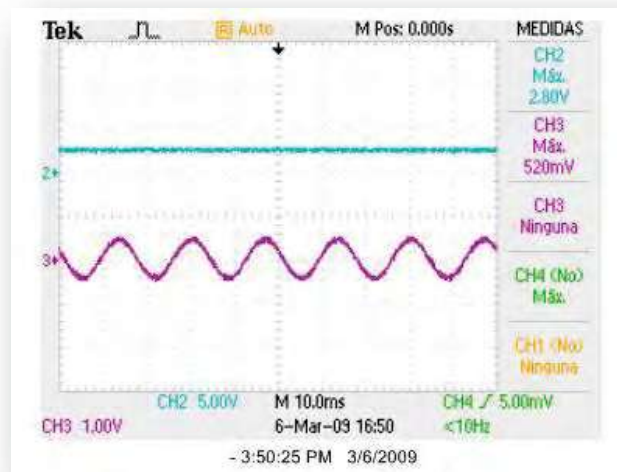


Figura 6.21 Protección de sobrecorriente cuando aun no hay sobrecorriente $I = 7.96$ A

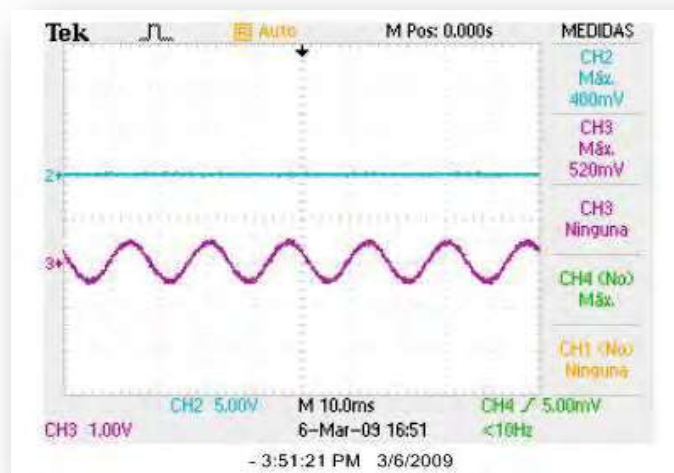


Figura 6.22 Protección de sobrecorriente después de haber ocurrido una sobrecorriente $I = 8.01$ A

6.5.4 Procesamiento de la Señal de Voltaje en el Capacitor

A continuación se muestra el resultado del procesamiento de la señal de voltaje en el capacitor. El diseño del procesamiento de esta señal se ha hecho bajo la consideración que cuando se tenga un voltaje de 500 V (el cual se considera límite para la operación en condiciones normales del STATCOM) la etapa de procesamiento entregue un valor de 3.3V (el cual es el voltaje límite de entrada para el DSC). Para realizar la prueba de esta sección se utilizó una fuente de CD a 156 V.

$$0-500V \rightarrow 0-3.3V \quad (6.5)$$

De la relación en (6.5) se puede ver que para un voltaje de 156 V le corresponde un voltaje de:

$$v_x = \frac{(3.3)(156)}{500} = 1.03V \quad (6.6)$$

En la Figura 6.23 se muestra la medición del voltaje que representa el capacitor cargado a 156 V; la señal del Canal 1 representa la salida del transductor (divisor de voltaje) y la señal del Canal 2 representa la señal que se introduce al DSC (es la señal a la salida del filtro pasa bajas) el cual debería reportar una medida de 1.03 V. En la Figura 6.6 se puede ver que se acerca mucho; ya que se tiene una medición de 1.04 V.

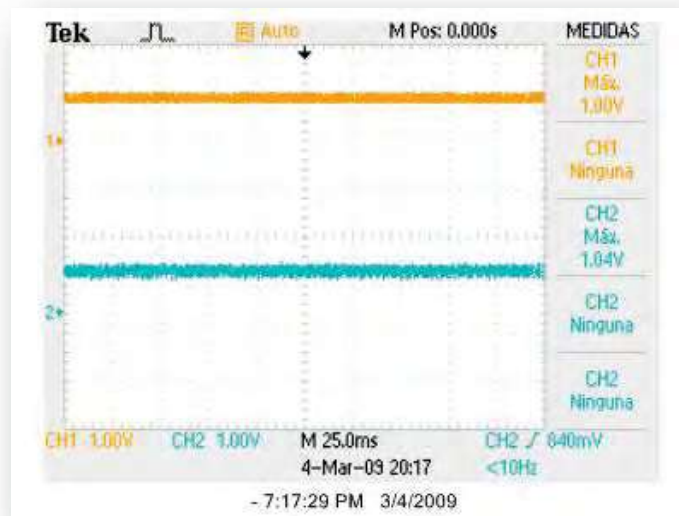


Figura 6.23 Medición del voltaje de CD del capacitor.

6.6 Pruebas de la Tarjeta Controladora del Puente Convertidor.

La tarjeta controladora del puente, como ya se comentó en el capítulo 4 tiene la función de acondicionar las señales PWM provenientes del DSC para después proporcionarlas a la tarjeta del puente convertidor. También tiene la función de aislar la parte de potencia con la parte de control. Esta tarjeta tiene un reforzador de corriente basado en MOSFET. En el Apéndice A.6 se muestra la tarjeta controladora del puente y la tarjeta del puente convertidor.

En la Figura 6.24 se muestran las señales PWM provenientes del DSC. Cabe mencionar que la modulación PWM es trifásica y que el diseño de esta etapa se hizo modular; de esta forma son tres tarjetas una para cada fase, en total son 6 señales PWM, una por cada fase y su respectivo complemento. En la Figura 6.24 se muestra la señal PWM correspondiente a la fase A y su respectivo complemento. La información a detalle sobre la generación PWM se puede ver en [Ugalde, 2009]

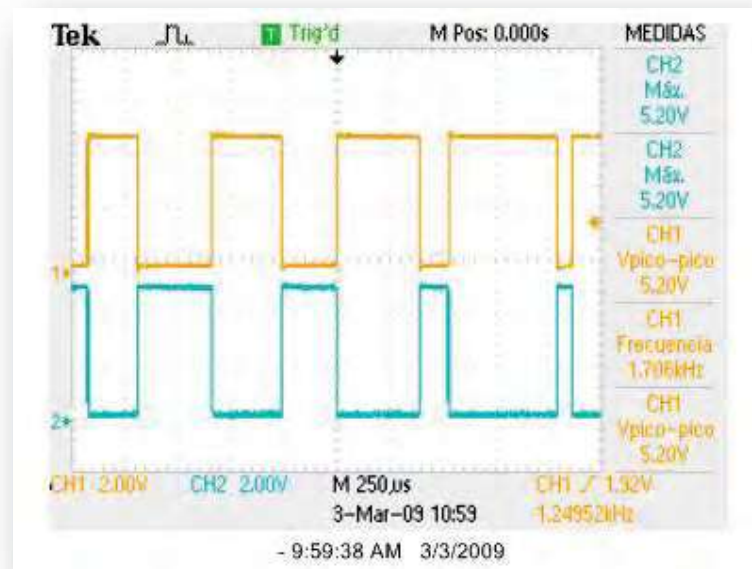


Figura 6.24 Señales PWM generadas en el DSC F28335

La Figura 6.25 muestra el tiempo muerto entre la señal PWM de la fase A y su complemento. Este tiempo muerto es el que evita que suceda un cortocircuito en las terminales del convertidor.

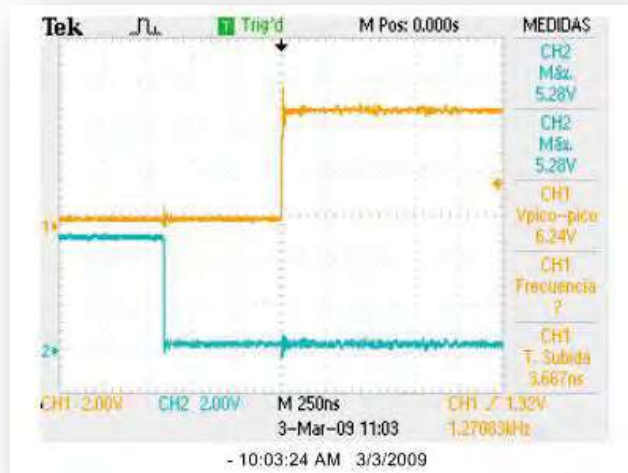


Figura 6.25 Tiempo muerto entre la señal PWM de una fase y su complemento

Las señales que salen de la tarjeta controladora para ser introducidas a los IGBTs se muestran a continuación. El circuito utilizado para manejar las señales PWM es el IR2110 de *International Rectifier* el cual es conmutado por dos entradas HIN y LIN. En la Figura 6.26 se muestra la salida HO y en la Figura 6.27 se muestra la salida LO después de pasar por la etapa del reforzador de corriente basado en MOSFET.

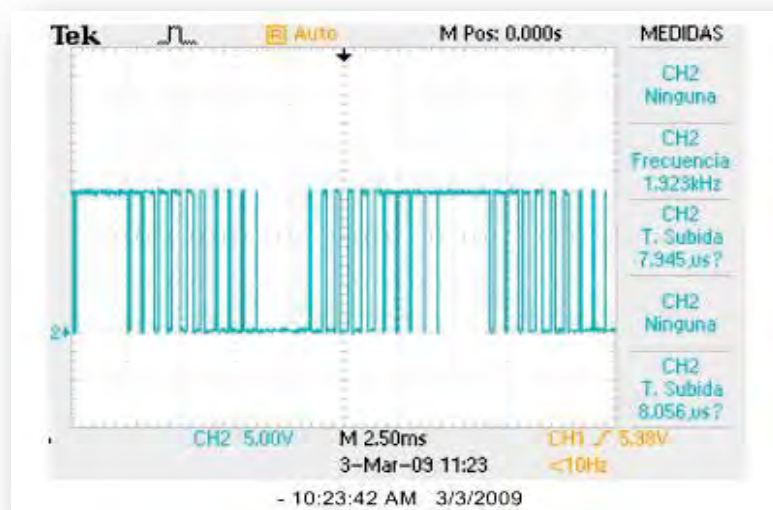


Figura 6.26 Señal PWM en la salida de la tarjeta controladora (HO)

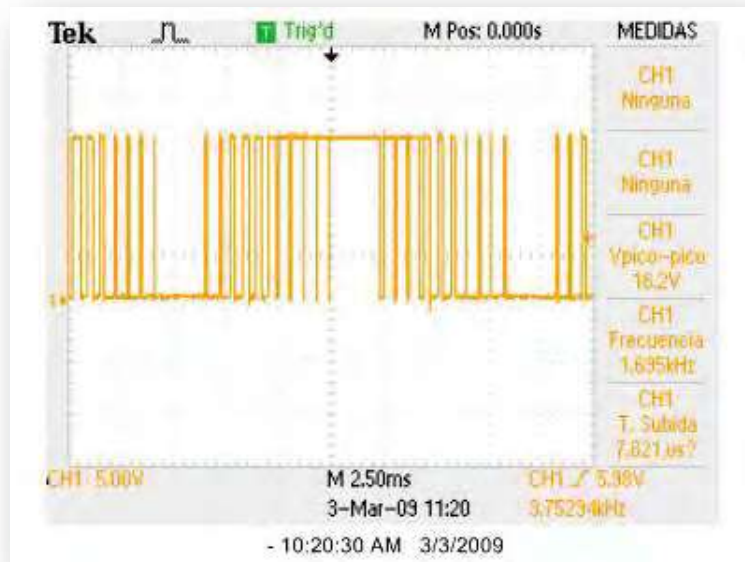


Figura 6.27 Señal PWM en la salida de la tarjeta controladora (LO)

CAPITULO 7

CONCLUSIONES Y TRABAJOS FUTUROS

7.1 Introducción

En este capítulo se presentan las conclusiones de este proyecto de tesis y se proponen algunos trabajos futuros lo cual sirve como parámetro para marcar los alcances de esta tesis y lo que falta por hacer para completar el trabajo realizado.

7.2 Conclusiones

El objetivo de este proyecto de tesis fue diseñar y simular un sistema de control desacoplado de potencia real y potencia reactiva de un STATCOM basado en la transformación de Park. Así como la construcción del hardware del STATCOM orientado a la implementación del control en un DSC TMS320F28335. Después de las pruebas realizadas se ha obtenido un rendimiento satisfactorio en cada una de las etapas de simulación y construcción. A continuación se presentan algunas conclusiones importantes de este trabajo de tesis:

Las simulaciones realizadas muestran resultados satisfactorios en los que se puede ver que el tiempo que le lleva a los controladores de potencia real, potencia reactiva y de voltaje alcanzar el valor final es pequeño, esto muestra que los controladores se han diseñado en una forma correcta.

El hecho de agregar las pérdidas (en el acoplamiento entre el convertidor y el sistema) en la simulación, permite que el modelo del STATCOM se acerque más al modelo real.

Al agregar un reforzador de corriente a la tarjeta controladora del Puente Convertidor se le ha proporcionado flexibilidad para utilizarla en alguna aplicación que demande más corriente.

La acción de calibrar por hardware de nivel de voltaje, proporciona flexibilidad al instrumento, ya que en caso de cambiar los transductores se puede acondicionar la señal con el ajuste de algunos potenciómetros.

Una ventaja importante del filtrado implementado es que se permite el ajuste de fase mediante un potenciómetro, para lograr que no haya defasamiento entre las señales de entrada y salida del filtro, lo cual es muy importante para el control del STATCOM.

El circuito de sincronización resultó ser una parte fundamental en este proyecto debido a que el sistema de control logra mantener la referencia con la ayuda éste. Este circuito permite medir el defasamiento entre las señales de voltaje y corriente en cada ciclo de la señal de voltaje del bus.

7.3 Trabajos Futuros.

La simulación del STATCOM proporciona una idea de cómo debe comportarse físicamente este instrumento, sin embargo se debe integrar el hardware construido para verificar el funcionamiento del STATCOM. Para realizar esta tarea se propone lo siguiente:

- Integrar el controlador diseñado y simulado al software del DSC.
- Diseñar y realizar las pruebas que permitan observar el funcionamiento del STATCOM y compararlo con la simulación.
- Realizar pruebas en diferentes aplicaciones donde se requiera la compensación de potencia reactiva (sistema eléctrico, motores, hornos de arco eléctrico, etc.).
- Realizar pruebas donde se incluyan más dispositivos FACTS, con el objetivo de observar el comportamiento del STATCOM.

De acuerdo a lo planeado, el hardware y el software desarrollado para este prototipo de STATCOM constituyen la base para el diseño e implementación de un prototipo de un sistema de transmisión de corriente directa en alto voltaje basado en convertidores de modo de conmutación (HVDC Light), por lo cual este será un trabajo futuro inmediato, después de realizar la integración y puesta en marcha del prototipo del STATCOM.

A.1 Código fuente de la simulación de los controladores desacoplados de potencia real y potencia reactiva.

```

%programa para probar las ganancias calculadas por la formula de ackermann
%para el controlador de id e iq
clf
clear
%ganancias obtenidas de ackermann
%para un amortiguamiento=0.8 ts=12.5 mS y w=300
L=[0.0493 -0.0039 -0.3878 0 0 0;0 0 0 0.0493 -0.0039 -0.3878];
%matriz phi del sistema desacoplado
phi=[0.9433 0;0 0.9433];
%condiciones iniciales
x=[0;0];
x(:,2)=[0;0];
iI=[0;0];
iD=[0;0];
ir=[1;10];
n=0:100;
u=[0;0];
t(1)=0;
t(2)=0;
for n=3:301
t(n)=(n-2)*3.0864e-4;
end
for k=2:200
    iI(:,k)=iI(:,k-1)+ir(:,k-1)-x(:,k-1);
    iD(:,k)=u(:,k-1);
    ir(:,k)=ir(:,k-1);
    u(:,k)=-
L*[x(1,(k));iI(1,(k));iD(1,(k));x(2,(k));iI(2,(k));iD(2,(k))];
    x(:,k+1)=phi*x(:,k)+u(:,k-1)
end
ir(:,k)=[2;12];
for k=201:300
    iI(:,k)=iI(:,k-1)+ir(:,k-1)-x(:,k-1);
    iD(:,k)=u(:,k-1);
    ir(:,k)=ir(:,k-1);
    u(:,k)=-
L*[x(1,(k));iI(1,(k));iD(1,(k));x(2,(k));iI(2,(k));iD(2,(k))];
    x(:,k+1)=phi*x(:,k)+u(:,k-1)
end

plot(t,x(1,:), '--',t,x(2,:), '-')
xlabel('t [s]')
ylabel('Corriente [Amperes]')

```

A.2 Código fuente del controlador de voltaje del capacitor

a) Cargado del capacitor

```

%programa
Gama=[0.097418 0.0056251;-0.0056251 0.097418];
L=[0.0492 -0.0039 -0.3878 0.11026 0 0;-0.11026 0 0 0.0492 -0.0039 -0.3878];
%PARA EL CONTROLADOR (PI)DEL VOLTAJE DEL CAPACITOR
vcr2=230400;
vc2=0;
vc2(2)=0;
e=230400;
%-----voltaje del bus (referencia)
vd=sqrt(2)*120;
%-----parametros del filtro-----
inductancia=0.039;
resistencia=1.2;
%para el controlador de id e iq
L1=[0.0492 -0.0039 -0.3878];
L2=[0.0492 -0.0039 -0.3878];
PHI1=0.9433;
PHI2=0.9433;
id=0;
id(2)=0;
iq=0;
iq(2)=0;
iId=0;
iIq=0;
iDd=0;
iDq=0;
idr=0;
iqr=0;
u1=0;
u2=0;
t(1)=0;
t(2)=0;
for n=3:12001
t(n)=(n-2)*308.64e-6;
end
for k=2:12000
%-----controlador PI del voltaje del capacitor-----
vcr2(k)=vcr2(k-1);
e(k)=vcr2(k)-vc2(k-1);
idr(k)=idr(k-1)-0.000428*e(k)+0.0004277*e(k-1);
%-----controlador de potencia real (control de id)-----
iqr(k)=iqr(k-1);
vd(k)=vd(k-1);
iId(k)=iId(k-1)+idr(k-1)-id(k-1);
iIq(k)=iIq(k-1)+iqr(k-1)-iq(k-1);

iDd(k)=u1(k-1);
iDq(k)=u2(k-1);

u1(k)=-L1*[id(k);iId(k);iDd(k)];
u2(k)=-L2*[iq(k);iIq(k);iDq(k)];

id(k+1)=PHI1*id(k)+u1(k-1);

```

```

iq(k+1)=PHI2*iq(k)+u2(k-1);

%-----voltaje del capacitor recibe id e iq-----
vc2(k+1)=vc2(k)-32.0681*id(k)+1.5*((inductancia-
                                2*resistencia*0.00030864)/0.00490)*iq(k)*iq(k)-
                                1.5*(inductancia/0.00490)*iq(k+1)*iq(k+1);
vc(k+1)=sqrt(vc2(k+1));

end
%id
figure(1)
plot(t,id,'LineWidth',4,'Color',[0.6 0 0])
ylabel('id [Amperes]')
xlabel('t [s]')
%vc2
figure(2)
plot(t,vc,'LineWidth',4,'Color',[0.6 0 0])
ylabel('Vc [Voltios]')
xlabel('t [s]')

```

b) Cambio de referencia en el voltaje del capacitor.

```

%programa donde se integra todo el control controlfiltro(120 volts)
Gama=[0.097418 0.0056251;-0.0056251 0.097418];
L=[0.0492 -0.0039 -0.3878 0.11026 0 0;-0.11026 0 0 0.0492 -0.0039 -0.3878];
%PARA EL CONTROLADOR (PI)DEL VOLTAJE DEL CAPACITOR
vcr2=230400;
vc2=0;
vc2(2)=0;
e=230400;
%-----voltaje del bus (referencia)
vd=sqrt(2)*120;
%-----parametros del filtro-----
inductancia=0.039;
resistencia=1.2;
%para el controlador de id e iq
L1=[0.0492 -0.0039 -0.3878];
L2=[0.0492 -0.0039 -0.3878];
PHI1=0.9433;
PHI2=0.9433;
id=0;
id(2)=0;
iq=0;
iq(2)=0;
iId=0;
iIq=0;
iDd=0;
iDq=0;
idr=0;

```



```

iqr=0;
u1=0;
u2=0;
t(1)=0;
t(2)=0;
for n=3:15001
t(n)=(n-2)*308.64e-6;
end
for k=2:12000
%-----controlador PI del voltaje del capacitor-----
vcr2(k)=vcr2(k-1);
e(k)=vcr2(k)-vc2(k-1);
idr(k)=idr(k-1)-0.000428*e(k)+0.0004277*e(k-1);
%-----controlador de potencia real (control de id)-----
iqr(k)=iqr(k-1);
vd(k)=vd(k-1);
iId(k)=iId(k-1)+idr(k-1)-id(k-1);
iIq(k)=iIq(k-1)+iqr(k-1)-iq(k-1);

iDd(k)=u1(k-1);
iDq(k)=u2(k-1);

u1(k)=-L1*[id(k);iId(k);iDd(k)];
u2(k)=-L2*[iq(k);iIq(k);iDq(k)];

id(k+1)=PHI1*id(k)+u1(k-1);
iq(k+1)=PHI2*iq(k)+u2(k-1);

K=inv(Gama)*L;
I=[id(k);iId(k);iDd(k);iq(k);iIq(k);iDq(k)];
delta(:,k)=-K*I;
ed(k)=delta(1,(k))+169.704;
eq(k)=delta(2,(k));
et(k)=sqrt(ed(k)*ed(k)+eq(k)*eq(k));
alfaRad(k)=atan2(eq(k),ed(k));
alfaDeg(k)=alfaRad(k)*180/pi;
%-----voltaje del capacitor recibe id e iq-----
vc2(k+1)=vc2(k)-32.0681*id(k)+1.5*((inductancia-
2*resistencia*0.00030864)/0.00490)*iq(k)*iq(k)-
1.5*(inductancia/0.00490)*iq(k+1)*iq(k+1);
vc(k+1)=sqrt(vc2(k+1));

end
%-----cambio de referencia-----
vcr2(k)=250000;
vd(k)=sqrt(2)*120;
iqr(k)=0;
idr(k)=0;
for k=12001:15000
% %-----controlador PI del voltaje del capacitor-----
vcr2(k)=vcr2(k-1);
e(k)=vcr2(k)-vc2(k-1);
idr(k)=idr(k-1)-0.000428*e(k)+0.0004277*e(k-1);
% %-----controlador de potencia real (control de id)-----
iqr(k)=iqr(k-1);
vd(k)=vd(k-1);

```

```

iId(k)=iId(k-1)+idr(k-1)-id(k-1);
iIq(k)=iIq(k-1)+iqr(k-1)-iq(k-1);

iDd(k)=u1(k-1);
iDq(k)=u2(k-1);

u1(k)=-L1*[id(k);iId(k);iDd(k)];
u2(k)=-L2*[iq(k);iIq(k);iDq(k)];

id(k+1)=PHI1*id(k)+u1(k-1);
iq(k+1)=PHI2*iq(k)+u2(k-1);

%      %-----voltaje del capacitor recibe id e iq-----
vc2(k+1)=vc2(k)-32.0681*id(k)+1.5*((inductancia-
                                2*resistencia*0.00030864)/0.00490)*iq(k)*iq(k)-
                                1.5*(inductancia/0.00490)*iq(k+1)*iq(k+1);
vc(k+1)=sqrt(vc2(k+1));

end
%id
figure(1)
plot(t,id,'LineWidth',4,'Color',[0.6 0 0])
ylabel('id [Amperes]')
xlabel('t [s]')
figure(2)
plot(t,vc,'LineWidth',4,'Color',[0.6 0 0])
ylabel('Vc [Voltios]')
xlabel('t [s]')

```

A.3 Código fuente para el caso de estudio 1 que se presenta en el Capítulo 5

```

%programa
Gama=[0.097418 0.0056251;-0.0056251 0.097418];
L=[0.0492 -0.0039 -0.3878 0.11026 0 0;-0.11026 0 0 0.0492 -0.0039 -0.3878];
%PARA EL CONTROLADOR (PI)DEL VOLTAJE DEL CAPACITOR
vcr2=230400;
vc2=230400;
vc2(2)=230400;
e=0;
%-----voltaje del bus (referencia)
vd=sqrt(2)*120;
%-----parametros del filtro-----
inductancia=0.039;
resistencia=1.2;
%para el controlador de id e iq
L1=[0.0492 -0.0039 -0.3878];
L2=[0.0492 -0.0039 -0.3878];
PHI1=0.9433;
PHI2=0.9433;
id=0;
id(2)=0;
iq=0;
iq(2)=0;
iId=0;
iIq=0;
iDd=0;
iDq=0;
idr=0;
iqr=2.75;
u1=0;
u2=0;
t(1)=0;
t(2)=0;
vc=480;
vc(2)=480;
for n=3:8001
t(n)=(n-2)*308.64e-6;
end
for k=2:8000
%-----controlador PI del voltaje del capacitor-----
vcr2(k)=vcr2(k-1);
e(k)=vcr2(k)-vc2(k-1);
idr(k)=idr(k-1)-0.000428*e(k)+0.0004277*e(k-1);
%-----controlador de potencia real (control de id)-----
iqr(k)=iqr(k-1);
vd(k)=vd(k-1);
iId(k)=iId(k-1)+idr(k-1)-id(k-1);
iIq(k)=iIq(k-1)+iqr(k-1)-iq(k-1);

iDd(k)=u1(k-1);
iDq(k)=u2(k-1);

u1(k)=-L1*[id(k);iId(k);iDd(k)];
u2(k)=-L2*[iq(k);iIq(k);iDq(k)];

```

```

id(k+1)=PHI1*id(k)+u1(k-1);
iq(k+1)=PHI2*iq(k)+u2(k-1);

K=inv(Gama)*L;
I=[id(k);iId(k);iDd(k);iq(k);iIq(k);iDq(k)];
delta(:,k)=-K*I;
ed(k)=delta(1,(k))+169.704;
eq(k)=delta(2,(k));
et(k)=sqrt(ed(k)*ed(k)+eq(k)*eq(k));
alfaRad(k)=atan2(eq(k),ed(k));
alfaDeg(k)=alfaRad(k)*180/pi;
%-----voltaje del capacitor recibe id e iq-----
vc2(k+1)=vc2(k)-32.0681*id(k)+1.5*((inductancia-
2*resistencia*0.00030864)/0.00490)*iq(k)*iq(k)-
1.5*(inductancia/0.00490)*iq(k+1)*iq(k+1);
vc(k+1)=sqrt(vc2(k+1));

pe(k)=1.5*(ed(k)*id(k)+eq(k)*iq(k));
qe(k)=1.5*(-ed(k)*iq(k)+eq(k)*id(k));
%---potencia del bus-----
pb(k)=1.5*vd(k)*id(k);
q(k)=-1.5*vd(k)*iq(k);
end
tn=0;
for p=2:length(eq)
tn(p)=(p-1)*308.64e-6;
end
%id
figure(1)
plot(t,id,'LineWidth',4,'Color',[0.6 0 0])
ylabel('id [Amperes]')
xlabel('t [s]')
%iq
figure(2)
plot(t,iq,'LineWidth',4,'Color',[0.6 0 0])
ylabel('iq [Amperes]')
xlabel('t [s]')
%ed
figure(3)
plot(tn,ed,'LineWidth',4,'Color',[0.6 0 0])
ylabel('ed [Voltios]')
xlabel('t [s]')
%eq
figure(4)
plot(tn,eq,'LineWidth',4,'Color',[0.6 0 0])
ylabel('eq [Voltios]')
xlabel('t [s]')
%et
figure(5)
plot(tn,et,'LineWidth',4,'Color',[0.6 0 0])
ylabel('et')
xlabel('t')
%vc
figure(6)
plot(t,vc,'LineWidth',4,'Color',[0.1 0.1 0.1])
ylabel('vc [Voltios]')

```

```
xlabel('t [s]')
%Pconvertidor
figure(7)
plot(tn,pe,'LineWidth',4,'Color',[0.6 0 0])
ylabel('Pe [Watts]')
xlabel('t [s]')
%Qconvertidor
figure(8)
plot(tn,qe,'LineWidth',4,'Color',[0.6 0 0])
ylabel('Qe [Vars]')
xlabel('t [s]')
%Pbus
figure(9)
plot(tn,pb,'LineWidth',4,'Color',[0.6 0 0])
ylabel('PBus [Watts]')
xlabel('t [s]')
%Qbus
figure(10)
plot(tn,q,'LineWidth',4,'Color',[0.6 0 0])
ylabel('QBus [Vars]')
xlabel('t [s]')
```

A.4 Código fuente para el caso de estudio 2 que se presenta en el Capítulo 5

```

%programa
Gama=[0.097418 0.0056251;-0.0056251 0.097418];
L=[0.0492 -0.0039 -0.3878 0.11026 0 0;-0.11026 0 0 0.0492 -0.0039 -0.3878];
%PARA EL CONTROLADOR (PI)DEL VOLTAJE DEL CAPACITOR
vcr2=230400;
vc2=230400;
vc2(2)=230400;
e=0;
%-----voltaje del bus (referencia)
vd=sqrt(2)*120;
%-----parametros del filtro-----
inductancia=0.039;
resistencia=1.2;
%para el controlador de id e iq
L1=[0.0492 -0.0039 -0.3878];
L2=[0.0492 -0.0039 -0.3878];
PHI1=0.9433;
PHI2=0.9433;
id=0;
id(2)=0;
iq=0;
iq(2)=0;
iId=0;
iIq=0;
iDd=0;
iDq=0;
idr=0;
iqr=-3.929;
u1=0;
u2=0;
t(1)=0;
t(2)=0;
vc=480;
vc(2)=480;
for n=3:8001
t(n)=(n-2)*308.64e-6;
end
for k=2:8000
%-----controlador PI del voltaje del capacitor-----
vcr2(k)=vcr2(k-1);
e(k)=vcr2(k)-vc2(k-1);
idr(k)=idr(k-1)-0.000428*e(k)+0.0004277*e(k-1);
%-----controlador de potencia real (control de id)-----
iqr(k)=iqr(k-1);
vd(k)=vd(k-1);
iId(k)=iId(k-1)+idr(k-1)-id(k-1);
iIq(k)=iIq(k-1)+iqr(k-1)-iq(k-1);

iDd(k)=u1(k-1);
iDq(k)=u2(k-1);

u1(k)=-L1*[id(k);iId(k);iDd(k)];
u2(k)=-L2*[iq(k);iIq(k);iDq(k)];

```

```

id(k+1)=PHI1*id(k)+u1(k-1);
iq(k+1)=PHI2*iq(k)+u2(k-1);

K=inv(Gama)*L;
I=[id(k);iId(k);iDd(k);iq(k);iIq(k);iDq(k)];
delta(:,k)=-K*I;
ed(k)=delta(1,(k))+169.704;
eq(k)=delta(2,(k));
et(k)=sqrt(ed(k)*ed(k)+eq(k)*eq(k));
alfaRad(k)=atan2(eq(k),ed(k));
alfaDeg(k)=alfaRad(k)*180/pi;
%-----voltaje del capacitor recibe id e iq-----
vc2(k+1)=vc2(k)-32.0681*id(k)+1.5*((inductancia-
2*resistencia*0.00030864)/0.00490)*iq(k)*iq(k)-
1.5*(inductancia/0.00490)*iq(k+1)*iq(k+1);
vc(k+1)=sqrt(vc2(k+1));
pe(k)=1.5*(ed(k)*id(k)+eq(k)*iq(k));
qe(k)=1.5*(-ed(k)*iq(k)+eq(k)*id(k));
%---potencia del bus-----
pb(k)=1.5*vd(k)*id(k);
q(k)=-1.5*vd(k)*iq(k);
end
tn=0;
for p=2:length(eq)
tn(p)=(p-1)*308.64e-6;
end
%id
figure(1)
plot(t,id,'LineWidth',4,'Color',[0.6 0 0])
ylabel('id [Amperes]')
xlabel('t [s]')
%iq
figure(2)
plot(t,iq,'LineWidth',4,'Color',[0.6 0 0])
ylabel('iq [Amperes]')
xlabel('t [s]')
%ed
figure(3)
plot(tn,ed,'LineWidth',4,'Color',[0.6 0 0])
ylabel('ed [Voltios]')
xlabel('t [s]')
%eq
figure(4)
plot(tn,eq,'LineWidth',4,'Color',[0.6 0 0])
ylabel('eq [Voltios]')
xlabel('t [s]')
%et
figure(5)
plot(tn,et,'LineWidth',4,'Color',[0.6 0 0])
ylabel('et')
xlabel('t')
%vc
figure(6)
plot(t,vc,'LineWidth',4,'Color',[0.1 0.1 0.1])
ylabel('vc [Voltios]')
xlabel('t [s]')
%Pconvertidor

```

```
figure(7)
plot(tn,pe,'LineWidth',4,'Color',[0.6 0 0])
ylabel('Pe [Watts]')
xlabel('t [s]')
%Qconvertidor
figure(8)
plot(tn,qe,'LineWidth',4,'Color',[0.6 0 0])
ylabel('Qe [Vars]')
xlabel('t [s]')
%Pbus
figure(9)
plot(tn,pb,'LineWidth',4,'Color',[0.6 0 0])
ylabel('PBus [Watts]')
xlabel('t [s]')
%Qbus
figure(10)
plot(tn,q,'LineWidth',4,'Color',[0.6 0 0])
ylabel('QBus [Vars]')
xlabel('t [s]')
```


A.5 Tarjetas de la etapa de acondicionamiento de señales

En la figura A.5.1 se muestra la tarjeta de los transductores. Como se puede ver, ésta se compone de 6 transformadores y 4 sensores de corriente. Los transformadores corresponden a las 6 señales de voltaje y de los cuatro sensores de corriente; tres se utilizan para medir las señales de corriente de CA y uno para la de CD del lado del capacitor, éste último no se utiliza en este proyecto pero se incluyó para que esta tarjeta se pueda usar en la implementación de un HVDC. En la parte inferior de esta tarjeta se puede apreciar el transductor de voltaje de CD el cual se basa en un divisor de voltaje seguido de un amplificador de aislamiento electromagnético.

En la figura A.5.2 se muestra la tarjeta de acondicionamiento, la cual recibe las señales de salida de la tarjeta de transductores para posteriormente filtrarlas y acondicionar los valores de voltaje en el rango permitido por el ADC del DSC TMSF28335 el cual es de 0-3.3 V. También en esta tarjeta se encuentra la circuitería de protección de sobrecorriente y el detector de cruce por cero, el cual sirve para sincronizar el sistema de control con el sistema eléctrico.

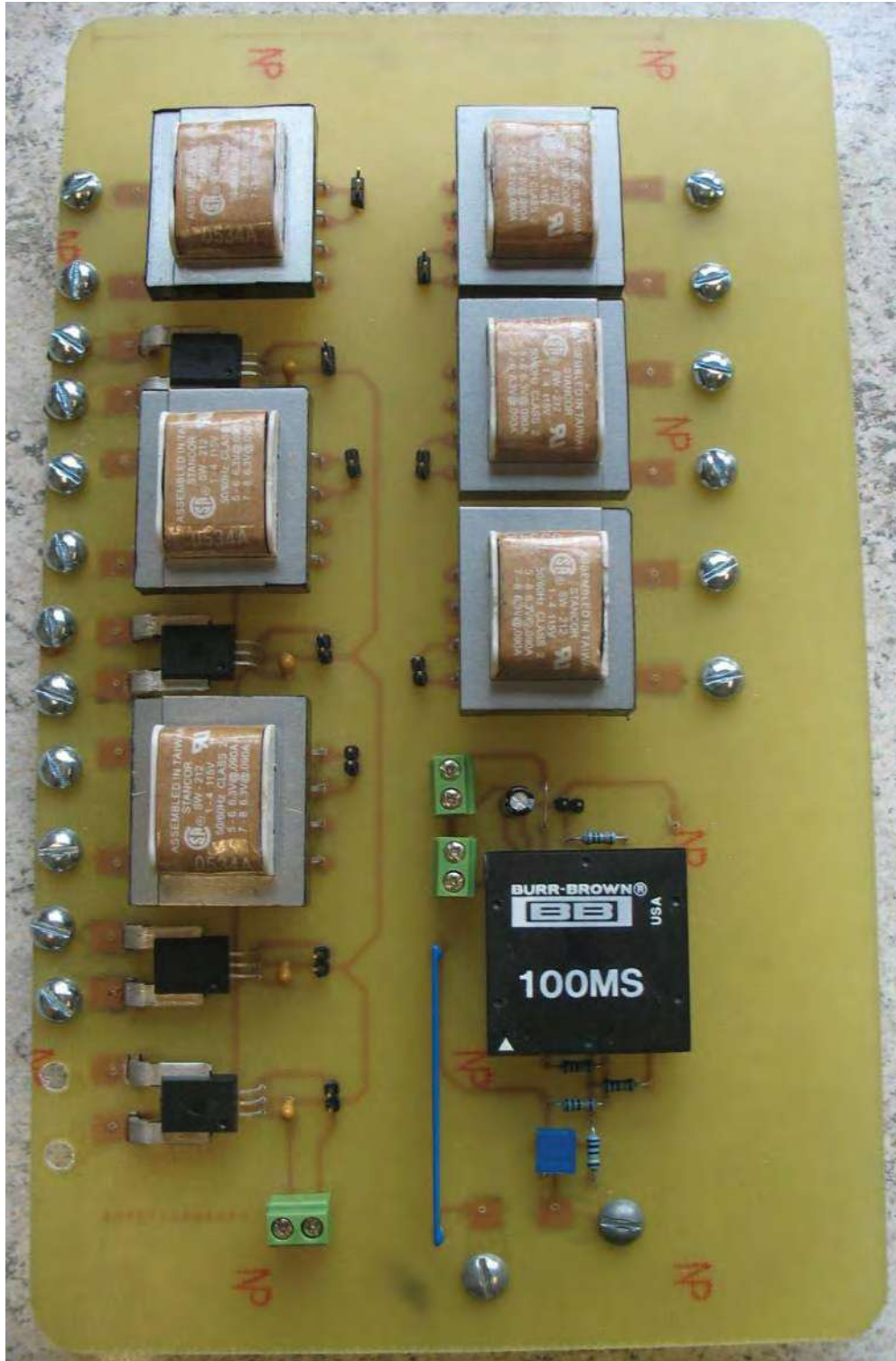


Figura A.5.1 Lado de componentes de la tarjeta de transductores.

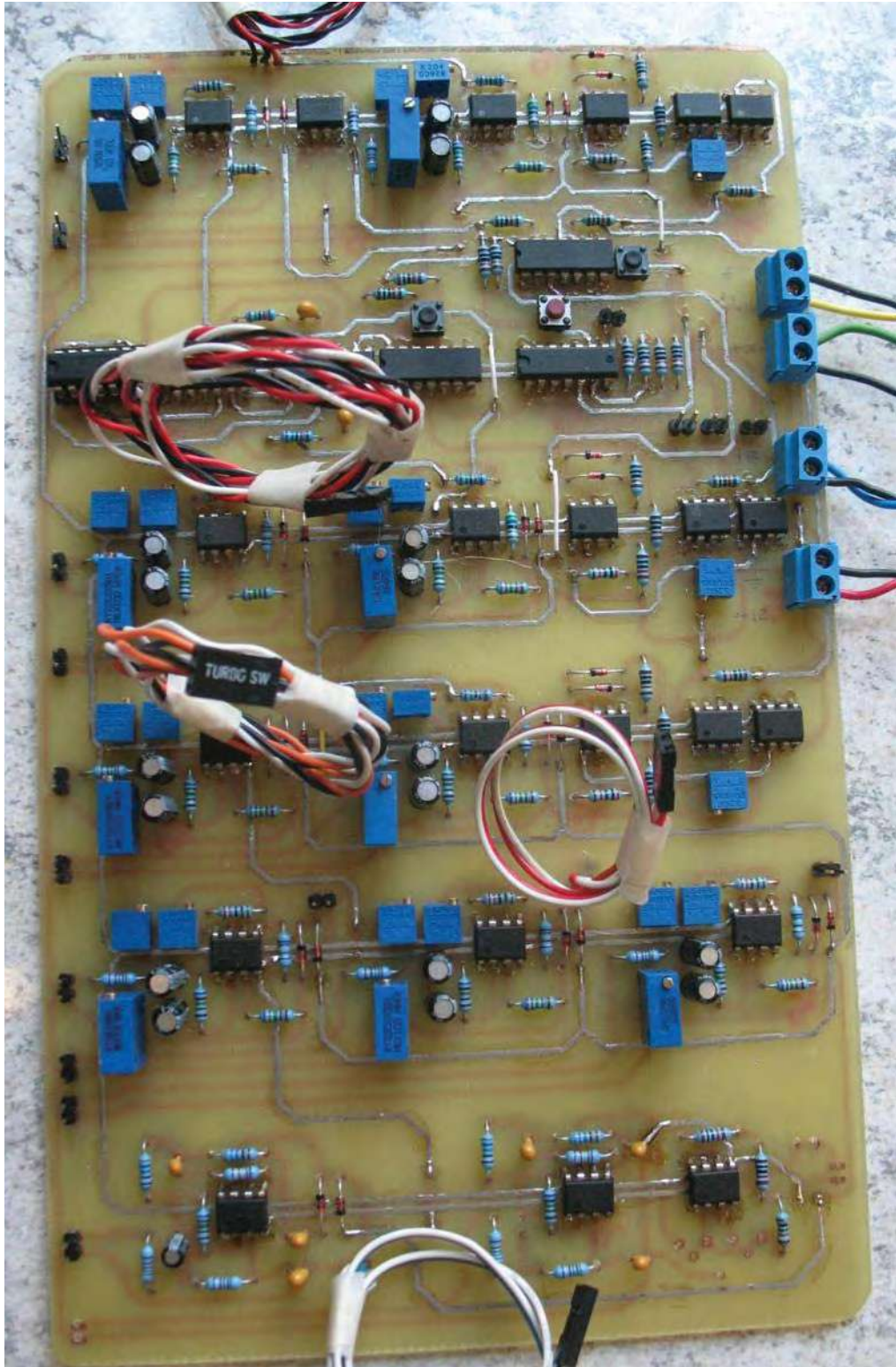


Figura A.5.2 Lado de componentes de la tarjeta de acondicionamiento de señales.

A.6 Tarjeta controladora del puente convertidor y tarjeta del puente convertidor

En la figura A.6.1 se muestra la tarjeta controladora del puente, la cual fue cortada en tres partes para poder formar la configuración mostrada en la figura A.6.3. Esta configuración disminuye la inductancia parásita entre las señales de control PWM y el puente. Esta tarjeta tiene como primer función aislar eléctricamente el DSC del puente convertidor para después acondicionar las señales PWM que se inyectan a éste.

En la figura A.6.2 se muestra la tarjeta del puente convertidor basado en IGBTs. El montaje de los transistores se ha realizado como si fueran de montaje superficial para lograr una buena colocación de los disipadores, de tal manera que la temperatura de los transistores no se incremente en una forma significativa.

En la figura A.6.3 se muestra la integración de la tarjeta controladora con el puente convertidor, las terminales de cobre son para conectar el arreglo de capacitores que como se puede observar están en serie, esto con el objetivo de aumentar el voltaje de operación de 480 V a 960 V.

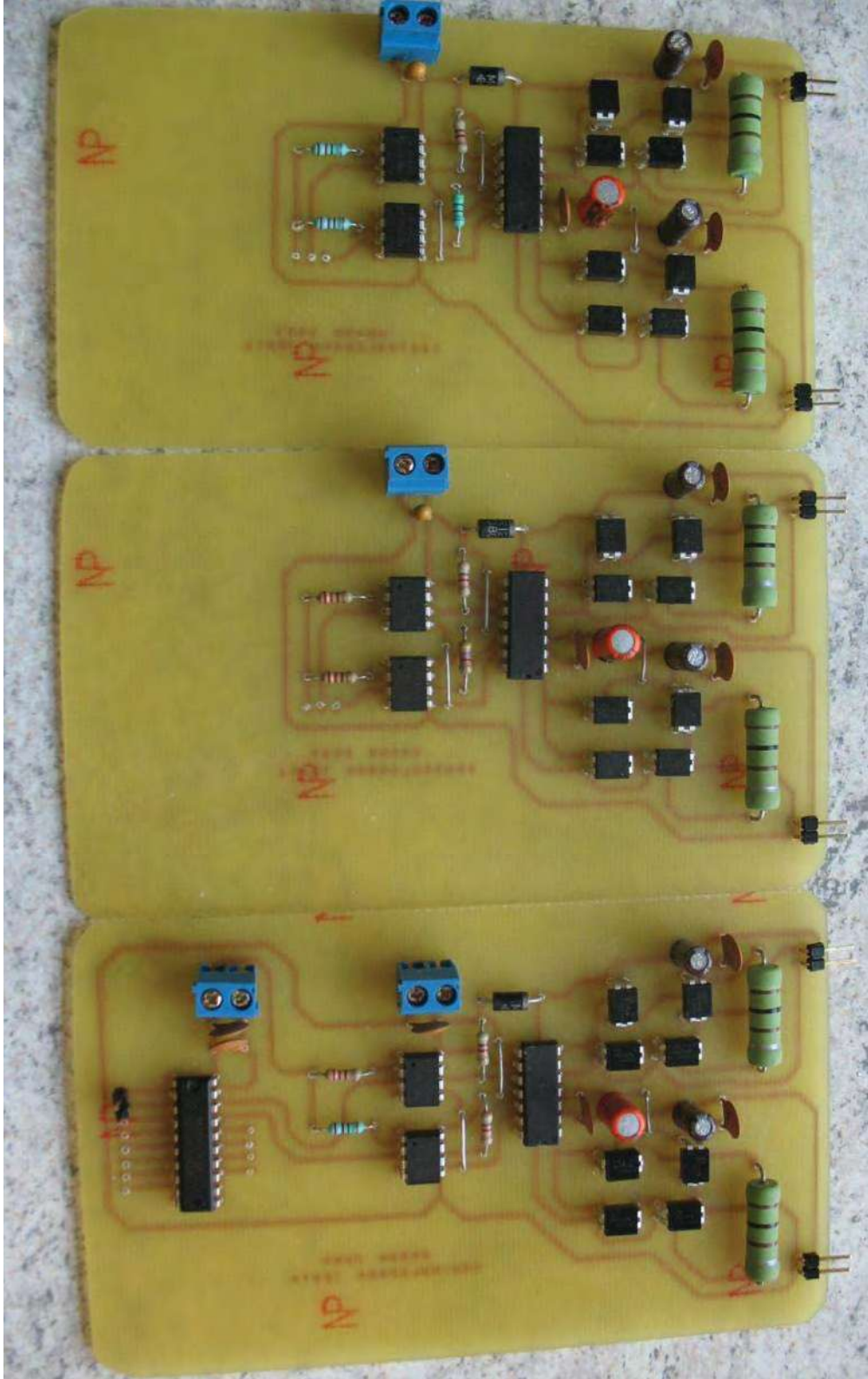


Figura A.6.1 Tarjetas controladoras donde el CI 74HCT245 es comun para las tres tarjetas.



Figura A.6.2 Tarjeta del puente convertidor basado en IGBTs.

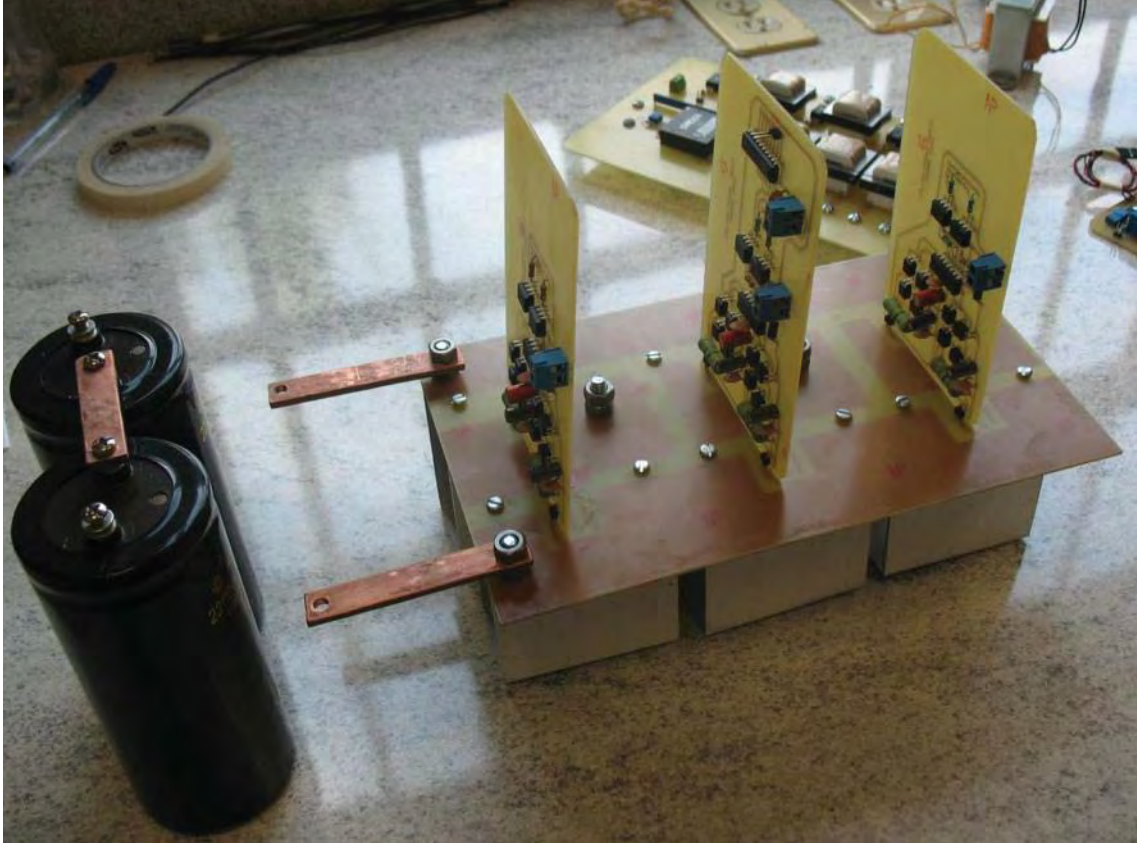


Figura A.6.3 Puente convertidor con las tarjetas controladoras incluidas.

REFERENCIAS

- [ABB, 2007] *SVC Referente List, ABB Power Systems*
- [ACS754xCB-050] Datasheet ACS754Xcb-050 Current Sensor, Allegro MicroSystems, Inc.
- [ADC, TI 2007] TMS320X2833X Analog-to-Digital Converter (ADC) Module Reference Guide, Texas Instruments, 2007
- [Ainsworth et al, 1998]. J.D.Ainsworth, M. Davies, P.J.Fitz, K.E.Owen, D. R. Trainer, “*Static VAR compensator (STATCOM) based on single phase chain circuit converters*”, *IEE Proc-Gener. Transm. Distrib.*, Vol. 145. No. 4, July 1998. pp. 381-386.
- [Alzate, et al, 2006] Alfonso Alzate, David A. Mancera, Carlos A. Restrepo, “*Control de un STATCOM por Medio de un Sistema ANFIS*”, *Scientia et Technica* Año XII, No. 30, Mayo de 2006. Universidad Tecnológica de Pereira. ISSN 0122-1701
- [Alzate, et al, 2008] Alfonso Alzate, Carlos Andres Torres, Carlos A. Restrepo, “*Control de un STATCOM en un Sistema de Potencia Mediante Reubicacion de Polos y LQR*”, *Scientia et Technica* Año XIV, No. 39, Septiembre de 2008. Universidad Tecnológica de Pereira. ISSN 0122-1701
- [Astrom, Wittenmark, 1997] Karl J. Astrom, Bjorn Wittenmark Computer Controlled System Theory and Design third edition, Prentice Hall information and systems sciences series, 1997.
- [Barrera, 1991] EDMUNDO BARRERA CARDIEL, “An HVDC Transmission System Model for a Physically Based Power System Laboratory”, *Disertación Doctoral*, Agosto de 1991. The University of Texas at Arlington, Arlington, Tx. USA.
- [Bijlenga et al, 1998] Bo Bijlenga, Rolf Grünbaum, Thomas Johansson. “*SVC Light –a powerful tool for power quality improvement,*” *ABB Review* 6/1998. pp.21-30.
- [Chan et al, 2001] K.H. Chan, M. Madrigal “*Phase Domain Dynamic Analysis of Conventional and Static Var Compensator in Voltage Sag due to Motor Start-Up*”, *Proceedings of the IASTED International Conference, POWER AND ENERGY SYSTEMS*, July 3-6, 2001, Rhodes, Greece.
- [Chang et al, 1995] Wei Nan Chang, Chi Jui Wu, “*Developing Static Reactive Power Compensators in Power System Simulator for Power Education,*” *IEEE Transactions on Power Systems*, vol. 10, No. 4, November 1995. pp. 1734-1741.
- [Dickmader et al, 1992] D. Dickmader; B Thorvaldsson; G Strömberg; D. Osborn; A Poitras; D. Fisher; “*Control system design and performance verification for the*

chester, main Static VAR Compensator,” IEEE Transactions on Power Delivery, Vol. 7, No. 3. July 1992. pp. 1492-1503.

- [Dong et al, 2004] L. Dong, Student Member, IEEE, M.L. Crow, Senior Member, IEEE, Z. Yang, Member IEEE, C. Shen, Member, IEEE, L. Zhang, Member, IEEE, and S. Atcitty “A Reconfigurable FACTS System for University Laboratories”, 2004
- [DSC, TI, 2007] eZdsp TMS320F28335 Technical Reference
- [Duran, 1998] Salvador Durán Pérez, “Diseño de Controladores Mediante un Enfoque de Bode Analítico”, Tesis de Licenciatura en Ingeniería eléctrica, Universidad Michoacana de San Nicolás de Hidalgo, Mayo, 1998
- [eCAP, TI 2007] TMS320X28XX, 28XXX Enhanced Capture (eCAP) Module Reference Guide, Texas Instruments, 2007
- [El-Moursi, et al, 2005] M.S. El-Moursi, A. M. Sharif. “Novel Controllers for 48-Pulse VSC STATCOM and SSSC for Voltage Regulation and Reactive Power Compensation,” *IEEE Transactions on Power Systems*, Vol. 20, No. 4. November 2005. pp.1985-1997.
- [Ekanayake, 1996] J. B. Ekanayake, N. Jenkins. “A three-level Advanced Static VAR Compensator,” *IEEE Transactions on Power Delivery*, Vol.11, No. 1, January 1996. pp. 540-545.
- [Escobar et al, 2001] G. Escobar, A.M. Stankovic P. Matavelli, R. Ortega “A comparative study of three nonlinear controllers for TCSC” IEEE Porto Power Tech Conference 10th-13th September, Porto Portugal, 2001
- [Fink et al, 1996] D.G. FINK, H.W. BEATY MANUAL DE INGENIERIA ELECTRICA, DECIMOTERCERA EDICION, Mc Graw Hill, 1996
- [Fuerte-Esquivel et al, 2000] C.R. Fuerte-Esquivel, E. Acha, H. Ambriz-Pérez “A Thyristor Controlled Series Compensator Model for the Power Flow Solution of Practical Power Networks” *IEEE Transactions on Power Systems*, Vol. 15, No. 1 February 2000
- [García, 2000] PABLO GARCÍA GONZÁLEZ, “Modelado Control y Aplicación de Dispositivos “FACTS” Basados en Inversores Fuente de Tensión”, Disertacion Doctoral, año 2000. Universidad Pontificia Comillas de Madrid, Escuela Superior de Ingeniería (ICAI), Departamento de Electronica y Automatica.
- [García et al, 1999] P. García-Gonzalez and A. García Cerrada (Member IEEE) “Control System for a PWM-based STATCOM” E.T.S. de Ingeniería (ICAI), Universidad Pontificia Comillas de Madrid c/ Alberto Aguilera 23, 28015 Madrid, Spain, 1999
- [Gama et al, 1999] C. Gama, G. Ingestrom, L. Angquist “Control Strategy for Damping of Power Swings Using TCSC” FACTS Controllers: Application and

Operational Experience (Panel)- IEEE 1999 Summer Meeting.
Edmonton, Alberta, Canada

- [Gole et al, 1990] A.M. Gole; V. K. Sood, "A Static Compensator Model for Use With Electromagnetic Transients Simulation Programs", *IEEE Transactions on Power Delivery*. Vol. 5, No. 3, July 1990. pp. 1398–1407.
- [Gyugyi et al, 1978, a] L. Gyugyi; R. A. Otto; T.H. Putman, "Principles and Applications of Static, Thyristor-Controlled Shunt Compensators", *IEEE Transactions on Power Apparatus and Systems*, Vol. PAS-97, No. 5, September/October 1978. pp. 1935–1945.
- [Gyugyi et al, 1978, b] L. Gyugyi; R. A. Otto; T.H. Putman, "Principles and Applications of Static, Thyristor-Controlled Shunt Compensators", *IEEE Transactions on Power Apparatus and Systems*, Vol. PAS-97, No. 5, September/October 1978. pp. 1935–1945.
- [Gyugyi et al, 1980] Laszlo Gyugyi; Edgar R. Taylor Jr., "Characteristics of Static, Thyristor-Controlled Shunt Compensators for Power Transmission System Applications", *IEEE Transactions on Power Apparatus and Systems*, Vol. PAS-99, No. 5, September/October 1980. pp. 1795–1804.
- [Hauth et al, 1978] R. L. Hauth; T. Humann; R. J. Newell, "Application of a Static Var System to Regulate System Voltage in Western Nebraska", *IEEE Transactions on Power Apparatus and Systems*, Vol. PAS-97, No. 5 September/October 1978. pp. 1955–1964.
- [Hingorani, Gyugyi, 2000] Narain G. Hingorani, Laszlo Gyugyi Understanding FACTS IEEE PRESS, 2000
- [Hingorani, 2003] Narain G. Hingorani, Flexible ac transmission, *IEEE Spectrum*, pp. 40-45. April 1993.
- [Hochgraf et al, 1998]. Clark Hochgraf; Robert H. Lasseter, "Statcom Controls for Operation with Unbalanced Voltages," *IEEE Transactions on Power Delivery*, Vol. 13, No. 2, April 1998. pp.538-544.
- [Jalali et al, 1996] Sasan G. Jalali, Ron A. Hedin, Marcos Pereira, Kadry Sadek "A Stability Model for the Advanced Series Compensator (ASC)" *IEEE Transactions on Power Delivery*, Vol. 11, No. 2, April 1996
- [Kalyan et al, 2003 a] Kalyan K. Sen, Albert J. F. Keri. "Comparison of Field Results and Digital Simulation Results of Voltage-Sourced Converter-Based FACTS Controllers," *IEEE Transactions on Power Delivery*, Vol. 18, No. 1. January 2003. pp. 300-306.

- [Kalyan et al, 2003 b] Kalyan K. Sen, Mey Ling Sen. "Introducing the Family of "Sen" Transformers: A Set of Power Flow Controlling Transformers," *IEEE Transactions on Power Delivery*, Vol. 18, No. 1. January 2003. pp. 149-157
- [Kalyan et al, 2003 c] Kalyan K. Sen, Mey Ling Sen. "Comparison of the "Sen" Transformers With the Unified Power Flow Controller," *IEEE Transactions on Power Delivery*, Vol. 18, No. 4. October 2003. pp. 149-157
- [Kosterev,1995] D.N.Kosterev, W.J.Kolodziej, R.R. Mohler, W.A.Mittelstadt "Robust Transient Stability Control Using Thyristor-Controlled Series Compensation" IEEE 0-7803-2550-8/95, 1995
- [Larsson et al, 1998] T. Larsson; C. Poumarède; "STATCOM, an efficient means for flicker mitigation" 0-7803-4403-0/98. 1998 IEEE.
- [Lee et al, 1992] Sang Y. Lee, Subroto Bhattacharya, Tommy Lejonberg, Adel Hammad,Serge Lefebvre, "Detailed Modeling of Static VAR Compensators Using The Electromagnetic Transients Program (EMTP)", *IEEE Transactions on Power Delivery*. Vol. 7, No. 2, April 1992. pp. 836–847.
- [Lefebvre et al, 1992] S. Lefebvre, L. Gérin-Lajole, "A Static Compensator Model For The EMTP", *IEEE Transactions on Power Systems*, Vol. 7, No. 2, May 1992. pp. 477–485.
- [Lehn, Iravani, 1997] P.W. Lhen, M.R. Iravani "Experimental Evaluation of STATCOM Closed Loop Dynamics", Department of Electrical and Computer Engineering, University of Toronto, Ontario M5S3G4, Canada, 1997
- [Li et al, 2000] B.H.Li, Q.H. Wu, P.Y. Wang, X.X. Zhou "Influence of the Transient Process of TCSC and MOV on Power System Stability" *IEEE Transactions on Power Systems*, Vol. 15, No. 2, May 2000.
- [Liang et al, 1998]. Yiqiao Liang; C.O. Nwankpa; "A New Type of StatCom Based on Cascading Voltage Source Inverters with Phase-Shifted Unipolar SPWM," 0-7803-4943-1/98. 1998 IEEE
- [Miller, 1982] T.J.E. MILLER Reactive Power Control in Electric Systems, John Wiley & Sons, Inc., 1982
- [Mohan et al, 2003] Mohan, Undeland, Robbins, Power Electronics Converters, Applications, and Design, Third Edition, John Wiley & Sons, Inc. 2003

- [Mwinyiwiwa et al, 1997]. Bakari Mwinyiwiwa; Zbigniew Wolanski; Boon-Teck Ooi; “Multilevel STATCOM with Third Harmonic Elimination on the DC Link Capacitor Voltajes” 0-7803-3840-5/97. 1997 IEEE.
- [Mwinyiwiwa et al, 1998] Mwinyiwiwa, B.; Boon-Teck Ooi; Wolanski, Z.; “UPFC using multiconverter operated by phase-shifted triangle carrier SPWM strategy,” *IEEE Transactions on Industry Applications*, Volume 34, Issue 3, May-June 1998 Page(s):495 – 500.
- [Mwinyiwiwa et al, 2000, a, b] Bakari Mwinyiwiwa, Bin Lu, Boon-Teck Ooi. “Multiterminal Unified Power Flow Controller”, *IEEE Transactions on Power Electronics*, Vol. 15, No. 6. pp. 1088-1093, November 2000.
- [Paul et al, 1992] S. Paul, S. Basu, R. Mondal, “A Microcomputer Controlled Static Var Compensator for Power Systems Laboratory Experiments,” *IEEE Transactions on Power Systems*, Vol. 7, No. 1. February 1992. pp. 371-376.
- [Phillips, 1985] Charles L. Phillips, “Analytical Bode Design of Controllers”, *IEEE Transactions on Education* vol. E-28. No. 1Feb. 1985
- [Pourbeik et al, 2003] Pouyan Pourbeik, Anders Boström; Bhaskar Ray; “Modeling and Application Studies for a Modern Static Var System Installation,” *IEEE Transactions on Power Delivery*, Vol. 21. No. 1. January 2006. pp. 368-377.
- [Rashid, 2004] Muhammad H. Rashid Power Electronics Circuits, Devices and Applications, Pearson Prentice Hall, 2004
- [Reed et al, 2001] Gregory Reed; Masatoshi Takeda; Laurie Thomas; “StatCom Application at Velco Essex Substation,” 0-7803-7285-9/01. 2001 IEEE.
- [Reichert, 1982] K. Reichert, “Controllable Reactive Compensation”, *Butterworth & Co (Publishers) Ltd.* Vol. 4, No. 1, January 1982. pp. 51–58.
- [R. Mohan, Rajiv, 2002] R. Mohan, Rajiv k. THYRISTOR-BASED FACTS CONTROLLER FOR ELECTRICAL TRANSMISSION SYSTEMS, Wiley Interscience, 2002
- [Schauder, 1999] Colin Schauder, “STATCOM for Compensation of Large Electric Arc Furnace Installations”, *IEEE*, 0-7803-5569-5/99. 1999.
- [Schauder et al, 1998] C. Schauder; E. Stancey; M. Lund; L.Gygyi; L. Kovalsky; A. Keri; A. Mehraban; A. Edris. “AEP UPFC Project: Installation, Commissioning

and Operation of the ±160MVA Statcom (Phase I),” IEEE Transactions on Power Delivery, Vol. 13, No. 4, October 1998. pp.1530-1535.

- [Schauder, Mehta, 1993] C. Schauder, H. Mehta, “*Vector analysis and control of advanced static VAR compensators*” IEE PROCEEDINGS-C, Vol. 140, No. 4, JULY 1993.
- [Song, et al, 2009] Qiang Song, Wenhua Liu, “*Control a Cascade STATCOM With Star Configuration Under Unbalanced Conditions*” IEEE Transactions on Power Electronics, Vol. 24, No. 1, January 2009
- [Ugalde, 2009] Reporte Interno de Luis Eduardo Ugalde Caballero, alumno de la División de Estudios de Posgrado de la Facultad de Ingeniería Eléctrica de la Universidad Michoacana de San Nicolás de Hidalgo.
- [Vasconcelos et al, 1992] A.N. Vasconcelos, A. J. P. Ramos, J. S. Monteiro, M.V.B.C. Lima, H. D. Silva, L. R. Lins, “*Detailed Modeling of an Actual Static VAR compensator for electromagnetic Transient Studies*”, IEEE Transactions on Power Systems. Vol. 7, No. 1, February 1992. pp. 11–19
- [Wang et al, 2004] Jin Wang, Fang Z. Peng, “*Unified Power Flow Controller Using the Cascade Multilevel Inverter,*” IEEE Transactions on Power Electronics, Vol. 19, No. 4, July 2004. pp. 1077-1084.
- [Welsh et al, 1993] G. Welsh, K. Bergmann, D. Retzmann, M. Schmidt “*Transient AC/DC Simulator and Field Tests of the Closed Loop Control of the Pelham SVCS*”, 1993 The european power Electronics Association. pp. 7–12.
- [Wildi, 2006] T.J.E. WILDI ELECTRICAL MACHINES DRIVES, AND POWER SYSTEMS, Pearson Prentice Hall, 2006
- [Yang et al, 2001] Z. Yang, C. Shen, L. Zhang, M. L. Crow, and S. Atcitty, “*Integration of a StatCom and battery energy source,*” IEEE Transactions on Power Systems, vol. 16, pp. 254-260, May 2001
- [3656, 1997] Datasheet 3656, Transformer coupled Isolation Amplifier, BURR BROWN, January 1997